

## 저전력 SoC 설계를 위한 파워 인식 EDA 툴 최신 동향

김은지\* 주유상\*\* 조한진\*\*\*

전통적인 EDA 툴 시장은 지금까지 성능(Speed), 칩면적(Area), 생산성 최적화 등에 초점을 맞춰 발전해 왔다. 하지만 최신 반도체 제품의 높은 집적도 및 빠른 동작속도에 따른 동작 소비전력 증가와 수십 나노급으로 떨어진 공정기술에 의한 누설전류 급증 현상은 과거 무시 가능하였던 전력 문제를 반도체 제품 설계의 핵심 요소로 지목하였다. 여기에 긴 배터리 수명이 핵심 키워드인 IoT시대로의 진입은 저전력 설계의 중요성을 다시 한번 강조하고 있다. 이에 본 고에서는 최신 저전력 SoC 설계 기술 및 벤더사별 파워 인식 EDA 툴 동향을 분석하고, 이를 통한 저전력 설계 가이드라인을 제공하여 다가올 IoT 시대를 준비하는 국내 중소 팹리스 기업의 경쟁력 강화에 도움을 주고자 한다.

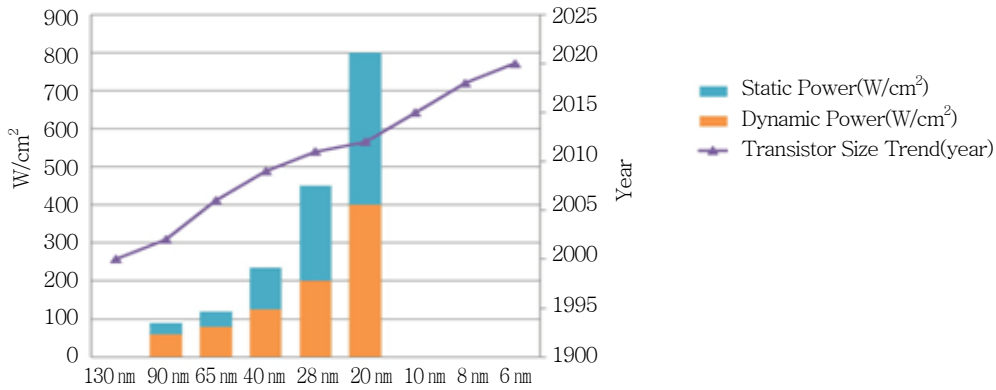
### 목 차

- I. 서 론
- II. 최신 저전력 SoC 구현 기술 분석
- III. 벤더사별 최신 저전력 설계를 위한 파워 인식 EDA 툴 동향
- IV. 결 론

\* ETRI 서울 SW-SoC 융합 R&BD 센터/기술원  
 \*\* ETRI 서울 SW-SoC 융합 R&BD 센터/책임연구원  
 \*\*\* ETRI 서울 SW-SoC 융합 R&BD 센터/센터장

### I. 서 론

전자 설계 자동화(Electronic Design Automation: EDA)란 인쇄회로기판(PCB)에서부터 집적회로(Integrated Circuit) 설계까지 컴퓨터 프로그램을 이용한 전자제품 설계를 뜻하는 용어로, 1970년대 중반 학계의 배치 배선(Place & Routing) 툴 개발을 시작으로 1980년대 초 본격적인 상용 EDA 툴 시장이 형성되었다[1]. 그 후 EDA 툴은 성능(Speed), 칩 면적(Area), 생산성 최적화 등을 중심으로 빠르게 발전하며 눈부신 성장을 이룩하였다. 하지만 최신 반도체 칩의 높은 집적도 및 빠른 동작속도에 따른 동작 소비전력 증가나 공정기술 발전에 의한 누설전류 급증현상은 과거 무시 가능하였던 전



<자료>: 'As Nodes Advance, So Must Power Analysis[2]'과 '10nanometre chips enter mass production[3]' 재구성

(그림 1) 공정기술 발전에 따른 Leakage-Dynamic Power 동향

력 문제를 부각시켰다(그림 1) 참조). 또한 본격적인 IoT 시대로의 진입은 긴 배터리 수명을 요구하며 저전력 설계를 더욱 강조하고 있다. 이에 본 고에서는 클럭게이팅(Clock Gating), 파워게이팅(Power Gating), 다중동작전압(multi-Voltage Design), DVFS(Dynamic Voltage Frequency Scaling), 다중문턱전압(Multi-Threshold Voltage) 등 현재 현업에서 널리 사용되는 저전력 SoC 설계 기술과 벤더사별 최신 저전력 설계용 EDA 툴 동향을 분석하여 저전력 반도체 제품 설계에 대한 가이드 라인을 제공하고자 한다.

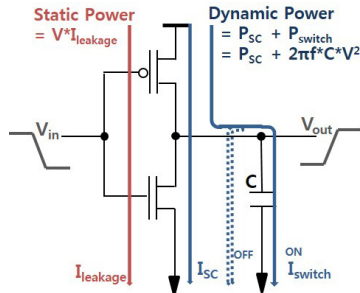
## 11. 최신 저전력 SoC 구현 기술 분석

반도체 칩 소비전력은 동적전력(Dynamic Power)과 정적전력(Static Power)으로 구성된다. 먼저 동적전력은 회로의 용량성 부하(C, L)가 충전하면서 소모되는 전력으로(그림 2)와 같이 트랜지스터 short circuit 전류( $I_{SC}$ )<sup>1)</sup>와 스위칭 전류( $I_{switch}$ )에 의해 발생되며, 트랜지스터 동작주파수 및 동작 전압 제곱 값에 비례한다. 반면 정적전력은 문턱아래 누설(sub-threshold leakage),<sup>2)</sup> 게이트 산화막 누설(Gate oxide leakage), P-N 접합 다이오드 누설 등 트랜지스터의 구조적 특징에 의해 발생하는 누설전력으로, 동작전압에 비례하고 문턱전압(Threshold Voltage,  $V_{th}$ )<sup>3)</sup>에 반비례하는 특성을 지닌다. 따라서 저전력 구

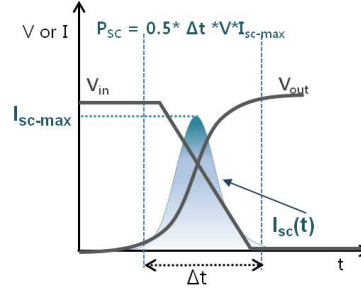
1) Short circuit 전류( $I_{SC}$ ): 용량성 부하의 충전 시간( $\Delta t$ ) 동안 트랜지스터에 흐르는 누설 전류로, 트랜지스터 크기에 비례하고, 용량성 부하(C) 값에 반비례하는 특징을 갖는다[4],[5].

2) 문턱아래누설(sub-threshold leakage): 트랜지스터가 OFF 되었을 경우, 이상적으로는 드레인과 소스 사이에 전류가 흐르지 않아야 하나, 문턱전압(threshold voltage,  $V_{th}$ ) 아래에서도 미약한 역전류가 흐르는 현상

3) 문턱전압(Threshold Voltage): 트랜지스터가 ON 되기 위해 필요한 최소 게이트 전압



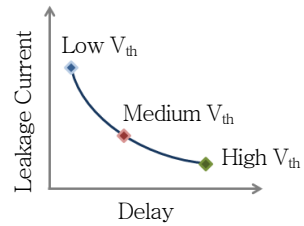
(a) Static Power 및 Dynamic Power 정의



(b) Short circuit( $P_{sc}$ ) Power 원리

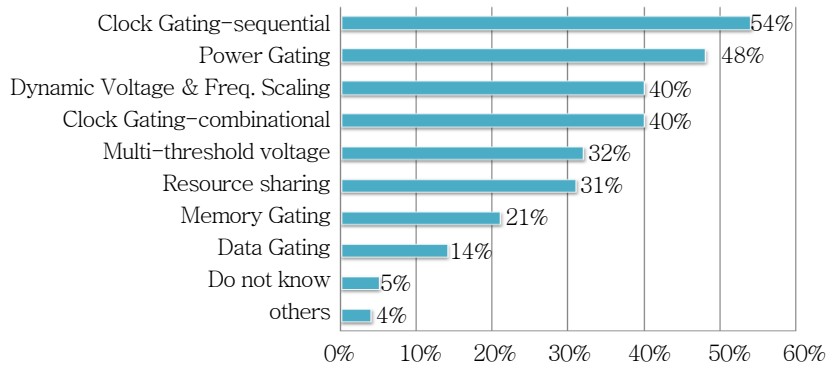
(그림 2) 반도체 소모 전력 분석

현을 위해 트랜지스터 동작전압과 동작주파수를 낮추고 높은 문턱전압을 갖는 공정을 선택할 수 있지만, 이 경우 트랜지스터 특성<sup>4)</sup>으로 인해 회로의 동작속도가 제한되고 게이트 간 신호 Delay 가 길어져 회로 성능 저하가 유발된다 ((그림 3) 참조). 이러한 이유로 FinFET, FD-SOI 등 새로운 공정기술 연구가 활발히 진행되고 있으며[7], 최근 다양한 저전력 설계 기법들의 적용이 증가하고 있는 추세이다. (그림 4)는 현재 가



<자료>: 시놉시스사 홈페이지, Advanced Low Power Techniques 설명[23]

(그림 3) 문턱전압과 누설전류 상관관계



<자료>: RTL Power Reduction & High Level Synthesis Report 2013.

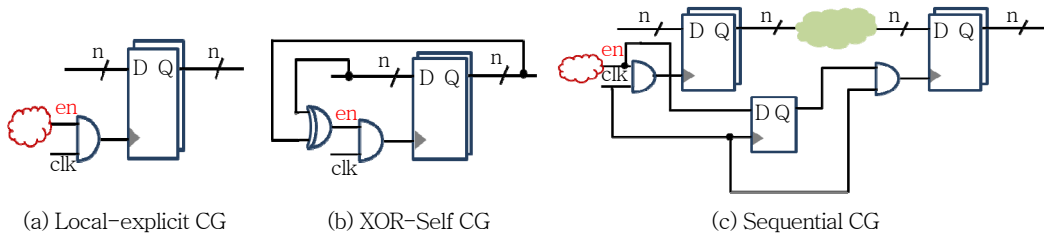
(그림 4) 저전력 설계 기술 적용 현황[6]

4) 동적전력을 줄이기 위해 구동전압을 낮출 경우,  $f \propto (V-V_{th})^2/V$ 의 관계에 의해 최대 동작주파수 값이 제한된다. 또한 누설전류에 의한 정적전력을 줄이기 위해 문턱전압을 높이는 경우 Gate delay 가 증가하여 신호변환(0->1 or 1->0)을 위한 스위칭 속도가 저하되면서 전체 칩 성능이 떨어지게 된다(그림 3 참조).

장 널리 사용되는 저전력 설계기법을 보여주며, 각 기술별 상세 설명은 다음과 같다.

### 1. 클록게이팅

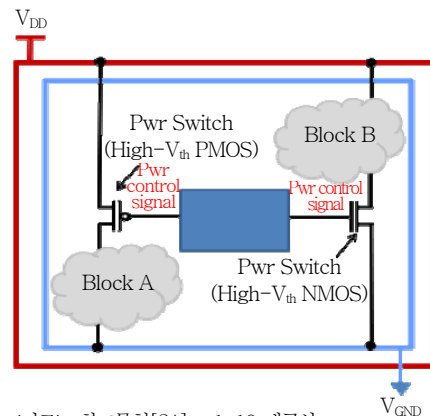
비교적 RTL 수준에서 쉽게 구현이 가능한 저전력 기술로, 데이터 값의 변화가 없는 레지스터의 클록을 차단하여 동적 파워 소모를 차단하고자 하는 기법이다. 다른 저전력 설계 기술에 비해 구현이 용이하다는 장점이 있으나, 게이팅 로직 추가로 인한 전력소모 및 formal verification 등의 부담이 존재한다[8]-[10]. 클록 차단 방식에 따라 회로의 특정 영역이 활성화되는 동안에만 en 신호가 발생하여 클럭이 공급되는 Local-explicit Clock Gating, 출력단과 입력단을 비교하여 두 데이터 값의 변동이 있는 경우에만 클록이 발생하는 XOR-Self Clock Gating, 순차적 논리 구조에 따라 클록 en 신호도 함께 전달되는 Sequential Clock Gating 등이 존재한다(그림 5) 참조).



(그림 5) 클록게이팅(CG) 기술[8]

### 2. 파워게이팅

특정 기간 동안 동작하지 않는 블록의 전원을 차단하여 전력을 절감하고자 하는 기술로 동적/정적 전력 소비에 모두 효과적이다(그림 6) 참조). 하지만 전원이 차단되기 직전의 상태값을 저장하기 위한 retention 레지스터, 파워 On/Off 용 스위치, PMU<sup>5)</sup> 로직 등이 추가로 필요하며, 이로 인한 전력소모 및 설계 비용 상승이 동반된다. 이때 파워게이팅용 스위치는 빠른 응답속도가 필요하지 않아 높은



<자료>: 참고문헌[24] pp1-10 재구성

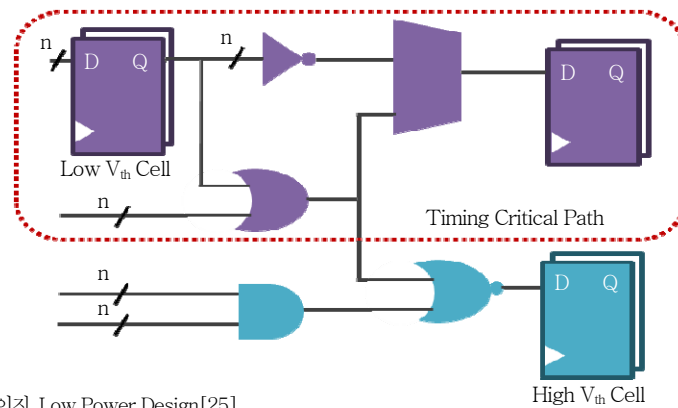
(그림 6) 파워게이팅 구성도

5) PMU(Power Management Unit): 전원공급 및 차단을 위해 파워스위치 컨트롤 신호를 관리하는 모듈

문턱 전압을 갖는 트랜지스터가 사용된다.

### 3. 다중문턱전압

다중문턱전압 방식은 트랜지스터의 문턱전압과 누설전류 사이의 특징을 이용하여 time-critical 한 경로에 있는 로직들은 low- $V_{th}$  소자를 사용하고, 그 외 경로에는 high- $V_{th}$  소자를 사용하여 누설전력을 줄이고자 한 기술이다(그림 7 참조).

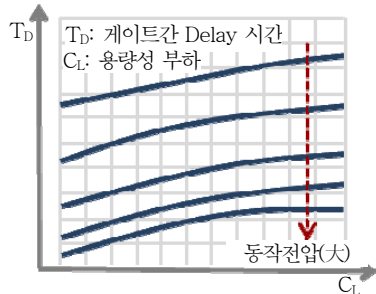


<자료>: 아르고 홈페이지, Low Power Design[25]

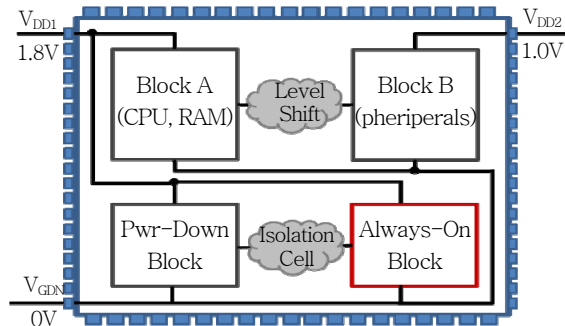
(그림 7) 다중문턱전압 구현 방식

### 4. 다중 동작전압 및 DVFS

트랜지스터는 동작전압이 낮을수록 소모 누설 전류가 줄어드는 반면, (그림 8)과 같이 게이트 간 신호 Delay 가 증가하여 시스템 동작 속도가 저하된다. 이러한 특징을 이용한 다중 동작전압 기법은 (그림 9)와 같이 고속 동작이 필요한 CPU, RAM 등의 블록과 저속



(그림 8) 동작전압 vs. 처리속도

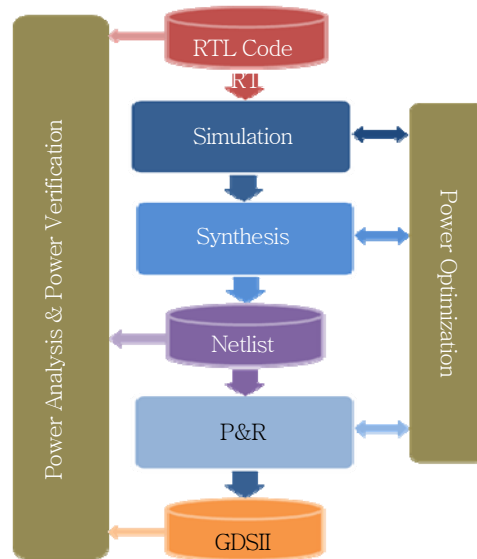


(그림 9) 다중동작전압 구성도

동작이 허용되는 주변장치의 전원을 분리하여 불필요한 Power 소모를 줄이고자 한 저전력 설계 기술이다[11]-[12]. 또한 DVFS(Dynamic Voltage Frequency Scaling)는 전압뿐 아니라 주파수도 task deadline 에 따라 스케일링하여 전력 효율을 극대화 한다. 하지만 이러한 방식 또한 다중 전압을 구현하기 위한 DC-DC 변환기, 클록 변환용 programmable PLL, 전압이 다른 블록 간 신호 레벨을 맞추기 위한 레벨 시프트, 전압 아일랜드<sup>6)</sup> 구현 등이 추가되어 시스템 복잡도 및 변동성이 증가하고, 이로 인한 시뮬레이션 및 Formality check 과정이 난해해진다. 하지만 현재 많은 EDA 툴들이 UPF<sup>7)</sup> 규격을 도입하여 RTL 단계에서부터 P&R 단계까지 다양한 전력인식 검증(Power-aware Verification) 솔루션들을 출시하고 있어 이러한 한계를 보완해 나가고 있는 상황이다.

### III. 벤더사별 최신 저전력 설계를 위한 파워 인식 EDA 툴 동향

처음 EDA 툴이 저전력 기술을 언급하기 시작한 때는 1990년대 초반으로 거슬러 올라간다. 하지만 초창기 툴 개발은 주로 학계 수준에서 이루어졌고, 대부분 트랜지스터 수준의 분석을 벗어나지 못했다[13]. 하지만 2000년대 중반 저전력 설계 표준화 작업이 본격적으로 진행되면서 서서히 오늘날과 같은 전력분석-전력최적화-전력검증 솔루션들이 체계적으로 구축되기 시작했다(그림 10) 참조). 이 같은 저전력 설계 표준화 작업은 UPF(Unified Power Format), CPF(Common Power Format) 규격에 의해 가속화 되었다[14]. <표 1>은 현재 출시된 최신 저전력 설계 툴을 요약한 자료로 각 벤더사별 저전력 설계 솔루션에 대한 상세 소개는 다음과 같다.



<자료>: 참고문헌[8] 재구성

(그림 10) 저전력 설계 툴 흐름도

6) 전압 아일랜드(voltage island): 일부 작동모드에서 전원 공급이 완전히 차단되는 특정 블록으로, 전압 아일랜드와 always-on 블록 사이에는 isolation cell 이 필요하다.

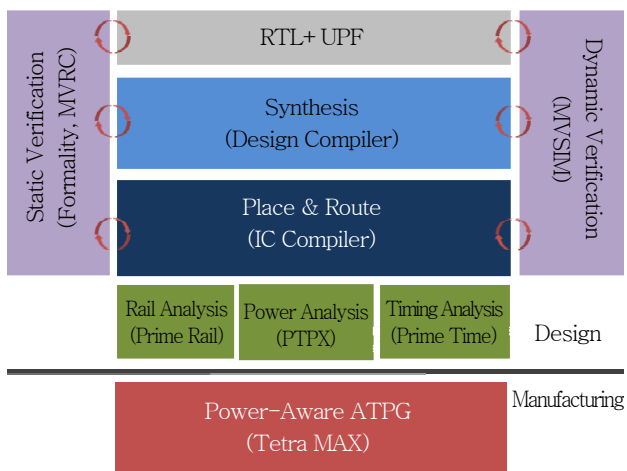
7) UPF(Unified Power Format): IEEE1801 라고도 불림. 전자 설계 자동화 툴의 전원 최적화를 위해 파워 인텐트(intent)를 규정해 놓은 것으로, 시스템 전력을 스크립트 형식으로 정의하여 RTL 단계에서부터 GDSII 단계까지 저전력 디자인 검증이 가능하다.

<표 1> EDA 벤더사별 저전력 툴 보유 현황

EDA 벤더		Apache	Synopsys	Atrenta	Mentor	Cadence	Calypto
Power 툴 분류							
Power Analysis	Power Estimation	Power Artist, Power Theater	Power Compiler	SpyGlass Power Estimate	-	RTL Compiler Low-Power	PowerPro PA
	Power Rail Analysis	-	Prime Rail	-	-	-	-
Power Optimization	RTL Optimization	-	Power Compiler, Design Compiler	SpyGlass Power Reduce	-	RTL Compiler	PowerPro CG, PowerPro MG
	Physical Optimization	-	IC Compiler	-	Olympus-SoC	Encounter Digital Implementation	-
Power Verification	Function Verification	-	VCS, MVSIM, MVRC	SpyGlass Power verify	Questa Power Aware Simulator	Incisive Enterprise Simulator	-
	Formal Verification	-	Formality	-	Questa Formal Verification	Encounter conformal Low Power	SLEC Pro
	Power-aware Test	-	DFTMAX, TetraMAX ATPG	-	Tessent Fastscan, Tessent SoCScan	-	-

1. Synopsys 사 저전력 솔루션

Synopsys 사는 디지털 설계분야의 대표 EDA 벤더로 초창기 전력예측 툴인 Design Power 를 시작으로 현재 다양한 전력예측-구현-검증 솔루션을 구비하고 있다. (그림 11)은 Synopsys 사의 저전력 설계 흐름도를 보여주며, 툴 버전 2014.03-SP1 기준으로 UPF2.0 을 지원한다. 각 설계 툴에 대한 상세 설명은 <표 2>와 같다[15]-[17].



(그림 11) Synopsys 사 저전력 설계 흐름도

&lt;표 2&gt; Synopsys 사 저전력 툴 소개

툴군		툴명	툴 기능 설명
Power Analysis	Power Estimation	Power Compiler	- RTL 차원의 스위칭 전력, 내부 셀(Cell) 전력, 누설전력 분석 지원 - RAM & I/O 모델 지원 - 빠른 디버깅이 가능한 구조적 전력 분석 자료 제공
		PTPX	- 게이트 차원의 통합 전력 분석 지원
	Power Rail Analysis	Prime Rail	- ICC 와 연동하여 종합적인 power network 설계 및 검증 기능 제공 - 다양한 저전력 기술 구현에 따른 전압 강하(IR drop) 및 EM 분석 수행 - 정확한 파워 스위칭 모델 제공
Power Optimization	RTL Optimization	Power Compiler	- RTL & Gate 수준의 전력 최적화 수행 - UPF 기반 다중동작전압, 파워 게이팅, 클록 게이팅, state retention, 다중문턱전압기술 구현 지원 - UPF 기반 저전력 기술의 자동 구현 지원 - Multi voltage and Multi corner-Multimode 지원
	Physical Optimization	IC Compiler	- UPF 지원 - CTS(Clock Tree Synthesis) 상의 복잡한 클록게이팅 최적화 지원 - 동적 전력 감소를 위한 배치 알고리즘 탑재 - 저전력, SI(Signal Integrity)를 고려한 CTS 지원 - 다중전압설계, MTCMOS, Clock Gating 등 다양한 동적 및 누설 전력 최적화 기술 지원
Power Verification	Function Verification	MVSIM	- RTL, Gate 수준에서의 Multi-Voltage 시뮬레이션 및 검증 수행 - VCS, ModelSim, NC-Verilog 등과 함께 사용 가능 - 초기 설계단계에서 다양한 Dynamic issue 검증 가능 - UPF 지원
		MVRC	- UPF 기반 multi-Voltage Rule Checker - Isolation Cell, Level shifter, retention register 등의 protection cell 연결성 및 파워 시퀀스 상의 오류 검출 - protection Cell의 구조 및 기능 검증 외 전기적 무결성(Electrical Integrity) 체크도 함께 수행 - RTL, Gate, GDSII 수준의 규칙 검증 가능
	Formal Verification	Formality	- Power-aware formal verification
	Power-aware Test	DFTMAX	- Preserves low-power design intent - 칩 테스트 상 소비되는 전력을 최소화함
		TetraMAX ATPG	- Auto Test Pattern 생성

## 2. Atlanta 사 저전력 솔루션

Atlanta 사는 2001 년 설립된 EDA 툴 업체로, RTL SignOff 툴인 Spyglass 로 유명하다. 저전력 설계 제품으로는 Spyglass power 를 보유하고 있으며, RTL 단계에서 전력 최적화 작업이 이루어진다. 기능에 따라 다시 Power Estimate, Power Reduce, Power Verify 로 나누어지며 각 툴 별 세부 특징은 <표 3>과 같다[18].



<표 3> Atleta 사 저전력 툴 소개

툴 군		툴명	툴 기능 설명
Power Analysis	Power Estimation	SpyGlass Power Estimate	- Physical-Aware 전력 예측 기능 - 블록 또는 레지스터 차원의 Clock Gating Ratio 및 Clock Gating 효율성에 관한 정보 제공 - Power estimation 및 profiling 환경설정의 자동화 지원
Power Optimization	RTL Optimization	SpyGlass Power Reduce	- Auto Light sleep 모드 지원 및 불필요한 메모리 접근 제거를 통한 메모리 소모전력 절감기능 제공 - FIFO 크기 및 Gray 인코딩 등의 FIFO 최적화 기능 - Glitchy 입력에 대한 식별 및 Counter Gating 지원 - 자동RTL 코드 생성 기능 및 SEC(Sequential Equivalence Checker) 지원
Power Verification	Function Verification	SpyGlass Power Verify	- UPF 2.0 및 2.1 지원 - Post-layout Netlist 에 대한 ERC(Electrical Rule Checks) 지원 - Post-layout Netlist 상의 level-shifter, isolation logic, retention register 기능 검증 지원

### 3. Cadence 사 저전력 솔루션

Cadence 사는 Synopsys, Mentor Graphics 사와 함께 3 대 글로벌 EDA 업체 중 하나로, 특히 저전력 설계 표준화 정립 과정에서 Si2 그룹에 CPF(Common Power Format) 안을 제공하며 적극적인 표준화 작업에 참여한 업체이기도 하다. 이러한 이유로 Cadence 사의 저전력 솔루션은 CPF 표준을 지원한다. 또한 시스템 단계에서부터 GDSII 단계까지

<표 4> Cadence 사 저전력 툴 소개

툴 군		툴명	툴 기능 설명
Power Analysis	Power Estimation	RTL Compiler Low-Power	- CPF 기반, RTL 수준의 파워측정 및 평균/최대 전력 프로파일링 제공
Power Optimization	RTL Optimization	RTL Compiler	- 다중문턱전압 최적화를 통한 누설전류 감소 - 계층적, 다단계 클럭게이팅 지원 및 top-down 방식의 다중문턱전압 분석 지원 - 합성 단계에서 Isolation cell, retention 레지스터 구현 등을 통한 파워게이팅 지원 - multi-mode 합성을 통한 non-convergent iteration 제거 및 error-prone manual constraint merging 제거 기능
	Physical Optimization	Encounter Digital Implementation	- 20/22nm, 14/16nm FinFET 공정 지원 - GigaOpt, CCOpt 기술을 통한 전력 최적화 수행 - CPF 기반 다중문턱전압, 다중문턱전압, 파워게이팅, DVFS 기술 지원
Power Verification	Function Verification	Incisive Enterprise Simulator	- CPF 기반 저전력 검증 - 다중문턱전압, 파워게이팅, DVFS 기능 검증 지원 - RTL 및 게이트 수준 검증 지원
	Formal Verification	Encounter conformal Low Power	- 합성 및 P&R 단계에서의 저전력 equivalence 검증 지원 - structure, functional, formal 검증 지원

설계 전 과정을 커버하며, 각 툴별 세부 특징은 <표 4>와 같다[19].

#### 4. Mentor Graphics 사 저전력 솔루션

Mentor Graphics 사는 1981년 설립된 대표 글로벌 EDA 벤더 중 하나로 타 EDA 벤더 제품과는 달리 ESL<sup>9)</sup> 차원과 P&R 단계에서의 전력 최적화를 목표로 한다. 이는 설계 초반부에 전력에 관한 모든 문제를 해결하는 것이 이상적이기는 하나, 시스템 기능, 성능 그리고 제조를 위한 요구사항과 균형을 맞추는 것이 보다 현실적인 방안이라고 생각한 Mentor Graphics 사의 철학에 기반한다. Mentor Graphics 사의 저전력 솔루션별 세부 특징은 <표 5>와 같다[20].

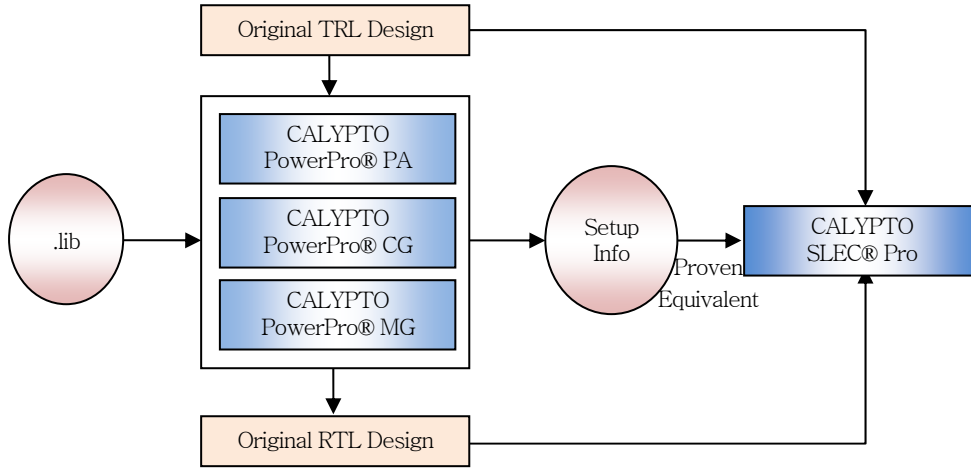
<표 5> Mentor Graphics 사 저전력 툴 소개

툴 군		툴명	툴 기능 설명
Power Optimization	Physical Optimization	Olympus-SoC	<ul style="list-style-type: none"> <li>- UPF 지원</li> <li>- 저전력 CTS(Clock Tree Synthesis) 지원</li> <li>- 다중동작전압을 위한 자동 파워 그리드 라우팅 지원</li> <li>- 다중문턱전압 구현에 대한 최적화 지원</li> <li>- MCMM(Multi Corner Multi Mode)를 이용한 다중동작전압 기술의 물리적 구현 지원</li> <li>- 저전력 구현을 위한 isolation cell, retention logic 등의 자동 구현기능 지원</li> </ul>
Power Verification	Function Verification	Questa Power Aware Simulator	<ul style="list-style-type: none"> <li>- RTL 상의 저전력 기능 검증지원</li> <li>- 전력제어 네트워크를 통한 RTL 디자인 오버레이</li> <li>- 적절한 retention cell 모델 동작 유도</li> <li>- 전력 하강 및 상승 상황에서 지정된 저전력 디자인 설계가 표현되어 디자인 동작의 동적 수정 가능</li> <li>- 파워 인식 검증을 통한 전력 아키텍처 및 구현 상의 버그 추출</li> </ul>
	Formal Verification	Questa Formal Verification	<ul style="list-style-type: none"> <li>- RTL 디자인, X-state, coverage closure 등에 대한 자동 검증 지원</li> <li>- 저전력 기술 구현을 위한 추가 로직의 connectivity, control, retention register 등의 기능 검증 수행</li> </ul>

#### 5. Calypto 사 저전력 솔루션

Calypto 사는 최신 ESL 기반 반도체 설계 방법론을 선도하는 대표 EDA 벤더 중 하나로, RTL 차원의 저전력 설계 솔루션인 PowerPro 와 이를 기반한 HLS(High Level Synthesis)

9) ESL(Electronic System Level): C/C++, Labview, SystemC, Matlab/Simulink 등과 같은 높은 추상화 수준의 설계 언어와 재사용 가능한 IP 를 이용하여 시스템 차원의 설계 및 검증을 수행하고, HW 및 SW 를 동시에 개발하고자 하는 차세대 반도체 설계 방법론[26]



(그림 12) Calypto 사 저전력 솔루션

툴인 Catapult 을 주력으로 하는 설계 툴 전문업체이다. (그림 12)는 Calypto 사의 저전력 설계 흐름도를 보여주며, 각 제품별 상세 설명은 <표 6>과 같다[22].

<표 6> Calypto 사 저전력 툴 소개

툴 군		툴명	툴 기능 설명
Power Analysis	Power Estimation	PowerPro PA	- 로직, 메모리, 클럭 트리, 레지스터에서 소비되는 동적 및 누설 전류의 계층적 파워 리포트 제공 - hood logic synthesis estimation engine 을 통한 게이트 수준 대비 15% 오차 이내의 정확한 파워 분석 제공 - 시뮬레이션 기반 Switching activity 나 Vectorless 모드기반 파워 분석 지원 - 최신 Clock Gating 인식 CTS(Clock Tree synthesis)를 통한 정확한 클럭 트리 파워 제공
Power Optimization	RTL Optimization	PowerPro CG	- Auto 및 Guided 클럭게이팅 로직 구현 가능 - 순차적 분석 기반의 switching activity 및 propagation 엔진을 통한 정확한 스위칭 정보 제공 - 타이밍 및 칩면적에 큰 영향 없이 최대 60%까지 전력 절감 가능
		PowerPro MG	- 불필요한 메모리 접근을 막는 컨트롤 로직 구현을 통한 누설 전류 감소 지원 - 사용자 지정 데이터 경로에 메모리 게이팅 로직 추가 가능 - Auto 및 Guided 메모리 게이팅 로직 구현 가능
Power Verification	Formal Verification	SLEC Pro	- PowerPro 툴 결과에 대한 종합적인 검증기능 제공

## IV. 결론

전자설계자동화(EDA)가 도입되기 이전, 개발자들은 직접 종이와 펜을 이용하여 반도체



체 제품을 설계하고 생산하였다. 하지만 1970년 중반 이후 EDA 툴이 도입되면서부터 반도체 관련 사업은 급속도로 발전하며, 21세기 디지털정보화 시대를 이끄는 핵심 원동력으로 자리매김해 왔다. 초창기 EDA 툴은 성능(Speed), 칩면적(Area), 생산성 최적화에 초점을 맞춰 발전해왔다. 하지만 최근 본격적인 IoT 시대로 진입함에 따라 배터리 수명이 사업 성공의 핵심 경쟁력 중 하나로 강조되며, 저전력 설계가 새로운 도전과제로 떠오르고 있다. 이러한 패러다임의 변화 속에서 우리나라가 기존 IT 강국으로의 입지를 유지하기 위해서는 반드시 저전력 키워드를 확보해야만 할 것이다. 따라서 최신 EDA 툴의 저전력 솔루션 동향을 예의 주시하며, 이를 제품 개발에 활용하기 위한 준비가 필요할 것으로 보인다.

#### <참 고 문 헌>

- [1] EDA Definition, available: [http://en.wikipedia.org/wiki/Electronic\\_design\\_automation](http://en.wikipedia.org/wiki/Electronic_design_automation)
- [2] Chetandeep Singh and Ravi Tangirala, "As Nodes Advance, So Must Power Analysis", available: <http://semiengineering.com/as-nodes-advance-so-must-power-analysis/>, June 12th, 2014.
- [3] "10 nanometre chips enter mass production", Available: <http://www.futuretimeline.net/21stcentury/2015.htm#10nm-chips>
- [4] M.A. Ortega and J. Figueras, "Short Circuit Power Modeling in Submicron CMOS", PATMOS '96, Aug. 1996, pp.147-166.
- [5] T.Sakurai and A. Newton, "Alpha-power Law MOSFET model and Its Application to a CMOS Inverter", IEEE J. Solid State Circuits, vol. 25, April 1990, pp.584-594.
- [6] Shawn McCloud, "RTL Power Reduction & High Level Synthesis Report 2013", Calypto White Paper, May 07th, 2013.
- [7] Amiad Conley, "FinFET vs. FD-SOI Key Advantages & Disadvantages", CHIPEX2014, April 30, 2014.
- [8] Renu Mehra, "Commercial Low-Power EDA Tools: A Review", ISLPED2012, July 30 ~August 1st, 2012, pp.67-72.
- [9] Yunlong Zhang, Qiang Tong, "Automatic Register Transfer Level CAD Tool Design for Advanced Clock Gating and Low Power Schemes", ISOC2012, November 4<sup>th</sup>-7<sup>th</sup>, 2012, pp.21-24.
- [10] Mahendra Pratap Dev, Deepak Baghel, "Clock Gated Low Power Sequential Circuit Design", ICT 2013, April 11th -12th, 2013, pp.440-444.
- [11] Lanuzza, Corsonello, "Low-Power Level Shifter for Multi-Supply Voltage Designs", pp922-926, Circuits and Systems II(Volume:59, Issue:12), December 24th, 2012.

- [12] Stephen Bailey 외 3 명, “Low Power Design and Verification Techniques”, available: <http://www.mentor.com/products/fv/resources/overview/low-power-design-and-verification-techniques-a28eacff-3d2d-4b1f-b4aa-dbdf2b64e227>
- [13] Olivier Coudert, Ramsey Haddad, “What is the state of the art in commercial EDA tools for low power, Low Power Electronics and Design, 12-14 Aug 1996, pp.181-187.
- [14] UPF standard, available: <http://standards.ieee.org/news/2013/ieee1801.html>
- [15] Synopsys, “Synopsys Low-Power Verification Tools Suite User Guide”, Version D-2014.03-SP1, May, 2014.
- [16] Power Compiler User Guide (Version I-2013-SP4, June 2014), Available: [solvent.synopsys.com](http://solvent.synopsys.com)
- [17] Synopsys Advanced Low Power solution 소개 웹 페이지, available: <http://www.synopsys.com/SOLUTIONS/ENDSOLUTIONS/ADVANCED-LOWPOWER/Pages/default.aspx>
- [18] “Optimizing Power at RTL with SpyGlass Power”, Atrenta WW seminars, sept. 2014.
- [19] Cadence Low Power solution 소개 웹 페이지, available:; <http://www.cadence.com/solutions/lp/Pages/Default.aspx>
- [20] Mentor Graphics Low Power solution 소개 웹 페이지, available:; <http://www.mentorkr.com/solutions/lowpower.html>
- [22] Calypto Low Power solution 소개 웹 페이지, available:; <http://calypto.com/en/products/powerpro/overview>
- [23] Synopsys Advanced Low Power Techniques 소개 웹 페이지, available: <http://www.synopsys.com/Solutions/EndSolutions/advanced-lowpower/verification-lowpower/Pages/advanced-low-power-techniques.aspx>
- [24] Synopsys, “Synopsys Low-Power Flow User Guide”, Version D-2010.03, March, 2010.
- [25] 아르코사 Low Power Design 소개 웹 페이지, available: [http://www.argosys.co.kr/sub3\\_3.php](http://www.argosys.co.kr/sub3_3.php)
- [26] 김은지, 주유상, 조한진, “ESL 기반 설계 및 HLS 최신 동향 분석,” IITP, 주간기술동향, 2014. 8. 20.

\* 본 내용은 필자의 주관적인 의견이며 IITP의 공식적인 입장이 아님을 밝힙니다.