

Altera 임베디드 기가비트 트랜시버(GXB) 테스트

Measurements of Altera Stratix-GX Device's Gigabit Transceiver Block

권원옥(W.O. Kwon) 하드웨어플랫폼연구팀 연구원
박경(K. Park) 하드웨어플랫폼연구팀 책임연구원, 팀장
김명준(M.J. Kim) 인터넷서버그룹 책임연구원, 그룹장

시스템 연결에 사용되는 프로토콜이 고속, 직렬화 됨에 따라 CDR이 내장된 SERDES 칩의 사용이 늘어나고 있다. 이에 Xilinx나 Altera 사 등 FPGA 업체들이 SERDES를 FPGA 내장시킨 제품을 출시하기 시작하였다. 이러한 SERDES 임베디드 FPGA는 PCB 설계의 단순화와 신호무결성의 큰 이점이 있다. 본 고에서는 Altera 사의 SERDES 임베디드 FPGA, Stratix-GX 디바이스의 기가비트 트랜시버 ALTGXB 블록의 테스트에 관해 살펴본다.

I. 서론

시스템 연결에 사용되는 전송 프로토콜이 고속, 직렬화 됨에 따라 고속 직렬 버스용 트랜시버 사용이 점차 일반화되어 가고 있다. 특히 FPGA에서 CDR (Clock Data Recovery) 기능을 포함한 기가비트 트랜시버를 내장한 제품이 출시되고 있다. 이렇게 FPGA에 데이터 직렬화기(Serializer Deserializer: SERDES)를 온칩으로 내장함으로써 시스템 디자인의 많은 변화를 주고 있다. 외장 SERDES를 사용하면 발생하던 고속 신호의 신호무결성(signal integrity) 문제와 복잡한 PCB 패턴 등이 사라져 신뢰성 있는 고속 PCB를 만들 수 있게 되었다[1].

본 고에서는 SERDES가 내장된 Altera 사의 Stratix-GX 디바이스의 온칩 기가비트 트랜시버 (Altera Gigabit Transceiver Block: ALTGXB¹⁾) 블록에 PCI Express 프로토콜을 적용하여 그 기능을 테스트하였다.

본 고를 통하여 GXB 블록의 구조와 PCI Express 용 SERDES 모듈생성, 시뮬레이션 및 테스트에 관

해서 고찰한다.

II. GXB 구조와 생성

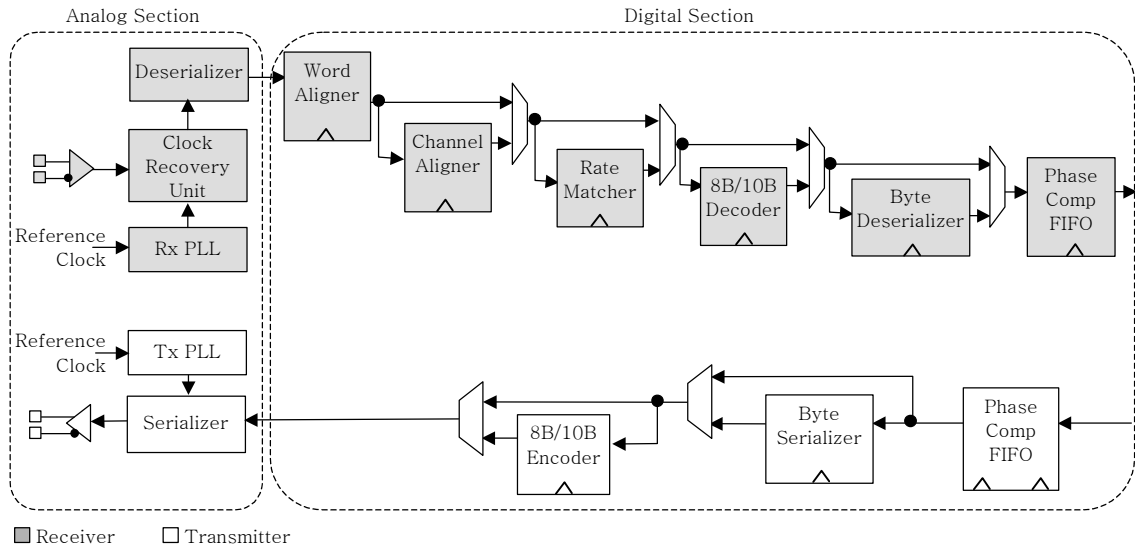
1. GXB 블록

Altera Stratix-GX 디바이스에 내장된 기가비트 트랜시버 GXB 블록은 (그림 1)과 같이 크게 Tx, Rx로 나뉘며 각각 아날로그, 디지털 블록이 존재한다.

가. 아날로그 블록

- GXB 트랜시버의 차동 I/O는 1.5V PCML 규격을 지원
- 프로그래머블 차동출력전압(Vod)
- 온칩 터미네이션(termination) 저항(100, 125, 150ohm)
- Pre-emphasis 지원
- Tx, Rx PLL은 입력 기준주파수에 다양한 채배 계수(multiplication factor=2,4,5,8,16,20) 지원
- CDR 기능
- SERDES 블록은 8(10)/16(20) 비트 신호의 직렬, 병렬화를 담당

1) ALTGXB를 줄여서 GXB라 부르기로 한다.



(그림 1) Altera Stratix-GX GXB 블록도

나. 디지털 블록

- Tx, Rx Phase Compensation FIFO를 통해서 클럭 도메인이 다른 인터페이스 로직과 위상차이를 보정
- Tx, Rx Byte Serializer/Deserializer를 통해서 16(20) 데이터를 8(10)비트로 Byte Serializer 시키거나 8(10)비트 데이터를 16(20) 비트 데이터로 Byte Deserializer 시킨다.
- 8B/10B 인코더, 디코더 내장
- Rx 단에는 COM(K28.5) 같은 패턴을 인식하여 그 패턴에 정렬(alignment)을 수행하는 Word Aligner 블록이 존재
- 멀티 채널(레인)에서 발생하는 채널 간의 스큐(skew)를 제거하는 Channel Aligner(XAUI 프로토콜에만 지원) 기능
- 멀티 클럭 시스템에서 발생하는 클럭 간의 스큐를 제거하는 Rate Matcher 블록
- 다양한 Loopback 모드와 built-in test 모드지원

2. PCI Express 프로토콜용 GXB 생성

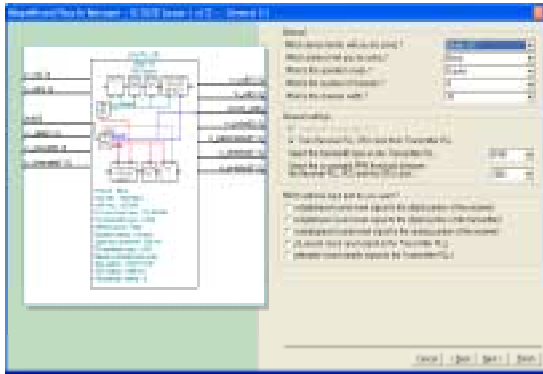
PCI Express 프로토콜을 지원하기 위해서 트랜시버는 2.5Gbps 신호를 송수신 가능해야 된다[2].

Stratix-GX GXB는 PLL의 채배 수를 조정함으로써 622Mbps~3.125Gbps까지 속도를 설정할 수 있다[3]. 따라서 InfiniBand, Fibre Channel, PCI Express, 1G Ethernet, 10G Ethernet XAUI 등 다양한 고속 직렬 프로토콜을 지원할 수 있다.

GXB는 크게 세 가지 동작모드를 제공하고 있다. 첫째, XAUI 트랜시버를 지원하는 XAUI 모드, 둘째, SONET 트랜시버를 지원하는 SONET 모드, 마지막으로 송수신 속도를 사용자가 설정하는 Basic 모드로 나뉘어져 있다. 현재 GXB는 PCI Express 프로토콜을 전용으로 지원하지 않기 때문에 Basic 모드를 사용하여 설정할 수 있다. Basic 모드를 사용하면 (그림 1)에서 Rx 디지털 블록의 Channel Aligner와 Rate Matcher 블록은 XAUI 모드에서만 지원되므로 비활성화(inactive) 된다.

(그림 2)는 Quartus II에 내장된 MegaWizard를 나타낸다. 이 기능을 사용하여 GXB의 모듈과 파라미터를 손쉽게 생성할 수 있다.

PCI Express 프로토콜을 위한 2.5Gbps 트랜시버 속도를 설정할 때 입력 기준주파수는 PLL의 최대 채배 계수 20을 사용할 경우 125MHz로 설정할 수 있다. 이때 수신단의 8비트 16비트 변환 블록인 Byte Deserializer 기능을 사용하므로 트랜시버 입

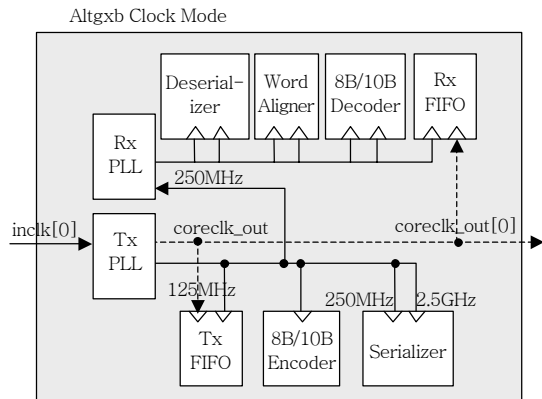


(그림 2) Quartus II MegaWizard에서 GXB 생성모습

력 데이터는 16비트(2byte)로 설정한다. Byte Deserializer를 사용하지 않는다면 내부 코어를 250MHz로 구동시켜야 하므로 반드시 16비트 모드를 사용해야만 한다. 만약 한 채널만 사용할 경우 16비트 입력 데이터, 멀티 채널을 사용할 때는 <16비트×채널 수> 만큼 비트 수가 늘어나게 된다. 또한 8B/10B 인코더, 디코더 기능을 사용하며, 워드 정렬기(word alignment)의 신호 감지 심볼로 K28.5+(COM) 신호를 설정하면 된다.

출력차동전압, Vod(differential voltage output= $V_{TX-DIFFP-p}$)은 PCI Express 전기 규격[2]에 따라 800~1200mV 범위 안의 값을 설정하면 된다. 또한 온칩 터미네이션 저항은 임피던스 정합을 고려해 100ohm으로 설정한다. 외부 터미네이션 저항을 사용하는 것은 신호무결성 측면에서 좋지 못하기 때문에 가급적 내부 터미네이션 저항 사용이 좋다. 또한 송신부 PLL의 대역폭은 가급적 높이고 수신부 PLL의 대역폭은 낮추는 것이 프로토콜 송수신의 신뢰성을 높이는 방법이다. PCI Express 규격에 의하면 두 종단의 클럭의 속도 차이가 600ppm을 넘지 않도록 규정하고 있다. 따라서 +/-300ppm의 허용한계(tolerance)를 가지도록 CDR의 설정이 필요하다. GXB 테스트를 위해서 직렬루프백(Serial-Loopback) 신호를 뽑아 두는 것도 필요하다.

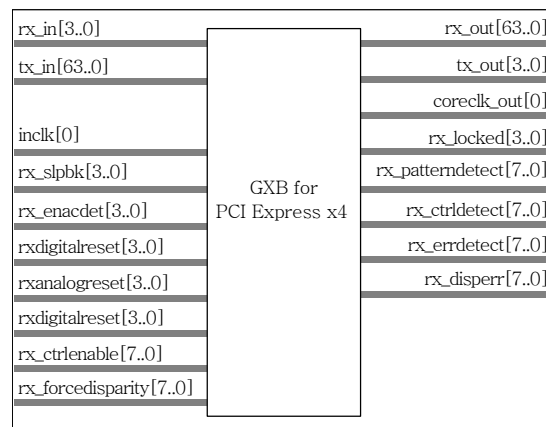
GXB의 내부 클럭 스킴은 다양한 방법을 제공하고 있다. 본 고에서는 PCI Express를 위한 GXB 클럭 스킴으로 (그림 3)과 같이 설정하였다[4]. 클럭



(그림 3) GXB 클럭 스킴

오실레이터에서 생성되는 125MHz 입력 기준 클럭이(inclk) GXB Tx PLL에 입력되어 위상이 바뀌어진 125MHz 출력 클럭(coreclk_out)이 발생한다. 이 클럭을 Tx FIFO의 Write 클럭, Rx FIFO의 Read 클럭으로 사용하며, 상위 계층 즉 PHY, Link, Transaction 계층의 기준 클럭으로 사용한다. 이 클럭을 두 배로 채배한 250MHz 클럭을 Tx FIFO와 8B/10B 인코더, Serializer의 클럭으로 사용한다. 또한 이 클럭은 Rx PLL의 기준 클럭으로 입력되며, Rx 코어 클럭으로 사용되어 진다.

(그림 4)는 Quartus MegaWizard로 생성된 4채널 PCI Express용 GXB 모듈 인터페이스를 나타내고 있다.



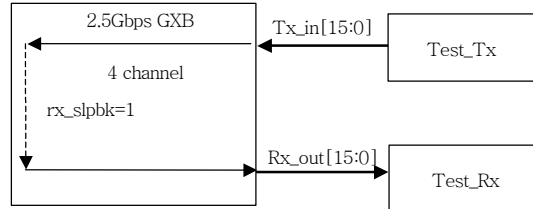
(그림 4) MegaWizard로 생성된 PCI Express x4용 GXB 모듈

III. GXB 시뮬레이션

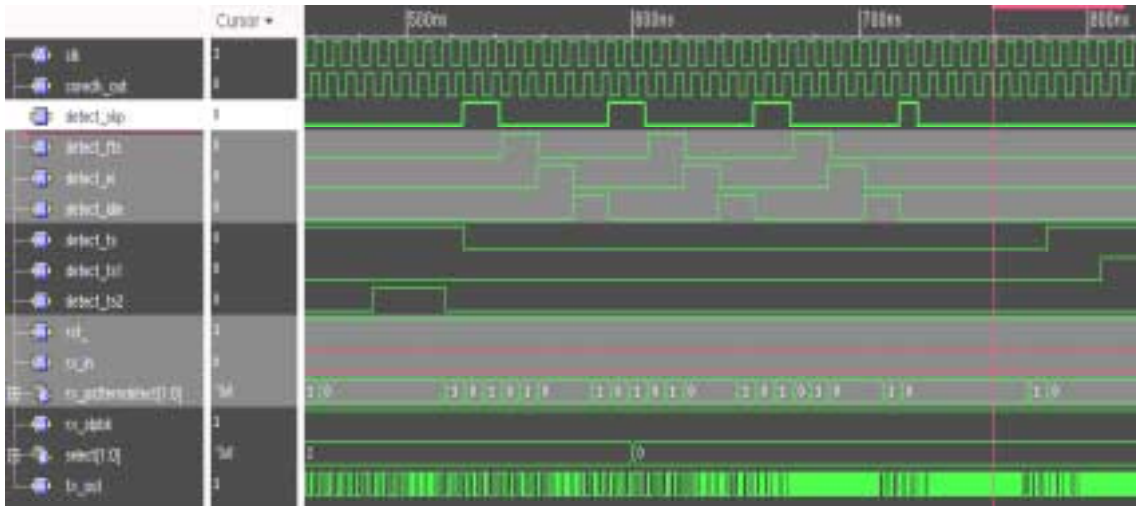
(그림 5)는 GXB 타이밍 시뮬레이션을 위한 테스트 블록으로 테스트 심볼을 생성하는 Test_Tx 모듈과 수신된 심볼을 분석하는 Test_Rx 모듈, 기가비트 트랜시버 GXB 모듈로 구성되어 있다.

Test_Tx 블록은 PCI Express PHY 패킷으로 TS1, TS2, SKP, Idle, FTS ordered set[2]을 생성하는 블록이다. GXB 블록은 PCI Express용 2.5 Gbps 4채널 트랜시버로 구성되어 있으며, 시뮬레이

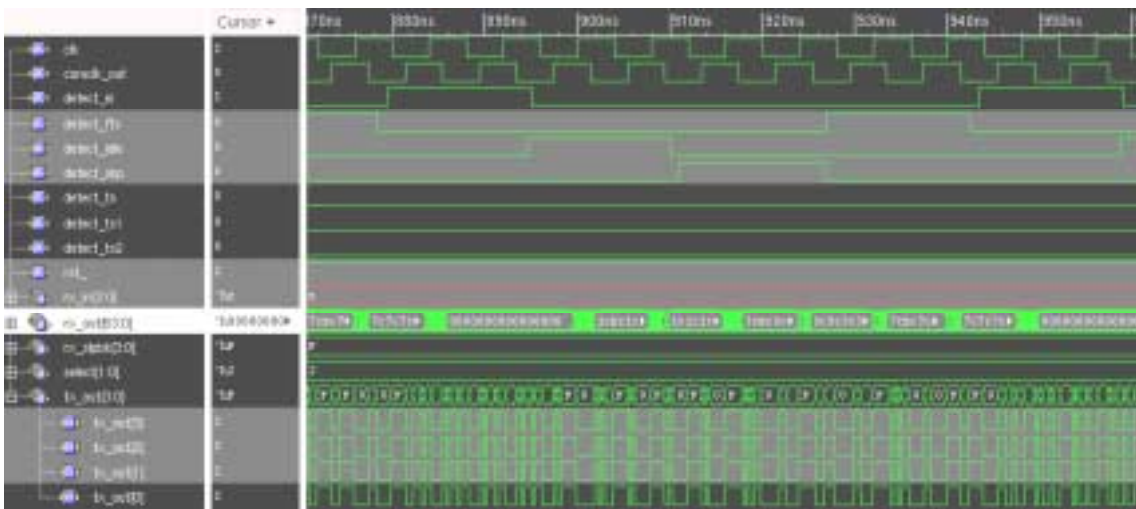
션을 위해 Serial-Loopback 기능을 사용한다. 따라서 Test_Tx에서 입력되는 8비트 심볼들이 Tx 트랜



(그림 5) 타이밍 시뮬레이션을 위한 Test Tx, Rx, GXB 모듈(x1)



(그림 6) GXB 블록을 Serial-Loopback으로 타이밍 시뮬레이션한 결과(x1)



(그림 7) GXB 블록을 Serial-Loopback으로 타이밍 시뮬레이션한 결과(x4)

시버를 거치면서 10비트 인코딩, 2.5Gbps로 직렬화된다. 2.5Gbps 차동신호는 Serial-Loopback 경로를 따라 트랜시버 Rx Deserializer 블록에서 병렬화되고 8B/10B 디코더 블록을 거쳐 최종 데이터와 컨트롤 신호가 Test_Rx 블록으로 입력된다. Test_Rx 블록으로 입력되는 패킷은 Test_Tx 블록에서 전송하는 패킷과 동일해야 하며 이들 패킷은 각각의 검출 회로를 통하여 검출된다.

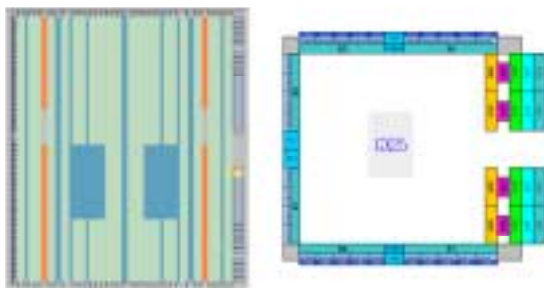
GXB에 관련된 라이브러리는 Verilog 형태로 제공되는 stratixgx_atoms.v 파일과 각각의 EDA 툴에 맞게 Precompiled된 라이브러리로 GXB와 stratixgx_gxb가 제공된다. (그림 6)은 Serial-Loopback을 사용하여 Quartus II 에서 Verilog 출력파일과 sdf 파일을 생성하여, Cadence NCVerilog에서 library와 함께 컴파일하여 시뮬레이션한 결과이다.

입력 기준 클럭(clk)이 Tx PLL에 입력되어 PLL 출력 클럭(coreclk_out)을 생성하며, 이에 따라 Test_Tx에서 SKP, FTS, Electrical Idle 등의 심볼을 생성한다. Serial-Loopback을 수행한 신호를 Test_Rx 블록에서 심볼 패턴을 인식하고 있다. (그림 6)은 x1 레인의 시뮬레이션 결과이며, (그림 7)은 x4 레인 시뮬레이션 결과이다.

IV. 회로 설계 및 테스트

1. 회로 및 PCB 설계

본 실험에 사용된 디바이스는 Altera Stratix-GX EP1SGX25DF1020C6ES를 사용했다. 본 디바



(그림 8) EP1SGX25DF1020C6ES의 Floorplan View

이는 8개의 GXB 트랜시버 채널을 가지고 있다. (그림 8)은 Floorplan View로 GXB 블록은 오른쪽 Bank 14, 15에 고정되어 있다. 채널을 설정할 때 가운데 위치한 M-RAM의 위치와 GXB의 위치를 잘 고려하여 핀 매핑을 수행해야 피팅 시 좋은 결과를 얻을 수 있다.

Stratix-GX 디바이스는 내부 코어 전원을 1.5V 사용하며, PCB 설계 시 아날로그 전원과 디지털 전원의 분리가 필요하다. 또한 고속 직렬 신호의 라우팅 및 레이아웃 규칙[5]을 엄격히 준수해야 된다.

2. GXB 블록 테스트

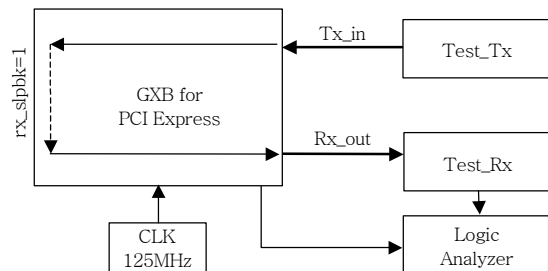
가. FPGA 내부 Serial-Loopback 테스트

목적	Altera Stratix-GX의 GXB의 Tx, Rx 디지털, 아날로그 블록의 이상 유무를 검증하기 위함
측정장비	Agilent 16702B Logic Analyzer, Tektronix TDS3054B Oscilloscope

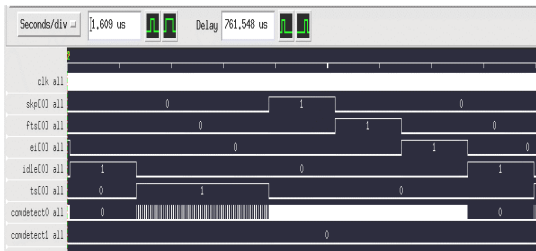
GXB의 Serial-Loopback은 (그림 9)와 같은 방법으로 테스트가 이루어진다. Test_Tx에서 생성된 심볼들이 Test_Rx에서 동일하게 검출되면 (그림 1)의 GXB의 디지털, 아날로그 블록들이 모두 검증이 된다.

Logic Analyzer에서 관측하는 내용은 GXB에서 검출한 COM 심볼과 Test_Rx 단에서 검출한 심볼 등을 측정한다.

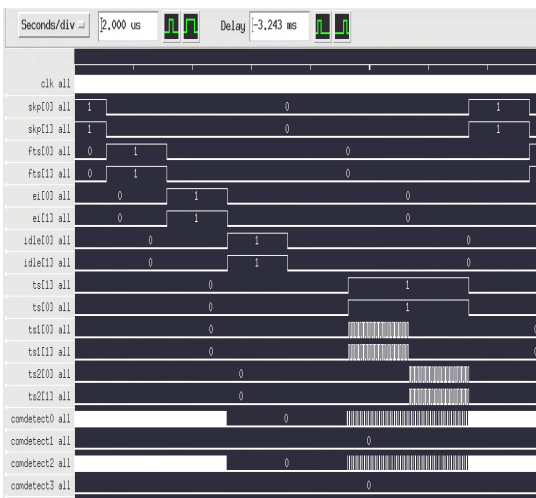
(그림 10)은 Logic Analyzer에서 측정된 결과를 보여준다. Test_Tx에서 x1 GXB에 SKP, FTS, EI ordered set, Idle, TS1, TS2를 보내었으며 이 신호를 Test_Rx 단에서 검출한 결과이다. 이때 com-



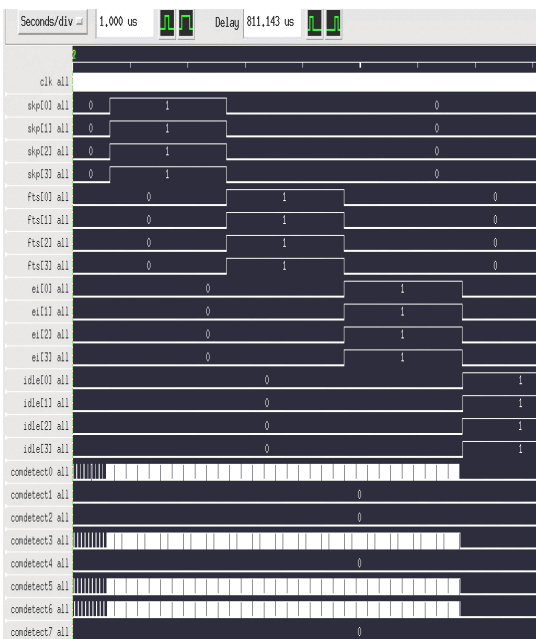
(그림 9) 내부 Serial-Loopback 검증 경로



(그림 10) Logic Analyzer 측정결과(x1)



(그림 11) Logic Analyzer 측정결과(x2)



(그림 12) Logic Analyzer 측정결과(x4)

detect[1:0] 신호는 수신단의 Rx_out 16비트 (2byte) 출력에서 COM 심볼(K28.5)을 검출한 결과이다. 실험결과 모든 하위 바이트에 COM 심볼이 검출되었다. 만약 COM 심볼이 상위 바이트에 검출되면 Rx 부분에 COM 심볼의 위치를 하위 바이트로 이동시키는 COM 정렬기 블록이 별도로 필요하게 된다. 다음은 다중 링크에서 Analyzer 검출 결과를 살펴보자.

(그림 11)은 x2 링크 테스트, (그림 12)는 x4 링크 테스트 결과이다. x1 링크와 마찬가지로 수신단에서 여러 ordered set들이 정확히 검출되고 있다. x4 라인 실험에서 COM 심볼의 검출결과를 보면 하위바이트(comdetect0, comdetect6) 혹은 상위바이트(comdetect3, comdetect5)에서 검출됨을 볼 수 있다. 즉 16비트 모드를 사용할 때는 임의로 COM 심볼이 상위 혹은 하위 바이트로 정렬됨을 실험으로 확인할 수 있다.

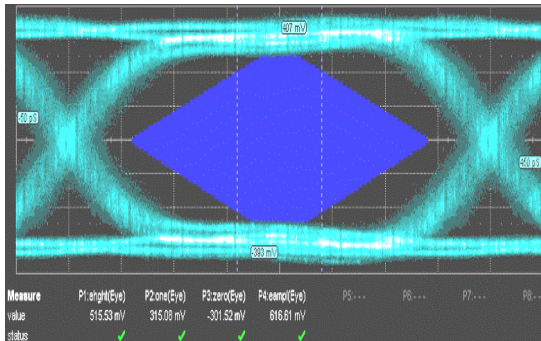
따라서 다중 라인 수신단에는 COM 심볼을 모두 하위 바이트로 이동시키는 COM 정렬 블록이 필요하다. 이때 COM 심볼의 이동이나 혹은 물리적 레인의 길이 차이로 인해 라인간의 스큐(skew)가 발생할 수 있으며, 이를 보완하기 위한 디스큐(deskew) 회로가 추가되어야 올바른 데이터를 수신할 수 있게 된다.

나. 2.5Gbps Signal Integrity 테스트

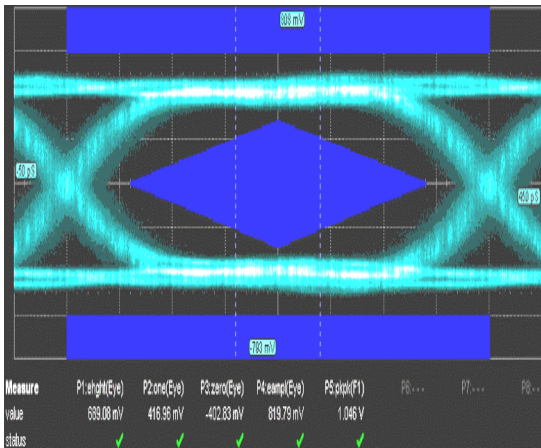
목적	GXB에서 출력되는 신호의 무결성을 측정하여 PCI Express에서 규정하는 전기규격을 만족하는지 테스트 한다.
측정장비	LeCroy SDA 6000(6GHz, 20GS/s) Real Time Oscilloscope

PCB 설계 시 2.5GHz 신호무결성 측정을 위해 SMA 커넥터를 만들었다. 2.5GHz 신호 측정 장비로는 LeCroy SDA6000을 사용했으며, 이는 6GHz 대역폭에 20G/s 샘플링을 지원한다. 실험은 Vod 값의 면화에 따른 Tx 신호의 Eye 패턴을 측정하였다.

(그림 13)은 출력 전압을 800mV로 설정하여 PCI Express Eye 마스크를 통과시킨 모습이다. 2.5Gbps 출력신호가 정확히 검출되고 있다. 하지만 결과에서



(그림 13) Vod=800mV 경우 Eye Diagram



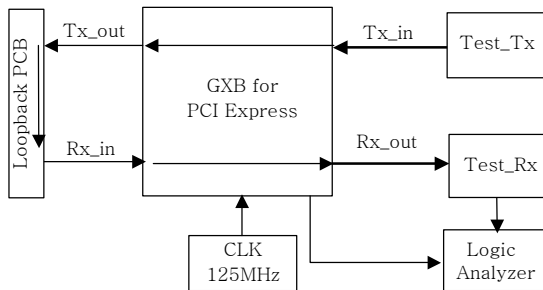
(그림 14) Vod=1200mV 경우 Eye Diagram

보듯이 검출 파형이 Eye 마스크를 침범하고 있다. 따라서 Vod 값을 더 증가시켜야 됨을 알 수 있다.

(그림 14)는 Vod 값을 1200mV로 설정했을 때 Eye 패턴이다. PCI Express 마스크에 잘 부합되는 모습을 볼 수 있다. PCI Express 전기규격[4]에 의하면 Vod=800mV~1200mV로 규정하고 있으며, 실험결과 GXB에서는 Vod=1200mV로 설정할 때 가장 결과를 얻을 수 있었다.

다. 외부 Serial-Loopback 테스트

목적	GXB의 입출력 버퍼 검증, 온칩 터미네이션 저항 검증, 커넥터, PCB Differential 임피던스 매칭 검증
측정장비	Agilent 16702B Logic Analyzer, Tektronix TDS3054B Oscilloscope, Catalyst PCI Express x16 Loopback PCB



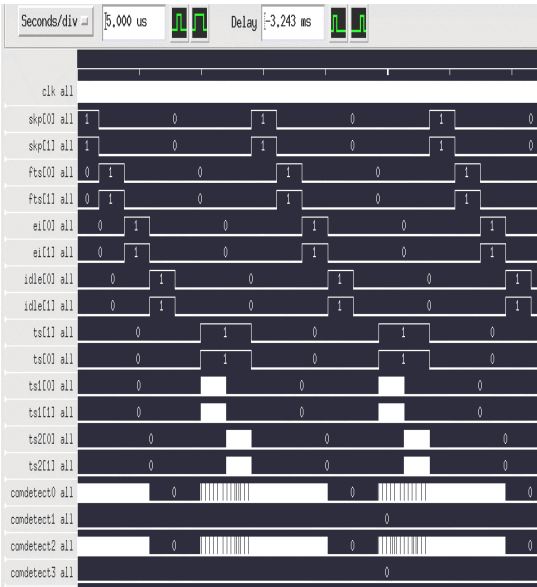
(그림 15) 외부 Loopback 테스트 사진과 블록도

외부 Loopback 실험은 임피던스 정합되어진 Catalyst사의 x16 PCI Express Loopback PCB를 ((그림 16) 참조) 활용하였다. (그림 16)과 같이 Test_Tx 블록에서 생성된 패킷은 GXB Tx 블록을 거쳐 외부 Loopback PCB를 거쳐 GXB Rx로 입력이 된다. 최종적으로 Test_Rx 블록은 수신 심볼을 감지하여 결과를 Logic Analyzer로 출력한다.

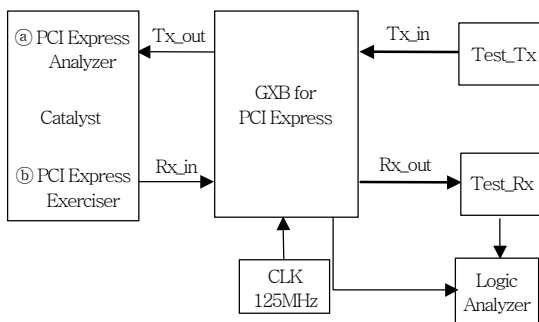
(그림 16)은 x2 링크의 실험 결과를 나타내고 있다. 수신단에서 잡혀진 SKP, FTS, TS 등 심볼 모습을 보여주고 있다. 본 테스트를 통해서 GXB 입출력 버퍼와 100ohm으로 정합되어 있는 온칩 터미네이션 저항을 검증하게 되었다.

라. PCI Express Analyzer/Exerciser 테스트

목적	GXB에서 송수신 신호의 PCI Express 프로토콜 검증
측정장비	Catalyst x4 PCI Express Analyzer and Exerciser: SPX-4, Catalyst PXP-100 Back Plan, Agilent 16702B Logic Analyzer



(그림 16) 외부 Loopback 테스트 시 Logic Analyzer 측정 파형(x2)



(그림 17) Catalyst PCI Express Analyzer/Exciser Interface

PCI Express 프로토콜 검증을 위해 Catalyst사의 PCI Express 프로토콜 Analyzer/Exciser를 사용하여 GXB 송수신부를 검증하였다. (그림 17)은 측정 사진과 블록도를 나타내고 있다.

프로토콜 분석기는 GXB에서 출력되는 2.5Gbps PCI Express 패킷을 받아 분석하며, 프로토콜 생성기는 GXB로 PCI Express 패킷을 전송한다.

(그림 18)은 x1 링크에서 TS2 신호가 Exciser를 통해서 GXB Rx로 입력되는 모습과 Test_Tx에서 TS1을 생성해서 Analyzer로 보내는 모습이다.

(그림 19)는 x4 링크의 모습을 나타내고 있다. 스큐 없이 모든 레인에서 TS1, TS2가 송수신되는 모습을 볼 수 있다.

본 실험을 통해서 GXB 출력이 PCI Express 프로토콜로서 이상 없음을 검증하였다.

V. 결론

본 실험을 통하여서 Altera Stratix-GX의 기가비트 트랜시버의 기능을 검증하였다. 특히 PCI Express 트랜시버로서 호환성을 검증하였다. 검증 절차로 먼저 Quartus II 프로그램에서 PCI Express용 트랜시버를 생성한 후, GXB 및 테스트 블록의 타이밍 시뮬레이션을 수행하였다. 이후 회로와 PCB를 설계한 후 테스트 작업을 시행하였다. GXB 내부 아날로그와 디지털 블록의 검증을 위해 먼저 Serial-Loopback 테스트를 수행하였다. 이후 신호무결성 테스트를 위해 PCI Express 마스크 테스트를 수행하였다. 터미네이션 저항 및 PCB, 커넥터를 연결했을 때 신호분석을 위해 외부 Loopback 보드를 사용하여 실험을 수행하였다. 마지막으로 PCI Express Analyzer/Exciser를 통한 프로토콜 검증을 수행하였다.

수행 결과 GXB 블록은 PCI Express 프로토콜에 적합함을 알 수 있었다. 그러나 다중 채널에서 채널간의 스큐를 제거하는 Channel Aligner 기능이 XAUI 프로토콜에만 적용되는 것이 아쉬운 점이 있었다.

