



## 기지국용 Digital IF 방식 트랜시버 기술

유봉국\* 방영조\*\* 김진업\*\*\*

본 고에서는 SDR(Software Defined Radio) 기술을 기반으로 하여 WCDMA(Wide-band Code Division Multiple Access) 기술 기반의 고속 데이터 전송 시스템인 HSDPA(High Speed Downlink Packet Access) 기지국과 OFDM(Orthogonal Frequency Division Multiplexing) 기술에 근거한 IEEE802.16 규격의 WiMAX 기지국 기능으로 재구성될 수 있도록 개발된 이중 모드 기지국을 위한 Digital IF 트랜시버 기술에 대하여 기술한다. 소개할 트랜시버는 동일한 하드웨어 플랫폼 상에서 보드 위의 구성 요소나 부품의 변경 없이 FPGA(Field Programmable Gate Array) 및 프로세서의 소프트웨어 변경만으로 타 무선접속 규격의 시스템으로 재구성 가능한 특징을 가지고 있다. 본 고에서는 Digital IF 트랜시버의 구현, DDC 및 DUC의 제품 동향 및 칩의 선정 방법, Double Conversion 방식을 포함한 타 변환 방식과의 성능을 비교, 제시하고 결론을 맺는다. ☒

목	차
---	---

- I. 개요
- II. 구현 방법
- III. WCDMA/WiMAX 용 DUC, DDC 기술 동향 및 선택방법
- IV. Double Conversion 방식과의 성능 비교
- V. 결론

### I. 개요

최근 High Speed ADC/DAC 기술의 향상 및 범용 디지털 신호처리 소자들의 고속화 및 고성능화로 인하여 차세대 이동통신 시스템에서 핵심기술 중의 하나로 부각되고 있는 SDR 기술이 기지국 시스템의 상용화에 빠르게 근접해 가고 있다. 그 예로서 ETRI에서 최근에 개발 완료한 이중 모드 기지국을 들 수 있는데, ReMO(Reconfigurable Mobile Convergence for a two-mode access system Reconfigurable Base Station)라고 불리며, WCDMA(Wide-band Code Division Multiple Access) 기술 기반의 고속 데이터 전송 시스템인 HSDPA(High Speed Downlink Packet Access) 기지국 기능과 OFDM(Orthogonal Frequency Division Multiplexing) 기술에 근거한 IEEE 802.16 규격의 WiMAX 기지국 기능으로 재구성되

\* ETRI 이동컨버전스연구부/선임연구원  
 \*\* ETRI 무선시스템연구부/책임연구원  
 \*\*\* ETRI 방송통신융합미래기술연구부/책임연구원

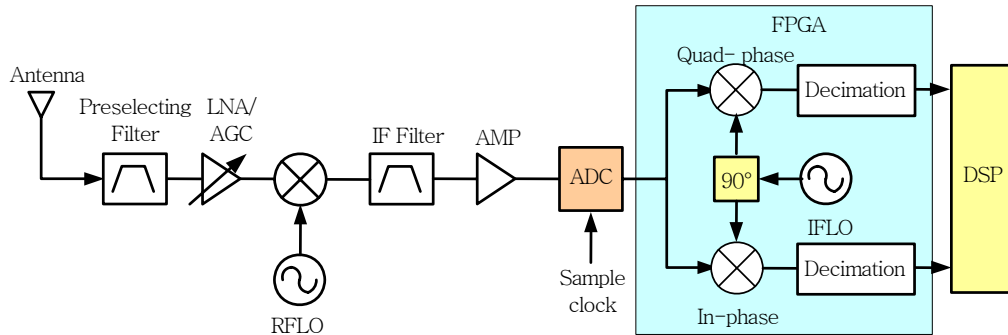
어 동작될 수 있다. ReMO 시스템은 동일한 HW 플랫폼 상에서 모뎀 보드 및 Digital IF 트랜시버 등 기능 블록들의 소프트웨어 다운로드를 통하여 두 가지 무선 접속규격으로 재구성 되도록 SDR 기술을 이용하고 있다. RF 단의 아날로그 신호가 기저대역의 디지털 신호로 변환되는 관점에서 볼 때 SDR 기술 진화의 화두는 ADC(Analog to Digital Converter)가 전체 시스템에서 어디에 위치하느냐로 특정 지워진다. 왜냐하면 안테나 단에 가까워질수록 디지털 방식으로 소프트웨어 처리가 가능한 블록들이 많아지기 때문에, 단일 송수신 하드웨어 플랫폼 상에서 소프트웨어 모듈만을 변경함으로써 다양한 무선접속 규격들을 유연성 있게 제공한다는 SDR 기본 개념에 근접하기 때문이다. 이에 따라 SDR 기술의 진화과정에서 Digital IF(Intermediate Frequency) 기술은 트랜시버 구현에 있어서 중요한 위치를 차지한다.

본 고에서 소개하는 ReMO 기저국의 Digital IF 트랜시버도 역시 SDR 기술을 기반으로 하여 하드웨어 변경 없이 FPGA(Field Programmable Gate Array) 칩 및 프로세서 프로그램의 소프트웨어 재구성만으로 타 무선접속 규격으로의 절체가 가능하도록 개발되었다. 이 트랜시버는 WCDMA 기술 기반의 HSDPA 시스템 및 WiMAX 802.16d Profile 중에서 1.75MHz, 3.5MHz, 7MHz 의 채널 대역폭을 갖는 시스템을 동일한 플랫폼 상에서 소프트웨어의 변경으로 모두 수용하도록 설계하였다.

## II. 구현 방법

Digital IF 트랜시버 보드의 주요 기능은 모뎀 보드로부터 기저대역 신호를 수신하여 아날로그 중간 주파수로 상향 변환하기 위한 중간 주파수 상향 변환 기능 및 RF 단으로부터 일차 하향 변환되어 수신되는 IF 아날로그 신호를 아날로그-디지털 변환을 통하여 디지털 신호로 변환한 후 기저대역 신호로 하향 변환하는 기능으로 나눌 수 있다. 또한 ReMO 시스템에서는 각 통신 방식마다 2 개의 FA 를 지원하도록 설계되었는데, 이처럼 다수의 FA 를 처리할 경우 채널화 기능을 갖도록 디지털 방식의 채널 분리와 합성기능을 갖는다.

기존의 Double Conversion 방식이나 Direct Conversion 방식의 IF 트랜시버에 비하여 Digital IF 기술을 채택한 트랜시버는 여러 가지 장점을 갖는다. 먼저 아날로그 소자의 수를 대폭 줄임으로써 이들이 갖는 비선형에 의한 신호 왜곡, 비정상적인 이득조절에 의한 신호 포화, DC 오프셋, I-Q 신호이득의 불일치, I-Q 위상 불일치 등을 극복하여 시스템 성능에 큰 향상을 가져온다. 더욱이 디지털 신호처리 영역이 커지므로 타 통신 방식으로의 재구성이 용이하고, 단일 칩화가 가능하며, 개별 칩의 성능차가 거의 없어서 기존 아날로그 방식이 갖는 튜닝에 소요되는



(그림 1) Digital IF 방식의 수신부 구조도

시간과 노력을 줄일 수 있다. 다만 소모 전력문제로 인하여 주로 기지국에서 사용된다는 점과 아날로그-디지털 변환에 고속의 ADC/DAC 를 사용하므로 샘플 클럭의 Phase Noise 특성에 민감하여 Jitter 특성이 우수한 샘플링 클럭이 요구된다. (그림 1)은 일반적인 디지털 IF 기능이 적용된 수신단 구조를 나타내고 있다. 대부분의 경우 기지국용 DDC(Digital Down Converter) 및 DUC(Digital Up Converter)는 DSP, FPGA 또는 ASIC 등의 디지털 회로로 구현된다. 기지국을 위한 Digital IF 구현을 위해서는 재구성 속도와 계산 능력 등에 비중을 두어 고려할 필요가 있으며, FPGA 를 채택하는 것이 바람직하다. 더욱이 DDC 와 DUC 블록의 구현을 위하여 FPGA 칩 공급자들은 개발자들이 구현을 용이하게 하도록 IP 형태로 기능 블록들을 제공한다.

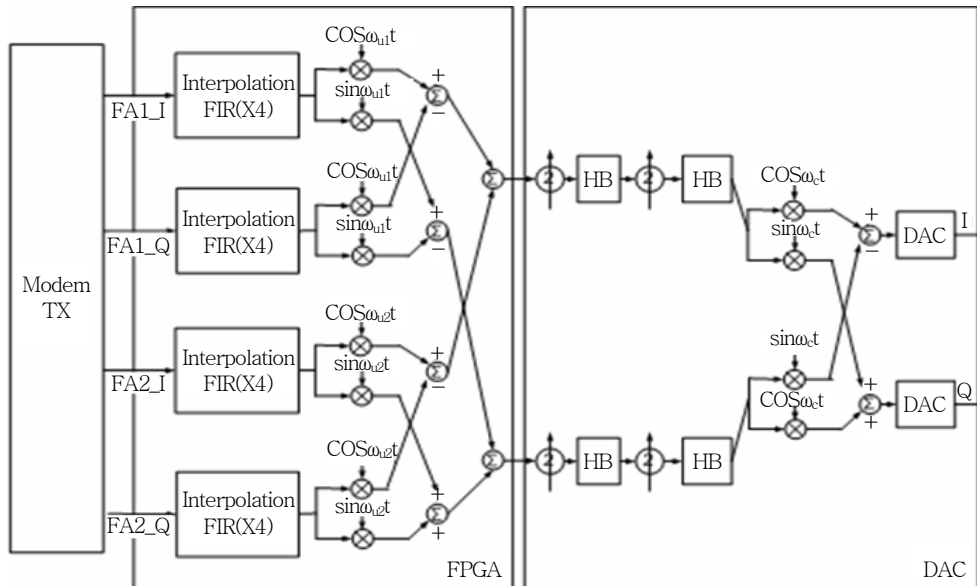
보통 기지국용 Digital IF 트랜시버를 구현하는 방법은 IF 단에서 High Speed ADC 와 DAC 를 이용하여 아날로그-디지털 신호 변환을 처리한 후에, 디지털화된 신호를 처리하는 방법에 따라 크게 두 가지로 나누어 볼 수 있다. 첫 번째는 상용 DDC 칩 또는 DUC 칩을 이용하여 기저대역으로 상, 하향으로 변환하는 방법이 있고, 두 번째는 FPGA 또는 고성능 DSP 등 신호처리 부품들을 이용하는 방법이 있다. 두 번째 방법을 이용하면 다양한 무선접속에 따른 신호대역폭 및 샘플율에 유연하게 대처할 수 있는 장점이 있다. 본 고에서는 FPGA 를 이용하여 상향 및 하향 변환기를 구현한 내용을 중심으로 구현 방법에 대해 기술한다.

일반적인 이동통신 시스템 설계에 있어서 IF 주파수의 결정은 보통 RF 관점에서 시스템 내에서 혹은 다른 이동통신 주파수의 영향을 가능한 한 적게 받으면서 소요되는 부품들의 수급에 문제가 없도록 신중히 결정한다. Digital IF 트랜시버 관점에서는 하향 변환부분의 ADC 에서 band-pass sampling 기술을 이용할 때 Digital Image 가 겹치지 않도록 하는 것과 동시에 상향 변환 부분에서 최종 DAC 의 제공 가능한 최대 데이터 샘플율을 고려하여 IF 주파수와 샘플링 주파수를 선정한다. DAC 에서는 최종 출력 IF 에 대한 Nyquist sampling criteria 를 만족하는지

를 고려해야 하는데 ReMO 에서 사용하는 DAC 는 400MHz 까지 지원하며 이론적으로 100MHz 의 IF 까지 설정이 가능하다. 따라서 ReMO 시스템에서는 IF 주파수로 80MHz 를 사용 하였고 샘플링 주파수는 HSDPA 의 경우 3.84MHz 의 16 배인 61.44MHz 로 결정하였으며 WiMAX 모드 의 경우는 WiMAX 7MHz 의 프로파일의 기본 샘플링 주파수가 7MHz×7/8= 8MHz 이므로 그것의 8 배인 64MHz 가 된다.

### 1. 하향 링크를 위한 상향 변환 기능 구현

하향 링크를 위한 주파수 상향 변환 기능 및 2 개 FA 의 디지털 합성을 담당하는 송신 부분 의 전체 기능 블럭도를 (그림 2)에 나타내었다. 먼저 HSDPA 시스템에서는 모뎀으로부터 각각 2 개의 FA 디지털 신호를 In-phase, Quad-phase 신호로 분리하여 수신하고 이를 각각 FIR 방식 의 4 배 디지털 인터폴레이션 필터를 통과하여 샘플율을 높인다. 이 신호는 기 설계 된 NCO (Numerically Controlled Oscillator)를 이용하여 FA 별로 Digital Complex Quadrature Modulation 을 거쳐 이미지 신호를 제거한 후 디지털 FA combining 기법을 통해 두 개의 FA 가 합성된다. 이때,  $\omega_{u1}=16.16\text{MHz}$ ,  $\omega_{u2}=20.96\text{MHz}$  이며,  $\omega_c=61.44\text{MHz}$  이다. 이 최종 신호가 61.44MHz 의 샘플링 클럭을 사용하는 DAC 로 입력된다. DAC 는 내부적으로 2 배의 인터폴레이션 기능을 갖 는 Half-band Filter 를 2 단 사용함으로써 궁극적으로 4 배의 인터폴레이션 기능을 수행하고

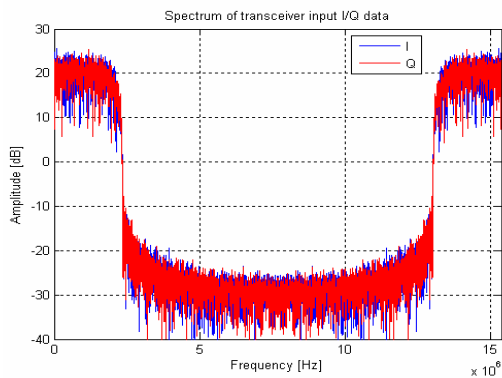


(그림 2) 트랜시버 송신부의 블록 구조도

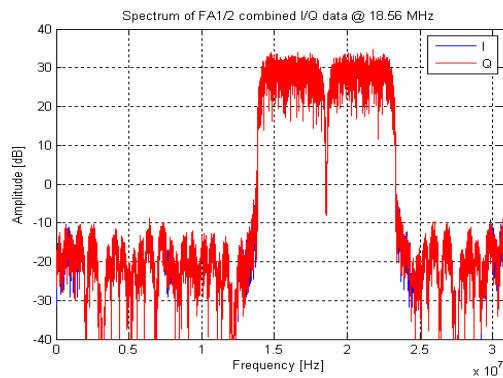
61.44MHz 만큼 Digital Complex Quadrature Modulation 을 거쳐 상향 변환하여 최종적으로 80MHz 의 아날로그 IF 주파수를 출력하게 된다.

(그림 3)부터 (그림 5)는 모델로부터 Digital IF 트랜시버의 FPGA 로 입력되는 신호, FPGA 로부터 출력되어 DAC 로 입력되는 신호 및 최종 DAC 출력신호를 시뮬레이션 한 결과이다. (그림 5)에서 DC 근처의 Low IF 대역에 있는 이미지 신호의 제거를 위하여 DAC 출력단, 즉 RF 트랜시버로 신호가 입력되기 전에 BPF 가 반드시 필요함을 알 수 있다.

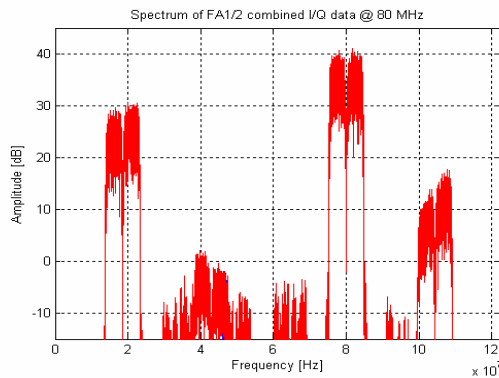
또한, ReMO 시스템이 WiMAX 시스템의 7MHz 프로파일 모드로 재구성되어 동작할 경우는  $\omega_{u1}=12\text{MHz}$ ,  $\omega_{u2}=20\text{MHz}$  이며,  $\omega_c=64\text{MHz}$  이다. 이때 FPGA 출력 신호는 64MHz 의 샘플링 클럭을 사용하는 DAC 로 입력되며, HSDPA 시스템과 동일하게 최종적으로 80MHz 의 아날로그 IF 주파수를 출력하게 된다. 인터폴레이션을 위한 FIR 필터는 무선 규격마다 디지털 데이터의 샘플을 및 통과 대역폭이 다르기 때문에 시스템에 따라 개별적으로 설계되어진다.



(그림 3) 트랜시버 입력신호



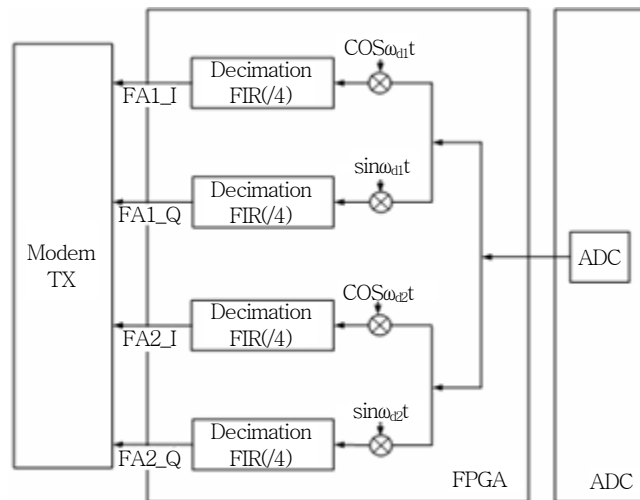
(그림 4) DAC 입력신호



(그림 5) IF 출력신호

## 2. 상향 링크를 위한 하향 변환 기능 구현

(그림 6)에 WiMAX 7MHz 프로파일에 대해서 트랜시버 보드의 상향 링크를 위한 2개 FA의 디지털 분리 및 주파수 하향 변환 기능을 담당하는 수신부분의 기능 블럭도를 나타내었다. 하향 변환부의 입력은 RF 블록으로부터 일차 하향 변환된 80MHz의 아날로그 IF 신호이며, WiMAX 모드에서 수용하는 모든 프로파일의 경우 64MHz의 속도로 표본화하는 ADC를 거쳐 대역통과 표본화되어 디지털 신호로 변환된다. 채널 분리를 위하여 동일한 신호가 분기되어 수치제어 발진기(Numerically Controlled Oscillator: NCO)와 곱해져서 FA 별로 Digital I/Q demodulation을 거쳐 기저대역 신호로 하향 변환된 후 각각 4배의 데시메이션 필터를 거쳐 데이터 샘플율이 낮아진다. 이때, NCO의 출력 주파수는  $\omega_{d1}=12\text{MHz}$ ,  $\omega_{d2}=20\text{MHz}$ 이다. 또한 HSDPA 모드로 동작하는 경우 ADC의 샘플링 속도는 61.44MHz이며, (그림 6)에서  $\omega_{d1}=16.16\text{MHz}$ ,  $\omega_{d2}=20.96\text{MHz}$ 이다. HSDPA 모드에서는 데시메이션 FIR 필터가 2배의 데시메이션 기능을 갖는다.



(그림 6) 트랜시버 수신부의 블록 구조도

### III. WCDMA/WiMAX 용 DUC, DDC 기술 동향 및 선택방법

최근 들어 이동통신 기술의 발전과 더불어 표준화가 진전되고, SoC(System On Chip) 기술이 발전되면서 다양한 무선 접속규격과 프로파일들을 한 트랜시버 칩으로 수용할 수 있게 되었다. 대부분의 칩들은 기지국보다는 소형과 저전력을 요구하는 단말용 칩셋이며, 본 고에서는 기지국용 DUC 및 DDC 칩을 중심으로 대표적인 칩 제조사인 Analog Devices 사, Texas Instruments

사, Intersil 사 등의 제품을 중심으로 살펴보고자 한다.

## 1. Analog Devices

DDC 는 보통 복소 정현파를 발생시키는 DDS(Direct Digital Synthesizer), 굽셈기, LPF (Low Pass Filter), 데시메이터 등으로 구성 된다. Analog Devices 사의 WCDMA 와 WiMAX 기지국 시스템에서 공통적으로 적용 가능한 대표적인 IF 용 DDC 칩으로 AD6636 을 들 수 있는데, 단일칩으로 최대 6 개의 UMTS 채널을 처리할 수 있다. 이 칩은 외부의 ADC 칩을 통하여 디지털화된 16 비트 신호를 수신하여 순수한 DDC 기능을 처리하고 16 비트로 출력 데이터를 최대 200MSPS 까지 출력한다. 내부적으로는 주파수 변환기, 5 차 CIC(Cascaded Integrated Comb) Filter, 2 개의 고정계수 FIR, HBF(Half band filter), 3 개의 가변계수 FIR, IHB(Interpolating half-band filter)와 digital AGC 블록을 포함하고 있다. 최대 지원 입력 샘플 속도는 외부의 ADC 칩으로부터 2 개의 입력 포트를 사용할 경우 최대 300MSPS 까지 지원할 수 있다. 하향 변환된 기저대역 신호의 품질을 결정하는 Phase noise 에 대한 영향을 최소화하기 위하여 NCO 의 SFDR(Spurious Free Dynamic Range) 성능이 중요한데, 이 칩은 110dBc 의 SFDR 을 갖는 NCO 를 지원하고 있다. 디지털 필터들의 stop band alias rejection 성능은 최대 107dB 이며, 내장 PLL 은 최대 200MHz 의 클럭 속도를 지원한다. 보통의 DDC 칩이 서로 다른 ADC 칩으로부터 입력되는 신호의 특성으로 인해 I/Q 불일치가 발생할 수 있는데, 이 칩 내부에는 이를 보정해주는 보정 블록도 포함되어 있다. AD6636 칩과 마찬가지로 최대 6 개의 UMTS 채널을 처리할 수 있도록 DUC 칩으로 AD6633 칩을 제공한다. 이 칩의 주요한 사양을 살펴보면 최대 20 비트의 디지털 기저대역 신호를 받아서 DUC 처리를 한 후 최종적으로 최대 125MSPS 의 데이터 샘플 속도로 DAC 에 18 비트로 출력하는 2 개의 포트를 지원한다. 칩 내부의 기능 블록을 살펴보면 Interpolation, anti-image filtering, all-pass phase equalization, 그리고 NCO tuning 기능을 가

<표 1> Analog Devices 사의 DDC, DUC 제품군 예시

Chip	Function	# of channels	Clock (MHz)	Bit resolution	SFDR (dBc)	Digital Filters	Others
AD6636	DDC	UMTS: 6	150	Input: 16 Output: 16	110	CIC5, FIR, HB, MRCF, DRCF, CRCF	Digital AGC
AD6635	DDC	UMTS: 8	80	Input: 14 Output: 16	100	CIC, RCF, HB	Digital AGC
AD6655	ADC+DDC	WCDMA: 1 WiMAX: 1	150	Input: 14 Output: 14	80	HB, FIR	-
AD6633	DUC	UMTS: 6	125	Input: 20 Output: 18	-	CIC5, FIR, HB, RCF	IF/RF compensation

지고 있으며, 특히 OFDM 신호 송신에 있어서 중요한 요소인 PAPR(Peak to Average Power Ratio) 문제에 대처하기 위하여 PAPR 감쇠 기능 블록을 포함한다.

## 2. Texas Instruments

Texas Instruments 사에서는 UMTS 시스템의 8 채널을 동시에 처리할 수 있는 DDC 칩인 GC5018 을 제공하고 있는데, 내부에 채널별로 front-end AGC 기능이 탑재되어 있고, 입력과 출력의 비트 해상도는 모두 16bit 이다. 이 회사에서 제공하는 DUC 칩은 GC5318 로서 UMTS 12 채널을 지원하며, 입력과 출력의 비트 해상도는 모두 18 비트이며, 출력의 최대 데이터 속도는 125MSPS 이다. 또한, DDC 와 DUC 기능을 함께 내장한 GC5316 도 2004 년부터 출시하고 있는데, 12 개의 UMTS 채널을 동시에 처리하며, 입력과 출력의 데이터율은 공히 125MSPS 까지 지원하고, DDC 입력은 16 비트, DUC 출력은 18 비트이다. 이 회사의 소개한 칩들의 특성을 <표 2>에 정리하였다.

<표 2> TI사의 DDC, DUC 제품군 예시

Chip	Function	# of channels	Clock (MHz)	Bit resolution	SFDR (dBc)	Digital Filters	Others
GC5018	DDC	UMTS: 8	160	Input: 16 Output: 16	115	CIC, CFIR, PFIR	Digital AGC
GC5318	DUC	UMTS: 12	125	Input: 18 Output: 18	115	CIC, CFIR, PFIR	-
GC5316	DDC	UMTS: 12	125	Input: 16 Output: 18	115	CIC, CFIR, PFIR	Digital AGC
	DUC	UMTS: 12	125	Input: 18 Output: 18	115	CIC, CFIR, PFIR	-

## 3. Intersil 및 그 외 제조사들

Intersil 사는 WCDMA 기지국의 DDC 칩으로 ISL5216 과 ISL5416 을 제공하고 있으며, DUC 칩은 ISL5217 을 제공한다. WiMAX 기지국의 DDC 칩으로는 ISL5416 만 가능하며, WiMAX 기지국용 DUC 칩은 현재까지 지원되지 않고 있다. National Semiconductor 사에서는 DDC 및 DUC 칩은 제공되지 않지만 기지국용 ADC 칩으로 해상도가 14 비트이며, 100MSPS 이상의 다양한 칩들을 선보이고 있고, DAC 칩으로는 해상도가 14 비트이며, 샘플속도가 135MSPS 인 칩을 제공하고 있다. <표 3>에 회사의 소개한 칩들의 특성을 정리하였다.

Maxim 사에서는 WCDMA 기지국용의 칩으로서 변환 방식에 따라 다양한 칩들이 기능별로



&lt;표 3&gt; Intersil 사의 DDC, DUC 제품군 예시

Chip	Function	# of channels	Clock (MHz)	Bit resolution	SFDR (dBc)	Digital Filters	Others
ISL5216	DDC	UMTS: 4	95	Input: 17 Output: 4 -32	115	CIC, HB, PFIR, RFIR	Digital AGC
ISL5416	DDC	UMTS: 4 WiMAX: 4	95	Input: 16 Output: 16	110	CIC, 2 FIR, HB, RFIR	Digital AGC
ISL5217	DUC	UMTS: 4	104	Input: 16 Output: 20	140	FIR, HB	-

별도의 칩으로 제공되고 있다. 기지국 송신 Path 로는 Dual DAC 칩, IF VGA, Log Amp, Up-conversion Mixer 칩들을 제공한다. Maxim 사의 직접 변환방식의 단말용 Zero-IF RF 트랜시버로서 단일칩으로 MAX2837 칩을 출시하였는데, 이 칩은 IEEE 802.16d WiMAX 표준과 우리나라의 WiBro 주파수 대역을 수용할 수 있도록 설계되었으며, 2.3dB의 수신 Noise Figure 를 가지면서, -35dB의 수신 EVM 과 -37dB의 송신 EVM 성능을 보인다. 또한 이 제조사 제품 중에 1×2 또는 2×2의 MIMO 시스템을 지원하는 칩들이 곧 출시될 것으로 발표하고 있다. WLAN 용 단일칩으로서 MAX2828, MAX2829 칩을 제공하며, 송신 EVM 이 1.5%(-36.5dB) ~2%(-34dB) 정도의 성능을 보여준다. TDD-WCDMA Solution 으로서 Zero-IF 방식의 수신용 칩으로 MAX 2393 칩이 있으며, 송신용 칩으로는 MAX 2395 로서 송신 EVM 이 7.5%(SNR=-22.5dB)를 제공한다.

#### 4. DDC 및 DUC 칩의 선정방법

DDC 및 DUC 칩을 선정할 때 고려해야 할 사항들에 대해 살펴 보면, 먼저 칩이 지원하는 이동통신 표준 및 목적에 맞는 최대 지원 채널 수를 검토한다. 또한 입출력 및 칩 내부에서 동작하는 클럭 속도와 데이터의 속도에 따라서 기저대역 샘플을 및 IF 주파수가 결정될 가능성이 크기 때문에 가급적 높은 속도를 제공하는 칩을 선정하는 것이 바람직하다. 마지막으로 칩의 입·출력에서 신호의 성능에 크게 영향을 주는 디지털 데이터의 비트 해상도가 중요한데, 가급적 높은 해상도를 가지는 것이 성능이 우수하며 SFDR의 성능도 중요시 된다.

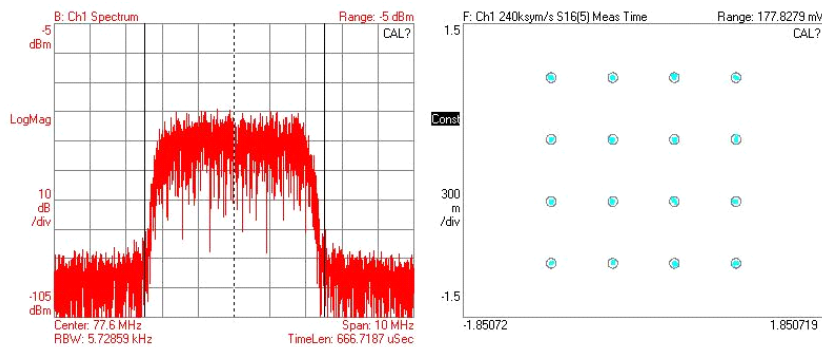
마지막으로, 특별히 부가 기능 중에 DDC 칩의 경우는 Digital AGC 기능의 포함여부를 살펴 보아야 한다. DUC 칩의 경우 Mobile WiMAX OFDMA 신호가 요구하는 PAPR 성능이 최소 12dB 이상임을 감안할 때 적절한 PAPR Rejection 기능을 지원하는지 검토해야 하고, 위상 전치왜곡을 위한 Digital Filter 기능이 포함되면 편리하다.

## IV. Double Conversion 방식과의 성능 비교

본 절에서는 구현된 Digital IF 트랜시버의 성능 시험결과를 토대로 Digital IF 트랜시버의 성능을 제시하고 Direct Conversion 또는 Double Conversion 방식과의 성능을 비교한다. 성능 시험은 HSDPA 모드와 WiMAX 모드의 7MHz, 3.5MHz, 1.75MHz 등 3 가지 프로파일이 동일한 하드웨어 플랫폼 상에서 소프트웨어의 절체로 변경하며 수행하였다.

### 1. HSDPA 모드에서 Digital IF 트랜시버의 성능

HSDPA 시스템의 하향 링크 시험은 3GPP의 HSDPA 시험관련 문서를 기준으로 하여 모뎀 보드에서 발생하는 모뎀 출력 신호를 발생시켜 진행하였다. (그림 7)은 트랜시버 출력의 EVM 성능의 한 예로 -39.2dB로 우수함을 보여 주고 있다. 본 Digital IF 트랜시버는 HSDPA 시스템의 하향 링크에서 QPSK 변조 신호를 포함한 Composite 신호 송신 시 EVM 최소 규격인 17.5%rms(SNR= -15.1dB)를 충분히 만족한다. 만약, 16QAM 변조 신호를 포함한 Composite 신호를 송신한다면 EVM 최소 규격은 12.5%rms(SNR= -18.1dB)로 높아진다. HSDPA 시스템의 상향 링크의 EVM 성능은 -36.3dB 정도로 측정되었다. ReMO 기지국에서는 Digital IF 트랜시버의 성능에 크게 기여하는 표본화 클럭을 성능이 좋은 방식으로 채택했기 때문에 그에 따라 EVM 성능이 우수한 것으로 보인다.

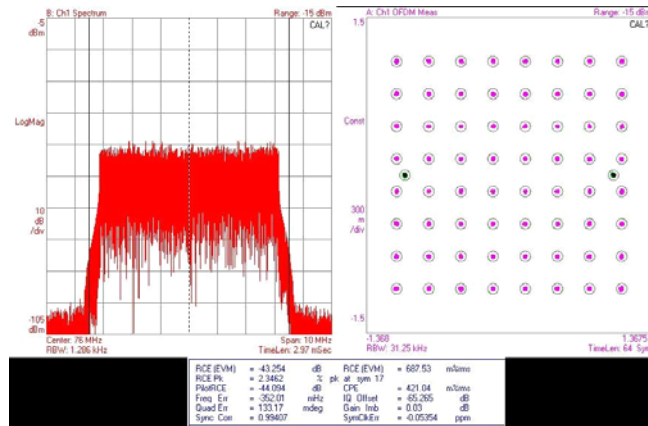


(그림 7) HSDPA 하향 링크 성능(EVM = -39.2dB)

### 2. WiMAX mode 에서 Digital IF 트랜시버의 성능

WiMAX 시스템의 하향 링크에서 트랜시버 IF 출력의 EVM 을 측정 한 결과는 7MHz 프로파일 부터 3.5MHz, 1.75MHz 의 순서대로 각각 -43.2dB, -44.1dB, -43.6dB 이었다. (그림 8)은

WiMAX 7MHz 프로파일의 측정된 성능을 보여주고 있다. 각 프로파일의 EVM 값을 관찰해 볼 때 신호대역폭에 따른 프로파일에 관계없이 비슷하게 우수한 성능을 보였다. WiMAX 시스템의 상향 링크 시험 결과에서는 EVM 이 -38.3dB 정도 측정되었다.



(그림 8) WiMAX 7 MHz profile 하향 링크 성능(EVM = -43.2dB)

### 3. 타 Conversion 방식과의 성능 비교

이 절에서는 현재까지 설계 또는 구현된 Double Conversion 방식, Direct Conversion 방식 및 구현한 Digital IF 트랜시버의 EVM 성능을 비교하였다. 먼저, <표 4>는 현존하는 이동통신 표준들의 주요 사양 항목들에 대하여 성능 기준을 나타내는데, 이동통신 시스템 표준마다 요구되는 EVM 값의 지표가 다를 수 있다. 본 고에서 시스템 성능사양을 나타내는 지표로 EVM 을 사용하였는데, 이는 신호 변조의 정확도를 의미하므로 통신방식 간의 공통적인 성능지표로 많이 사용된다.

<표 4> 주요 표준별 성능 기준

Items	GSM	UMTS	802.11a	802.16e
Modulation	GMSK	QPSK, 16QAM	OFDM (64QAM)	OFDM(4,16,64QAM)
Carriers	-	-	64	128 ... 2048
PAPR	0dB	6dB	17dB	29dB
Ch. Spacing	200kHz	5MHz	20MHz	Variable(>1MHz)
EVM	Phase error RMS < 5%	17.5%(-15.1dB) with QPSK only)	5.6%(-25dB)	3.16%(-30dB) @ 64QAM
ACPR	-60 dBc @ 400kHz	-33 dBc @ 5kHz; -43dBc @ 10kHz	Depends on TX mode	Variable -50dBc @ 2 channel BW

기지국에서 수신단의 트랜시버 구조로는 대부분이 Direct Conversion 및 Digital IF 방식의 칩들이 많이 개발되는 추세인데 문헌 조사를 통해 두 가지 방식에 대하여 <표 5>와 같이 정리하였다. WCDMA 용으로 개발된 Direct Conversion 트랜시버의 성능을 참고해 볼 때 구현한 Digital IF 트랜시버의 Uplink 성능이 대략 9.1dB, WiMAX 방식의 경우 3.3dB 가량 높음을 볼 수 있다. 참고로 트랜시버의 구조에 따른 EVM 성능을 비교해 보고자 단말의 경우를 종합하여 <표 6>과 같이 정리하였다. 현재까지 발표된 구현 기술로 볼 때 제작 공정이나 CMOS 기술에 따라 차이가 있어서 절대적인 비교라고는 말할 수 없으나, WCDMA 표준과 WiMAX 표준 모두 Direct Conversion 방식과 Double Conversion 방식이 1~2dB 이내의 서로 유사한 성능을 낸다고 볼 수 있다.

<표 5> 기지국 트랜시버 구조에 따른 EVM 성능 비교

Standard	Link	Direct Conversion	Digital IF
WCDMA	Downlink	2004.6, Koh et al. 4.05%(-27.9dB)	-39.2dB
	Uplink	2004.6, Koh et al. 4.37%(-27.2dB)	-36.3dB
WiMAX	Downlink	-36.5 ~ -34dB(Maxim 사 DDC 성능)	-43.2dB
	Uplink	-35dB(Maxim 사 DDC 성능)	-38.3dB

<표 6> 단말의 트랜시버 구조에 따른 EVM 성능 비교

Standard	Link	Direct Conversion	Double Conversion
WCDMA	Downlink	2006.6 Koller et al. 8%(-21.9dB) 2006.5 Kaczman et al. 15%(-16.5dB) 2005.6 Yoshida et al. 11.7%(-18.6dB) 2004.6 Thomann. Et al. 10%(-20dB)	
	Uplink	2006.6 Koller et al. 3%(-30.5dB) 2006.5 Kaczman et al. 4%(-28dB) 2005.6 Yoshida et al. 12.6%(-18dB) 2004.6 Thomann. Et al. 6%(-24.4dB)	2005.6 Shih et al. 4.3%(-27.3dB)
WiMAX	Downlink	2007.9 Locher et al. -32dB 2006.1 Vassiliou et al. -35dB	2007.3 Locher et al. -34dB
	Uplink	2007.9 Locher et al. -36.5dB 2006.1 Vassiliou et al. -35dB	2007.3 Locher et al. -37.7dB

## V. 결론

본 고에서는 SDR 및 SoC 기술이 발전하면서 차세대 이동통신 기지국의 대표적인 변환방식으로 자리잡아 가고 있는 Digital IF 트랜시버 기술, 구현 방법 및 성능에 대하여 살펴보았다. 또한 Analog Devices 및 TI사 등 여러 제조회사에서 제공하고 있는 대표적인 DDC 칩 및 DUC 칩의 조사를 통하여 제작 및 기술 동향에 대하여 기술하였다. 향후 좁은 면적에 더 넓은 대역폭

과 채널 수를 제공할 수 있도록 고집적 칩들이 출시될 것으로 기대된다. 현재까지의 출시 제품과 여러 문헌조사를 통하여 Digital IF 트랜시버의 성능이 타 수신 방식과 비교해서 WCDMA 방식의 Uplink 인 경우 대략 9dB, WiMAX 방식의 경우 대략 3dB 정도 우수함을 확인할 수 있다.

### <참 고 문 헌>

- [1] 802.16-2004 IEEE Standard for Local and metropolitan area networks Part 16:Air Interface for Fixed Broadband Wireless Access Systems, 2004. 10. 1.
- [2] 3GPP TS 36.211 v0.2.2, "Technical Specification Group Radio Access Network; Physical Channels and Modulation(Rel.8)" 2006-12.
- [3] J. Mitola, "The software radio architecture", IEEE Commun. Mag., Vol.33, May 1995, pp.26-38.
- [4] David B.Chester, "Digital IF Filter Technology for 3G Systems: An Introduction", IEEE Commun. Mag., Feb.1999, pp.102-107.
- [5] R.E. Crochiere and L.R. Rabiner, Multirate Digital Signal Processing, Prentice-Hall, 1983
- [6] Kwang-Jin Koh, Mun-Yang Park, Cheon-Soo Kim, and Hyun-Kyu Yu, "Subharmonically pumped CMOS frequency conversion(up and down) circuits for 2-GHz WCDMA direct-conversion transceiver", IEEE Journal of Solid-State Circuits, Vol.39, issue 6, Jun. 2004, pp.871-884.
- [7] Koller, R. et al. "A single-chip 0.13  $\mu\text{m}$  CMOS UMTS W-CDMA multi-band transceiver", IEEE RFIC Symposium, Jun. 2006.
- [8] Kaczman, D. L. et al., "A single chip tri-band(2100, 1900, 850/800MHz) WCDMA/HSDPA cellular transceiver", IEEE Journal of Solid-State Circuits, vol. 41, issue 5, May 2006, pp.1122-1132.
- [9] Hiroshi Yoshida et al., "A direct conversion receiver for W-CDMA reducing current consumption to 31mA", IEICE Trans. on Electron., VOLE88-C, No.6, Jun. 2005, pp.1271-1274.
- [10] Thomann, W. et al., "A single-chip 75GHz 0.35  $\mu\text{m}$  SiGe BiCMOS W-CDMA homodyne transceiver for UMTS mobiles", IEEE RFIC Symposium, Jun. 2004.
- [11] Horng-Yuan Shih et al., "Highly-integrated low-power WCDMA SiGe transceiver for mobile terminals", IEEE MTT-S Microwave Symposium, Jun. 2005.
- [12] Locher, M. et al., "A Low power, High Performance BiCMOS MIMO/Diversity Direct Conversion Transceiver IC for WiBro/WiMAX(802.16e)", CICC'07, Sept. 2007, pp.101-105.
- [13] Vassiliou, I. et al., "A dual-band 4.9-5.95GHz, 2.3-2.5GHz, 0.18  $\mu\text{m}$  CMOS transceiver for 802.11 a/b/g-802.16 d/e", IEEE Radio and Wireless Symposium, Jun. 2006, pp.31-34.

\* 본 내용은 필자의 주관적인 의견이며 IITA의 공식적인 입장이 아님을 밝힙니다.