

90 nm CMOS 공정을 이용한 60 GHz WPAN용 저잡음 증폭기와 하향 주파수 혼합기

60 GHz WPAN LNA and Mixer Using 90 nm CMOS Process

김봉수 · 강민수 · 변우진 · 김광선 · 송명선

Bong-Su Kim · Min-Soo Kang · Woo-Jin Byun · Kwang-Seon Kim · Myung-Sun Song

요 약

본 논문에서는 60 GHz 대역에서 동작하는 WPAN용 수신기에 필요한 저잡음 증폭기와 하향 주파수 혼합기를 90 nm CMOS 공정을 이용하여 설계하고 제작한 결과를 보인다. 우선 각 소자에 사용될 트랜지스터의 특성을 추출하기 위해 원하는 바이어스 조건에서 cascode 구조의 S-parameter를 측정했으며, 이 때 사용된 RF 패드를 따로 측정하여 그 영향을 제거함으로써 트랜지스터만의 특성을 찾아내었다. 저잡음 증폭기는 3단의 cascode 구조를 사용했으며, 측정 결과 25 dB 이득과 7 dB 이하의 잡음지수 결과를 얻었다. 그리고 하향 주파수 혼합기는 LO의 입력에 balun을 사용한 balanced 구조로 측정 결과 IF 주파수(8.5~11.5 GHz) 범위내에서 12.5 dB의 변환손실과 -7 dBm의 입력 P1dB을 나타내었다. 제작된 저잡음 증폭기 및 하향 주파수 혼합기의 크기와 소모 전력은 각각 0.8×0.6 mm²에 43 mW와 0.85×0.85 mm²에 1.2 mW이다.

Abstract

In this paper, the design and implementation of LNA and down-mixer using 90 nm CMOS process are presented for 60 GHz band WPAN receiver. In order to extract characteristics of the transistor used to design each elements under the optimum bias conditions, the S-parameter of the manufactured cascode topology was measured and the effect of the RF pad was removed. Measured results of 3-stages cascode type LNA the gain of 25 dB and noise figure of 7 dB. Balanced type down-mixer with a balun at LO input port shows the conversion gain of 12.5 dB within IF frequency(8.5~11.5 GHz) and input P1dB of -7 dBm. The size and power consumption of LNA and down-mixer are 0.8×0.6 mm², 43 mW and 0.85×0.85 mm², 1.2 mW, respectively.

Key words : 60 GHz, WPAN, CMOS, LNA, Mixer

I. 서 론

최근, 대용량 멀티미디어 수요의 증가로 처리해야 할 데이터량 및 처리속도가 기하급수적으로 높아지고 있다. 중장거리의 경우, 기존의 광통신을 이용해 수십 Gbps급의 전송이 가능하지만 단거리 또는 맥내에서의 데이터 전송은 아직 수십~수백 Mbps 수

준에 머물고 있다. 하지만 맥내에서의 비압축 HDTV (High-Definition Television) 영상전송의 경우 수 Gbps의 전송속도를 요구하며, 계속적으로 해상도가 증가하고 있다. 그리고 대용량 휴대용 저장 장치의 경우 수십 기가에서 수백 기가까지의 저장 용량을 가지며, 이들 데이터를 기존 매체를 이용하여 처리하는 경우 처리시간이 길어져 사용자가 많은 불편을 느낄

「본 연구는 지식경제부 및 정보통신연구진흥원의 IT핵심기술개발사업의 일환으로 수행하였음. [2008-F-013-01, 스펙트럼 공학 및 밀리미터파대 전파자원 이용기술 개발]」

한국전자통신연구원(Electronics and Telecommunications Research Institute)

· 논문 번호 : 20080919-121

· 수정완료일자 : 2008년 11월 3일

수 있다. 이를 해소하기 위해 수 Gbps 속도로 데이터를 전송하기 위해서는 수 GHz의 대역폭이 필요하므로 협대역 위주의 기존 주파수 대역을 사용할 수 없으므로 광대역이 지원되는 새로운 주파수의 발굴이 필요하며, 이러한 광대역, 고속 통신을 가능하게 할 수 있는 주파수로서 60 GHz대 비허가 대역에 전 세계적으로 관심이 집중되고 있다. 현재 10 m 이내의 거리에서 1 Gbps급 이상의 전송속도를 목표로 하는 IEEE 802.15.3c, 고해상도 스트리밍 데이터를 무선으로 전송하기 위한 WirelessHD, 저가격/단거리 응용을 위한 수 Gbps급의 전송을 목표로 하는 ECMA 등에서 표준화 작업을 진행 중에 있다. 이를 위해 미국, 캐나다, 한국은 57~64 GHz, 일본은 59~66 GHz의 각각 7 GHz 대역을 할당하고 있으며, 호주, 유럽 등 다른 나라에서도 기존 주파수를 변경하거나 새롭게 할당할 계획을 가지고 있다.

60 GHz WPAN(Wireless Personal Area Network) 시스템의 성공적인 구현을 위해서 가장 중요한 요소는 빠른 보급을 위한 저렴한 가격, 응용의 다양성을 위한 소형화와 저전력화이다. 이를 위해서 소형 안테나/필터/패키지 등 수동 소자 기술과 저가격/저전력 소모의 RF/IF 능동소자 기술 등 다양한 기술들이 요구된다.

능동 부품의 경우, 기존 화합물 소자는 성능이 중요시되고 고가인 점대점 통신에 많이 사용되었으나, 가전 제품에 적용이 예상되는 60 GHz WPAN에서는 큰 전력 소모와 비싼 가격으로 사용이 힘들다. 그래서 이를 대체하기 위한 기술로 전 세계적으로 CMOS

(Complementary Metal-Oxide Semiconductor) 기술을 주목하고 있다^{[1]~[3]}. 기존에 저주파수 대역에서 많이 사용되던 CMOS 기술이 공정의 발달로 밀리미터파 대역에서도 사용 가능한 f_i 와 f_{max} 를 가지게 됨에 따라 60 GHz대에서도 사용 가능한 저잡음 증폭기 및 하향주파수 혼합기 등 다양한 시도들이 보고되고 있다^{[4],[5]}.

본 논문에서는 그림 1에 보이는 바와 같이 제안된 수신기 구조에 필요한 소형 및 저전력의 저잡음 증폭기와 하향 주파수 혼합기를 90 nm CMOS 공정을 이용해 설계 및 제작하였다. 저잡음 증폭기는 높은 이득을 얻기 위해 3단의 cascode 구조를 사용했으며, 광대역 특성과 소형화를 위해 hair-pin 형태 매칭구조를 사용했다. 측정 결과 25 dB 이득과 7 dB 이하의 잡음지수 결과를 얻었다. 그리고 하향 주파수 혼합기는 LO의 입력에 balun을 사용한 차동 구조로 측정 결과, IF 주파수(8.5~11.5 GHz) 범위내에서 12.5 dB의 변환 손실과 -7 dBm의 입력 P1dB를 얻었다. 제작된 저잡음 증폭기 및 하향 주파수 혼합기의 크기와 소모 전력은 각각 $0.8 \times 0.6 \text{ mm}^2$ 에 43 mW와 $0.85 \times 0.85 \text{ mm}^2$ 에 1.2 mW이다.

II. 90 nm CMOS를 이용한 60 GHz 저잡음 증폭기 및 하향 주파수 혼합기 설계

2-1 90 nm CMOS의 S-parameter 추출

90 nm CMOS 공정을 사용하기 위해서는 공정업체에서 제공하는 라이브러리를 사용해 원하는 회로

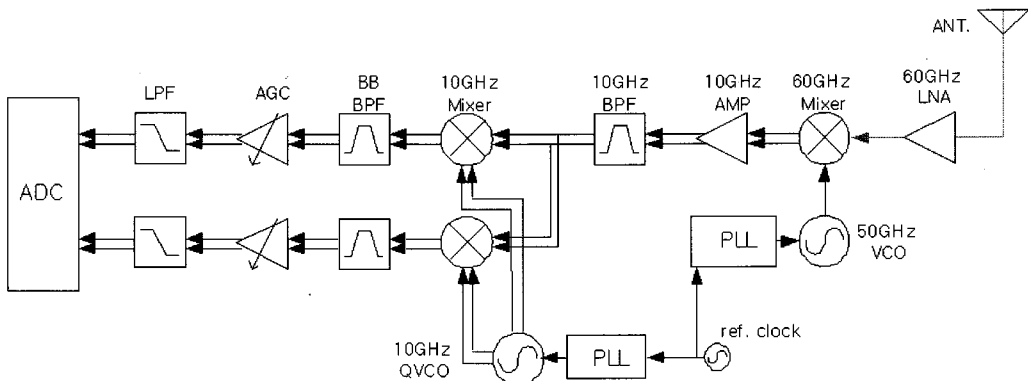
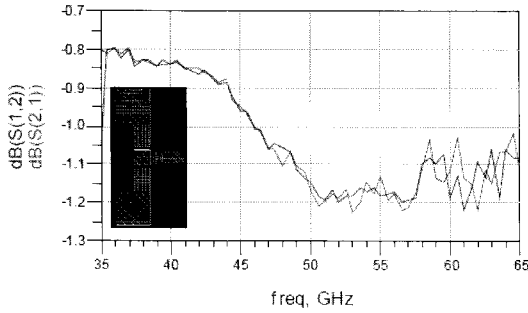
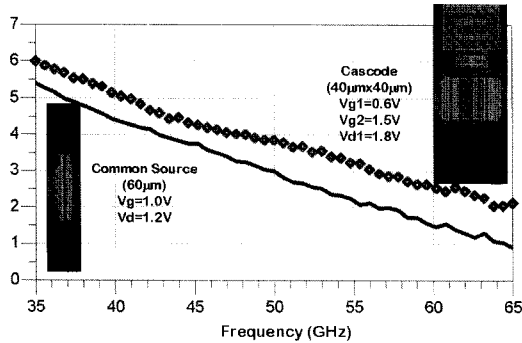


그림 1. LTCC 송수신 모듈의 구조
Fig. 1. Structure of LTCC transceiver module.



(a) 측정된 마이크로스트립 선로의 S_{21}
(a) S_{21} of measured microstrip line



(b) 측정된 cascode와 CS 구조의 S_{21}
(b) S_{21} of measured cascode and CS structure

그림 2. 마이크로스트립 선로 및 CS와 cascode 구조의 측정된 S_{21} 특성과 레이아웃

Fig. 2. Layouts and measured results of S_{21} for microstrip line and CS/cascode topologies.

를 모델링하게 된다. 하지만 60 GHz 대역과 같이 업체에서 제공된 라이브러리의 정확도가 보장되지 않는 범위에서는 직접 측정을 통해 정확한 라이브러리를 찾아야 한다. 동작주파수가 높아질수록 트랜지스터 기생 성분의 영향도 커지기 때문에 모델을 추출하는데 많은 어려움이 있다. 여기서는 우선 전송선로는 마이크로스트립 선로를 사용하기 위해 다양한 길이에 대해 제작 및 측정하였으며, 원하는 바이어스 조건에서 cascode 구조와 CS(Common Source) 구조 또한 측정하였다. 이 때 사용된 RF 패드를 따로 측정하여 그 영향을 ADS 툴의 de-embedding 기능을 이용하여 제거함으로써 마이크로스트립 선로 및 트랜지스터만의 특성을 찾아내었다. 이 핵심 전송선로와 트랜지스터의 S -parameter를 기준으로 임/출력에 매칭회로를 구성함으로써 원하는 부품을 설계하게 된다. 그림 2는 1,000 μm 길이의 마이크로스트립 선로

와 원하는 바이어스 조건에서 측정된 cascode와 CS 구조의 S_{21} 특성을 나타낸다.

2-2 60 GHz 저잡음 증폭기 설계

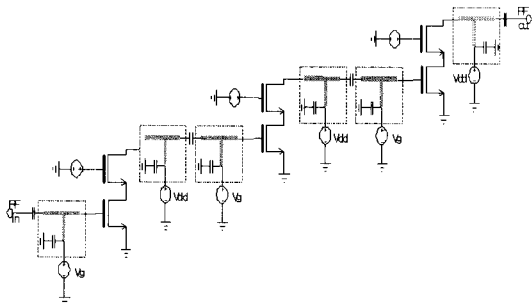
60 GHz WPAN 응용을 위한 저잡음 증폭기는 7 GHz의 광대역 평탄도 특성과 높은 이득을 가져야 한다. 우선 광대역 평탄도 특성을 얻기 위해서는 입력과 출력 그리고 각 stage 사이의 광대역 매칭을 해야 한다. Lumped 소자의 경우, 밀리미터파대에서 칩간 변화량이 크므로 일정한 성능을 가지는데 어려움이 있다. 이를 해결하기 위해 칩간 변화량이 적은 전송선로를 모델링하고 이를 이용해 밀리미터파대에서 매칭하는 방법들이 연구되어 왔으며, 본 논문에서도 이 방법을 사용한다^[4]. 그리고 높은 이득을 위해서는 cascode 구조를 사용하는 것이 단일 트랜지스터를 사용하는 것보다 더 좋은 격리도와 안정적인 이득을 가진다^[2]. 이런 이유로, 본 논문에서는 전송선로 매칭방법을 사용한 3단의 cascode 구조의 CMOS 저잡음 증폭기를 그림 3(a)와 같이 설계하였다.

우선, 40×40 μm cascode 구조가 바이어스 조건에 따라 측정되었으며, S -parameter 특성이 추출되었다.

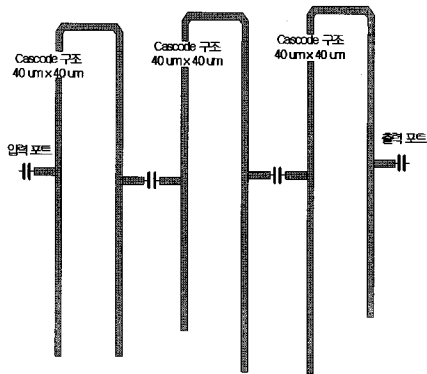
이 추출된 값을 바탕으로 전송선로 매칭회로를 구성하였다. 하지만 전송선로의 길이가 길기 때문에 전체 저잡음 증폭기의 크기가 커지는 단점이 발생한다. 이와 같이 크기가 커지는 문제를 해결하기 위해 그림 3(b)에 보이는 바와 같이 긴 전송선로의 구조를 hair-pin 형태로 변경함으로써 전체 크기를 줄이는 방법을 사용했다. 그러나 이런 구조를 사용하면 전송선로 사이의 간격이 가까워짐에 따라 결합 효과가 증가한다. 이 결합 효과를 설계에 반영하기 위해 전체 구조에 대한 EM 시뮬레이션(CST사의 MWS)이 필수적으로 수행되어야 한다.

2-3 60 GHz 차동 하향 주파수 혼합기 설계

차동 하향 주파수 혼합기를 위해 기존에 많이 사용되어온 single-balanced mixer 또는 Gilbert-cell mixer 등의 구조는 정확히 대칭적인 구조를 가지게 하는 것이 중요하다. 그러나 밀리미터파대에서 복잡한 전송선로를 정확히 대칭적으로 설계하면서 전송 손실을 줄이는 것은 아주 어려운 일이다. 그러므로 본 논문에서는 LO 입력단에 balun만 정확하게 설계하면



(a) 60 GHz CMOS 저잡음 증폭기 회로도
(a) Schematic of the 60 GHz CMOS LNA



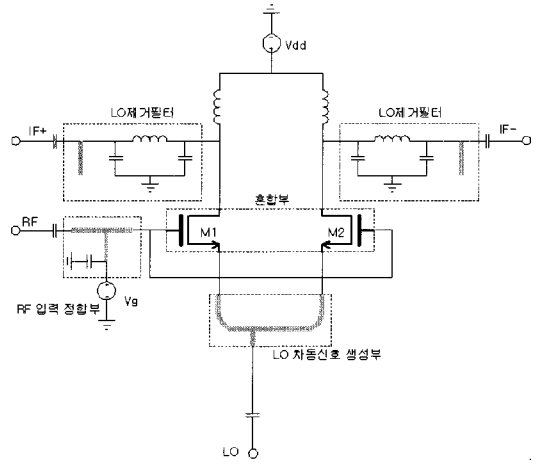
(b) Hair-pin 형태의 매칭방법을 사용한 저잡음 증폭기 구조
(b) LNA structure using hair-pin type matching method

그림 3. CMOS 저잡음 증폭기 회로도 및 매칭 구조
Fig. 3. Schematic and matching method of the CMOS LNA.

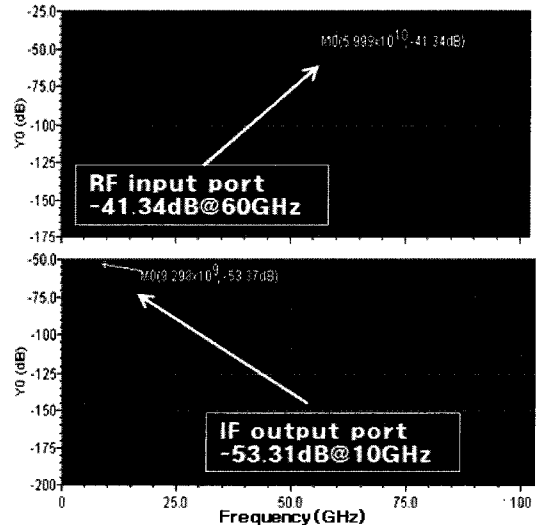
우수한 차동 신호를 만들 수 있는 하향 주파수 혼합기를 제안한다. 그림 4에 설계된 60 GHz CMOS 하향 주파수 혼합기의 블록도와 시뮬레이션 결과를 나타내었다. 시뮬레이션 결과, 하향 주파수 혼합기의 변환 손실은 12 dB 정도되는 것을 확인할 수 있다. 그리고 주파수 혼합기의 변환 손실을 줄이기 위해 LO source-pumped mode를 사용했으며, 이것은 RF 신호를 트랜지스터의 게이트에 입력하고 LO 신호를 소스에 입력하여 드레인단에서 IF 신호를 출력하는 single-ended 형태이다^[6]. 그리고 이 single-ended 형태의 주파수 혼합기 두 개를 대칭적으로 사용하고, LO 입력단에 marchand balun을 사용한다.

IF단의 크기 및 위상의 부정합은 LO 입력단 balun의 성능에 크게 의존할 수밖에 없기 때문에 50 GHz 대에서의 marchand balun의 설계가 무엇보다 중요하다.

다. 그림 5에 제작된 back-to-back marchand balun의 개념도와 제작사진이 나타나 있다. 그림에 보이는 바와 같이 balun 사이즈를 줄이기 위해 선로를 meander-line 형태로 설계하여 전체 크기를 줄였다. 그림 5에 balun의 S-parameter 특성이 나타나 있다. 그리고 3 GHz 정도의 대역폭을 가지는 신호 증폭기 및 I/Q 주파수 혼합기의 선택을 위해서는 10 GHz 정도의 IF

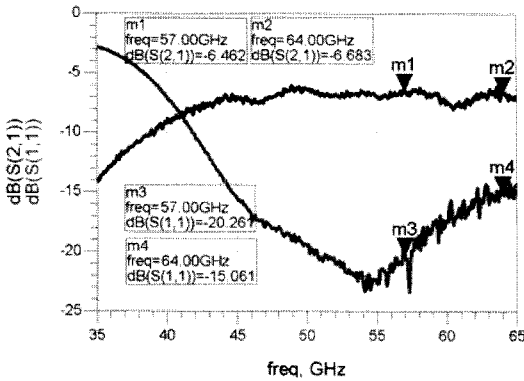
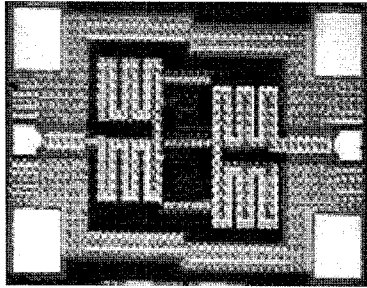
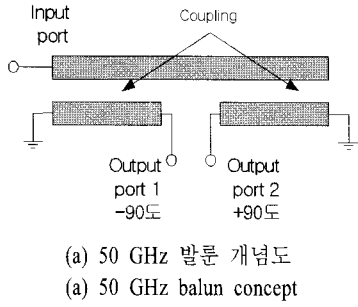


(a) 60 GHz CMOS 하향 주파수 혼합기 블록도
(a) 60 GHz CMOS down-mixer block diagram



(b) 하향 주파수 혼합기의 입/출력 스펙트럼
(b) Input/output spectrum of the down-mixer

그림 4. 60 GHz CMOS 하향 주파수 혼합기 블록도 및 입력(상)/출력(하) 스펙트럼
Fig. 4. Block diagram and input(top) and output(bottom) spectrum of the 60 GHz CMOS down-mixer.



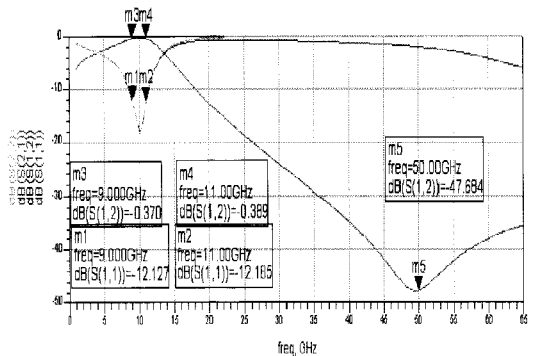
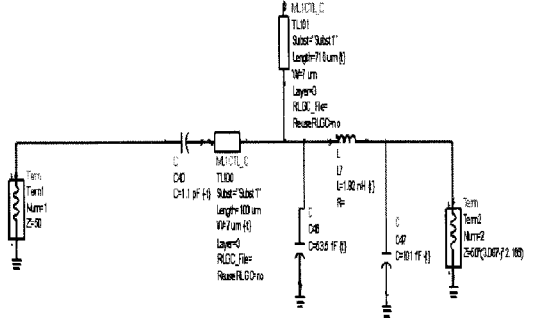
(c) 측정된 S-parameter
(c) Measured S-parameters

그림 5. 제작된 50 GHz CMOS balun의 개념도, 제작 사진, S-parameter

Fig. 5. The concept, photograph and S-parameters of the fabricated 50 GHz CMOS balun.

주파수를 가지는 것이 유리하다.

RF 입력단에 임피던스 매칭을 위한 정합부가 전송선로를 사용해 설계되었으며, LO 입력단에 LO 차동신호를 생성하기 위한 balun 그리고 IF 출력단에 큰 전력을 가지고 들어오는 LO 신호를 제거하기 위해 open stub와 각종 하모닉들을 제거하기 위한 저역



(b) 시뮬레이션된 S-parameter
(b) Simulated S-parameters

그림 6. IF단 필터 구조 및 시뮬레이션 결과

Fig. 6. Schematic and simulated results of IF port filter.

통과 필터를 사용했다. 그림 6에 IF 출력단의 필터의 구조와 시뮬레이션 성능이 나타나 있으며, 이와 동일한 구조가 on-chip으로 구현되었다.

III. 90 nm CMOS를 이용한 저잡음 증폭기 및 하향 주파수 혼합기 제작 및 측정

3-1 60 GHz CMOS 저잡음 증폭기

그림 7은 제작된 60 GHz CMOS 저잡음 증폭기의 제작사진을 보인다. 임출력 RF단에는 G-S-G 형태의 RF 패드를 사용했으며, 트랜지스터의 크기와 바이어스 조건이 모두 동일한 3단의 cascode 구조에서 한 개의 드레인 전압($V_{dd}=1.8$ V)과 두 개의 게이트 전압($V_{g1}=0.6$ V, $V_{g2}=1.5$ V)을 사용했다. 저잡음 증폭기의 전체 칩 크기는 $590 \times 780 \text{ um}^2$ (점선 안의 핵심 회로

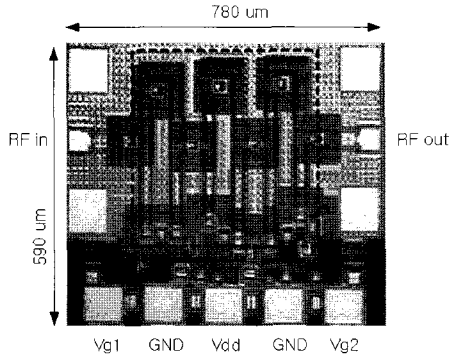


그림 7. 제작된 60 GHz CMOS 저잡음 증폭기의 사진
Fig. 7. Photograph of the fabricated 60 GHz CMOS LNA.

크기는 $460 \times 410 \text{ } \mu\text{m}^2$ 이고, 전력소모는 40 mW (20 mA @ 1.8 V) 이다.

시뮬레이션과 측정 결과를 비교한 그림 8(a)를 보면 60 GHz에서 3 dB 정도의 이득 차이를 나타내며, 전체적으로 거의 일치함을 알 수 있다. 57~64 GHz의 전대역에서 20 dB 이상의 소신호 이득 S_{21} 과 -8 dB 이하의 입/출력 반사손실 S_{11}/S_{22} , -18 dBm의 입력 P_{1dB} @60 GHz(그림 8(b)), 7.8 dB 이하의 잡음지수(그림 8(c))를 얻었다. 여기서 잡음지수를 측정하기 위해 사용된 방법은 gain method이다^[7]. 표 1은 90 nm CMOS 기술을 이용해 60 GHz 대역에서 제작된 LNA를 비교한 표이다. 여기서 본 논문에서 제안된 구조가 가장 큰 이득을 가짐을 알 수 있다.

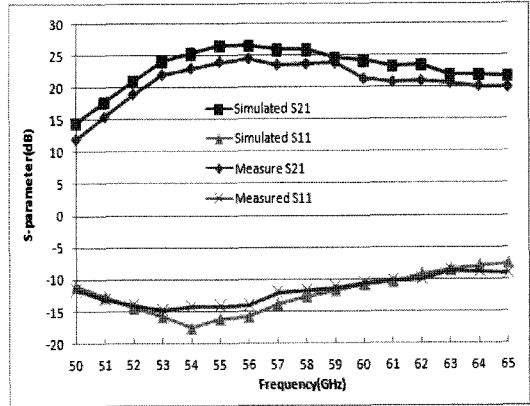
3-2 60 GHz CMOS 하향 주파수 혼합기

그림 9는 제작된 60 GHz CMOS 하향 주파수 혼합

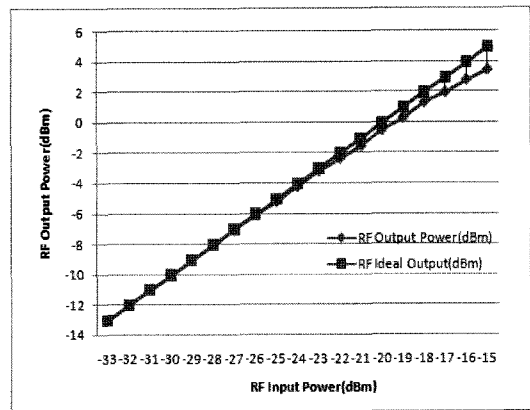
표 1. 90 nm CMOS 기술을 이용한 밀리미터파 LNA 비교

Table 1. Comparison of mm-wave LNAs in 90 nm CMOS technology.

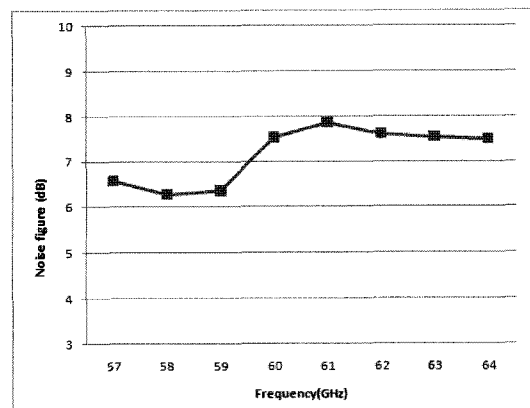
Reference	Freq. [GHz]	Gain [dB]	NF [dB]	P1dB/IIP3	P_{diss}
[4]	58	14.6	4.5 (simulated)	-/-6.8 dBm	24 mW
[3]	57~66	16	6	1 dBm/-	29 mW
This work	59	23.8	6.2	1.5 dBm/-	36 mW



(a) S -parameter
(a) S -parameter



(b) P1dB
(b) P1dB



(c) 잡음지수
(c) Noise figure

그림 8. 시뮬레이션과 측정된 CMOS 저잡음 증폭기의 결과값

Fig. 8. Simulated and measured results of the CMOS LNA.

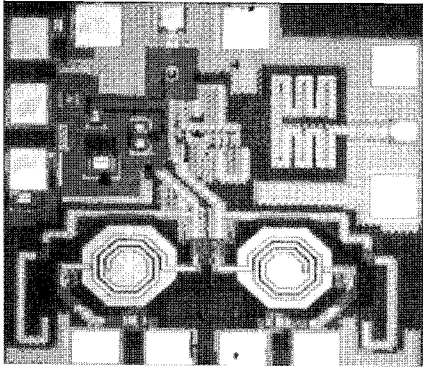


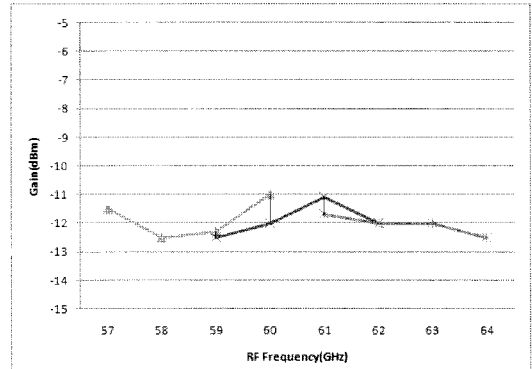
그림 9. 제작된 60 GHz CMOS 하향 주파수 혼합기의 사진
 Fig. 9. Photograph of the fabricated 60 GHz CMOS down-mixer.

기의 제작사진을 보인다. 입력 RF단 및 LO단은 G-S-G 형태의 RF 패드를 사용했으며, 차동 IF 출력단은 G-S-S-G 형태의 패드를 사용했다. 한 개의 드레인 전압($V_{df}=0.8$ V)과 한 개의 게이트 전압($V_g=0.25$ V)을 사용했다. 하향 주파수 혼합기의 전체 칩 크기는 $850 \times 850 \mu\text{m}^2$ 이고, 전력 소모는 $1.2 \text{ mW}(1.5 \text{ mA}@0.8 \text{ V})$ 이다.

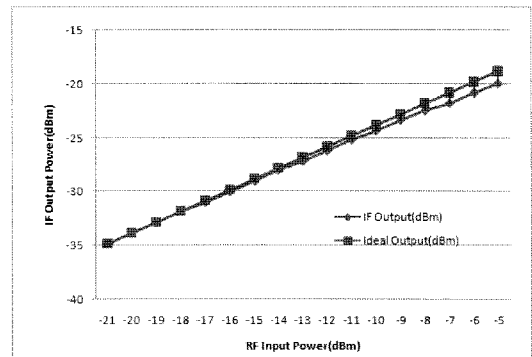
측정 결과를 도시한 그림 10을 보면 각각의 3 GHz 대역에서 12.5 dB 이하의 변환 손실과 -7 dBm 의 입력 P1 dB@60 GHz를 얻었다. 설계치의 변환 손실이 12 dB인 것을 감안하면 설계치와 측정치의 변환 손실이 잘 일치함을 알 수 있다. RF와 LO 입력으로 사용된 신호 소스는 agilent사의 E8257D 장비를 사용했으며, LO power는 2 dBm , LO frequency는 50 GHz 이다.

IV. 결 론

본 논문에서는 90 nm CMOS 공정을 이용해 60 GHz WPAN용 RF 송수신기 필요한 소자들을 설계하고 제작하였다. 먼저 트랜지스터와 전송선로의 정확한 라이브러리를 추출하기 위해 모든 가능한 형태의 트랜지스터 크기와 구조에 대해 제작하여 측정과 de-embedding을 하였으며, 이를 이용해 저잡음 증폭기와 하향 주파수 혼합기를 설계하였다. 저잡음 증폭기는 3단의 cascode 구조를 사용해 제작되었으며, 측정 결과 25 dB 이득과 7 dB 이하의 잡음지수 결과를 얻었다. 그리고 하향 주파수 혼합기는 LO의 입력에



(a) 변환 손실
 (a) Conversion loss



(b) P1dB
 (b) P1dB

그림 10. 측정된 CMOS 하향 주파수 혼합기의 결과값
 Fig. 10. Measured results of the CMOS down-mixer.

balun을 사용한 balanced 구조로 측정 결과 12.5 dB의 변환 손실과 -7 dBm 의 입력 P1dB를 나타내었다. 이를 통해 90 nm CMOS 공정을 사용해 저가격, 저전력 소모 등 많은 장점을 가지는 60 GHz WPAN용 RF 부품의 제작 가능성을 확인하였으며, 향후 제작된 개별 소자의 집적화를 통해 송수신기 단일 칩에 대한 연구도 추가적으로 필요하다.

참 고 문 헌

[1] C. Doan, et al., "Millimeter-wave CMOS design", *IEEE Journal of SSC*, vol. 40, pp. 144-155, Jan. 2005.
 [2] H. Shigematsu, et al., "Millimeter-wave CMOS circuit design", *IEEE Trans. on MTT*, vol. 53, no. 3, pp. 475-477, Feb. 2005.

[3] Stephane Pinel, et al., "A 90 nm CMOS 60 GHz Radio", *ISSCC 2008*, pp. 130-131, Feb. 2008.
 [4] T. Yao, et al., "60-GHz PA and LNA in 90-nm RF-CMOS", *2006 IEEE RFIC Symposium*, Jun. 2006.
 [5] Bahar Motlagh, Sten E. Gunnarsson, Mattias Fern-dahl, and Herbert Zirath, "Fully integrated 60-GHz single-ended resistive mixer in 90-nm CMOS tech-

nology", *IEEE Microwave and Wireless Components Letters*, vol. 16, no. 1, pp. 25-27, Jan. 2006.
 [6] Mingquan Bao, et al., "A 9-31-GHz subharmonic passive mixer in 90-nm CMOS technology", *IEEE Journal of SSC*, vol. 41, no. 10, Oct. 2006.
 [7] "Three methods of noise figure measurement", *MAXIM application note 2875*, Nov. 2003.

김 봉 수



1999년 2월: 충남대학교 정보통신공학과 (공학사)
 2001년 2월: 충남대학교 정보통신공학과 (공학석사)
 2000년 12월~현재: 한국전자통신연구원 방송통신융합연구부문 선임연구원

[주 관심분야] 마이크로파 및 밀리미터파 능동/수동회로 해석 및 설계, 밀리미터파 RF/IF 시스템 분석

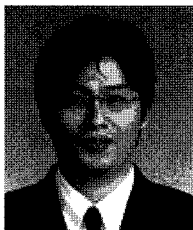
김 광 선



1998년 2월: 경북대학교 전자공학과 (공학사)
 2000년 2월: 경북대학교 전자공학과 (공학석사)
 2000년 4월~현재: 한국전자통신연구원 방송통신융합연구부문 선임연구원

[주 관심분야] 마이크로파 및 밀리미터파 발진기, PLL 설계, 밀리미터파 RF/IF 시스템 분석

강 민 수



1996년 2월: 서강대학교 전자공학과 (공학사)
 1998년 2월: 서강대학교 전자공학과 (공학석사)
 1998년 2월~2000년 3월: (주) 현대전자통신사업본부 통신연구소
 2000년 4월~현재: 한국전자통신연구원 방송통신융합연구부문 선임연구원

[주 관심분야] 마이크로파 및 밀리미터파 회로 설계, 이동통신 시스템

송 명 선



1984년 2월: 충남대학교 전자공학과 (공학사)
 1986년 2월: 충남대학교 전자공학과 (공학석사)
 1986년 2월~현재: 한국전자통신연구원 방송통신융합연구부문 인지무선연구팀장

[주 관심분야] 초고주파 및 밀리미터파 회로 설계 및 응용 시스템 개발

변 우 진



1992년 2월: 경북대학교 전자공학과 (공학사)
 1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 2000년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 1999년 11월~2004년 8월: 삼성전기

(주) 책임연구원

2004년 9월~현재: 한국전자통신연구원 방송통신융합연구부문 선임연구원

[주 관심분야] 마이크로파 및 밀리미터파 시스템 설계, 밀리미터파 CMOS 및 MMIC 설계, 안테나 설계, 전자파 수치해석