

Insulated Metal Substrate를 사용한 고출력 전력 반도체 방열설계

정봉민^{1,2} · 오애선² · 김선애² · 이가원¹ · 배현철^{2,3,†}

¹충남대학교 전자공학과

²한국전자통신연구원

³UST 과학기술연합대학원대학교

Thermal Design of High Power Semiconductor Using Insulated Metal Substrate

Bongmin Jeong^{1,2}, Aesun Oh², Sunae Kim², Gawon Lee¹, and Hyuncheol Bae^{2,3,†}

¹Department of Electronic Engineering, Chungnam National University, 99, Daehak-ro, Yuseong-gu, Daejeon, 34134, Korea

²Electronics and Telecommunications Research Institute, 218 Gajeong-ro, Yuseong-gu, Daejeon, 34129, Korea.

³University of Science & Technology, 217, Gajeong-ro, Yuseong-gu, Daejeon, 34113, Korea

(Received March 8, 2023: Revised March 22, 2023: Accepted March 28, 2023)

초 록: 오늘날 심각한 환경 오염과 에너지의 중요성으로 전력 반도체의 중요도가 지속적으로 높아지고 있다. 특히 wide band gap(WBG)소자 중 하나인 SiC-MOSFET은 우수한 고전압 특성을 가지고 있어 그 중요도가 매우 높다. 하지만 SiC-MOSFET의 전기적 특성이 열에 민감하기 때문에 패키지를 통한 열 관리가 필요하다. 본 논문에서는 기존 전력 반도체에서 사용하는 direct bonded copper(DBC) 기판 방식이 아닌 insulated metal substrate(IMS) 방식을 제안한다. IMS는 DBC에 비해 공정이 쉬우며 coefficient of thermal expansion (CTE)가 높아서 비용과 신뢰성 측면에서 우수하다. IMS의 절연층인 dielectric film의 열전도도가 낮은 문제가 있지만 매우 얇은 두께로 공정이 가능하기 때문에 낮은 열 전도도를 충분히 극복할 수 있다. 이를 확인하기 위해서 이번 연구에서는 electric-thermal co-simulation을 수행하였으며 검증은 위해 DBC 기판과 IMS를 제작하여 실험하였다.

Abstract: Today, the importance of power semiconductors continues to increase due to serious environmental pollution and the importance of energy. Particularly, SiC-MOSFET, which is one of the wide bandgap (WBG) devices, has excellent high voltage characteristics and is very important. However, since the electrical properties of SiC-MOSFET are heat-sensitive, thermal management through a package is necessary. In this paper, we propose an insulated metal substrate (IMS) method rather than a direct bonded copper (DBC) substrate method used in conventional power semiconductors. IMS is easier to process than DBC and has a high coefficient of thermal expansion (CTE), which is excellent in terms of cost and reliability. Although the thermal conductivity of the dielectric film, which is an insulating layer of IMS, is low, the low thermal conductivity can be sufficiently overcome by allowing a process to be very thin. Electric-thermal co-simulation was carried out in this study to confirm this, and DBC substrate and IMS were manufactured and experimented for verification.

Keywords: Power semiconductor, Finite element method, Electric-thermal analysis, Direct bonded copper, Insulated metal substrate

1. 서 론

최근 너무 많은 화석연료의 사용으로 2020년대에 들어서 지구 온난화로 인한 많은 문제가 발생하고 있다. 화석연료를 이용하는 다양한 분야 중 운송 부분은 전 세계 온실 가스(GHG) 배출량의 약 4분의 1을 차지하고 있으며 현재에도 배출량이 꾸준히 증가하고 있는 주요 부분 중

하나이다.¹⁾ 최근 이런 문제를 해결하기 위해 전기 자동차의 관심이 크게 증가하고 있다. 고효율 전기 자동차를 만들기 위해서는 낮은 전력 손실 그리고 고전압, 고전류에도 버틸 수 있는 특성이 필요하다. 하지만 기존 silicon(Si)-MOSFET은 이러한 특성을 만족하기 어렵다. 이를 대체하기 위해 wide bandgap(WBG) 소자인 silicon-carbide(SiC)를 활용한 연구가 많이 진행되고 있다.²⁻⁴⁾ SiC-MOSFET

[†]Corresponding author
E-mail: hcbae@etri.re.kr

© 2023, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

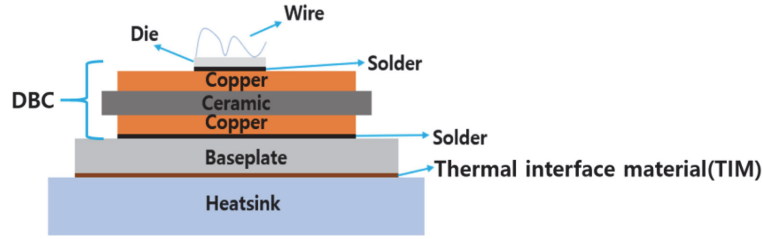


Fig. 1. Direct bonded copper substrate structure.

은 기존 Si-MOSFET에 비해 빠른 스위칭 주파수 그리고 높은 전력 밀도를 가지고 있다. 하지만 SiC-MOSFET의 전기적 특성(예: V_{th} , $R_{DS(ON)}$ 등)들이 열과 매우 밀접한 연관을 가지고 있어 SiC-MOSFET 동작 중 예기치 못한 고온이 발생하게 되면 기존의 설계와 맞지 않는 동작 특성을 보여줄 위험이 있다. 그렇기 때문에 SiC-MOSFET에서 발생하는 열을 충분히 방열 시킬 수 있는 패키지가 필요하다. 일반적으로 전력 반도체는 Fig. 1 과 같이 direct bonded copper(DBC) 기판 구조를 이용한 패키지를 많이 한다.

DBC 기판은 가운데 세라믹 기판을 중심으로 위, 아래 구리 층 있는 형태를 가지고 있다. 산업에서 가장 많이 사용하는 세라믹 기판은 alumina(Al_2O_3) 기판과 aluminum nitride(AlN) 기판 그리고 silicon nitride(Si_3N_4) 기판이 있다. 세라믹 기판은 뛰어난 열 전도도를 가지고 있어 SiC-MOSFET에서 발생하는 열을 효율적으로 방열 시킬 수 있는 장점이 있다. 하지만 세라믹 기판은 공정이 어려우며 구리와 coefficient of thermal expansion(CTE)차이로 인해 세라믹에 crack이 발생하는 문제가 있다. 세라믹에 발생하는 crack은 패키지의 방열 특성을 악화시키는 큰 요인이 된다.

본 논문에서는 기존에 사용하는 DBC 기판 방식의 패키징이 아닌 insulated metal substrate (IMS)를 제안한다. IMS는 DBC 기판과 다르게 절연층에 dielectric film을 이용한다. Dielectric film의 열전도도는 매우 낮은 수준이다. 하지만 식 (1)의 1차원 푸리에의 열전도법칙을 따르면 열 유속은 열전도도에 비례하고 거리에 반비례한다. k 는 재료의 열 전도도이고 χ 는 재료의 두께 이다.

$$\dot{Q} = -kA \frac{\Delta T}{\Delta \chi} \quad (1)$$

즉, 열 전도도가 낮더라도 두께를 얇게 만들면 충분한 방열 특성을 가질 수 있음을 알 수 있다. Dielectric film의 장점 중 하나는 세라믹 대비 쉬운 공정 난이도 이다. 일반적으로 세라믹은 635 μm 두께로 가공을 하지만 dielectric film은 이보다 훨씬 얇은 200 μm 이하로 공정이 가능하다. 그렇기 때문에 푸리에 열전도법칙에 따라 IMS의 방열 특성이 DBC와 비슷한 특성을 가질 수 있음을 예측할 수 있다. 또한, ⁵⁾에 따르면 dielectric film의 탄성 변형 범위가 넓기 때문에 위, 아래 존재하는 구리 층과의 CTE mismatch가 적다. 그렇기 때문에 DBC 기판에서 나타나는 CTE mismatch로 인해 발생하는 crack에서 조금 더 강

인한 특성을 가진다. 이와 같이 IMS의 다양한 장점을 가지고 있기 때문에 기존 DBC 기판의 전력 반도체 패키징 대비 더 많은 장점을 가질 수 있다. 본 논문은 제안한 IMS의 방열 특성을 Al_2O_3 -DBC 기판과 비교하였다. 먼저 finite element analysis (FEM)을 이용하여 IMS와 DBC의 transient 해석을 진행하였다. 해석 결과를 바탕으로 열 모델을 구현하여 회로 시뮬레이터에서 electric-thermal co-simulation을 수행하였다. 마지막으로 IMS와 DBC를 제작하여 thermal transient tester (T3STER) 열 저항 측정기를 활용해 온도를 측정하였다.

2. Simulation

2.1. FEM Simulation

FEM 방식은 복잡하고 어려운 물리적 현상(예: 열전달, 전자기장, 기계적 응력 등) 문제를 해결하고 연구하는 데 매우 유용한 방법이다. Fig. 2는 FEM의 기본 개념을 보여준다.

하나의 큰 도메인을 작고 간단한 형태의 유한한 하위 도메인으로 나눈다. 모든 계산은 node라고 하는 제한된 수의 지점에서 수행되며 node를 묶고 사각형이나 삼각형과 같은 특정 모양을 element라고 한다. 전체 도메인에 대한 솔루션을 얻기 위해, element의 모양에 따라 보간 함수를 사용하여 근사화 한다. 하위 도메인으로 나누는 과정을 meshing이라고 하며 mesh 밀도는 분석의 정확도에 따라 엔지니어가 선택할 수 있다. 더 높은 정확도가 필요한 경우 더 많은 mesh를 생성하여 분석 결과의 정확도를 높일 수 있다. 그러나 고밀도 mesh는 정확도에 비해 해석 시간이 길고 메모리 자원을 상당히 많이 차지하기 때문에 엔지니어가 적절하게 분배해야 한다.

본 논문은 FEM 기반의 상용 시뮬레이션 프로그램인 COMSOL MULTIPHYSICS를 이용하였다.⁶⁾ Fig. 3은

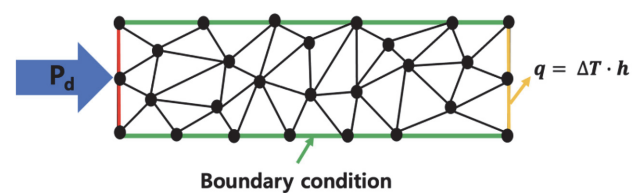


Fig. 2. A simple example of a FEM simulation.

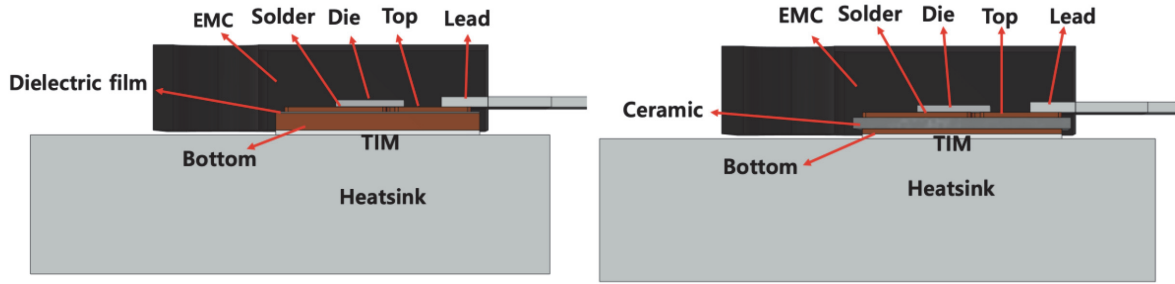


Fig. 3. 3D model of TO-247. (left) IMS-TO-247, (right) Al₂O₃-DBC TO-247.

COMSOL에서 구현한 TO-247의 3D 모델이다. Table 1에는 각 파트 별 치수에 관하여 정리하였다.

Table 1을 통해 dielectric film의 두께가 세라믹에 비해 약 9배 가량 얇은 것을 확인할 수 있다. 반면 열 전도도는 Table 2를 통해 세라믹이 약 8배 가량 높은 것을 확인할 수 있는데 앞서 언급한 푸리에 열전도법칙에 의해 IMS가 충분히 좋은 방열 특성을 낼 수 있다는 것을 예측할 수 있다. Table 2에는 재료들의 물성에 관하여 정리하였다.

시뮬레이션은 다음과 같이 수행되었다: 1) COMSOL에서 3D CAD를 구현하였다. 디자인에는 열분석에서 불필요한 부분인 와이어와 회로기판의 등근 부분은 제거하여 구현하였다. 와이어와 회로기판의 등근 부분은 열해석 결과에 큰 영향을 미치지 않으나 원형 구조를 가지고 있어 mesh 생성에 많은 오류를 발생하는 요인이 되기 때문이다. 2) 열전달 지배방정식과 관련된 각 재료의 특성(열전도도, 열용

량, 밀도)을 입력한다. 3) 냉각 및 외부 환경에 대한 경계 조건을 설정한다. 히트 싱크의 상부 온도를 25°C로 고정하여 패키지를 냉각하고, 외부 온도는 25°C, 패키지 외부의 대류 조건은 자연 대류 조건으로 열전달 계수(h)는 5 W/m²·K로 설정하였다. 4) 발열 조건으로 임의의 값인 30 W를 전력 손실(Pd)로 인가하였다. 총 200초 동안 transient 해석을 실시하였으며 chip의 온도가 정상상태에 도달하면 Pd를 0 W로 power-off하여 냉각 동안의 온도변화를 관찰하였다. 5) 냉각 후 열 모델을 추출하였다. 이때 chip에서 나오는 heat flux는 모두 히트 싱크로 나가는 것을 가정한다. Epoxy molding compound(EMC)는 0.8 W/m·K의 매우 낮은 열전도도를 가지고 있기 때문에 chip에서 발생하는 열의 대부분은 chip에서부터 히트 싱크 방향으로 간다.

Fig. 4는 transient 해석에서 chip에 인가한 발열 조건을 보여 준다. 총 200초 동안 시뮬레이션을 진행하였으며 90초에서 power-off를 하였다. 시간 간격은 0~90초까지는 1초의 시간 간격으로 시뮬레이션 하여 빠르게 steady-state에 도달할 수 있게 하였고, 90~110초까지는 0.01초의 시간 간격으로 chip이 냉각하는 동안을 자세하게 관찰하였다. 이후 200초까지는 0.1초의 시간 간격으로 냉각 steady-state에 도달을 관찰하였다. 시간 간격을 전부 다르게 설정함으로써 전체적인 시뮬레이션 시간을 줄일 수 있으며 너무 많은 메모리 사용을 줄였다.

Fig. 5는 transient 해석 결과를 보여준다. DBC에서 발생하는 chip의 최고 온도는 59.46°C 이고, IMS에서 발생하는 chip의 최고 온도는 55.23°C 로 관찰되었다. 온도 차

Table 1. Dimension of TO-247 (IMS and DBC)

Item	Dimension(mm)		
	Width	Length	Thickness
MOSFET	7.35	4.08	0.04
Solder	7.35	4.08	0.05
Copper(Top)	13.6	11	0.3
Ceramic	14.6	12	0.635
Dielectric film	14.6	12	0.075
Copper(Bottom)			1) 1
1)IMS type	14.6	12	
2)Ceramic type	13.6	11	2) 0.3

Table 2. Materials property

Item	Materials	Thermal conductivity (W/m·K)
Chip	SiC	400
Metal	Cu	401
	Al	238
Solder	Ag-sintering	200
Ceramic	Al ₂ O ₃	24
Insulate layer	Dielectric film	3.5
TIM	Silicone grease	3

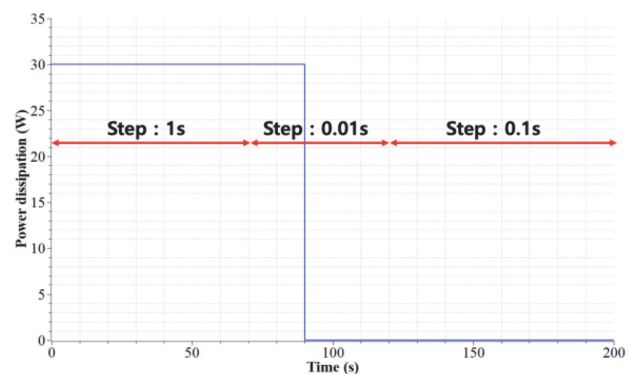


Fig. 4. Heat generation conditions of the chip.

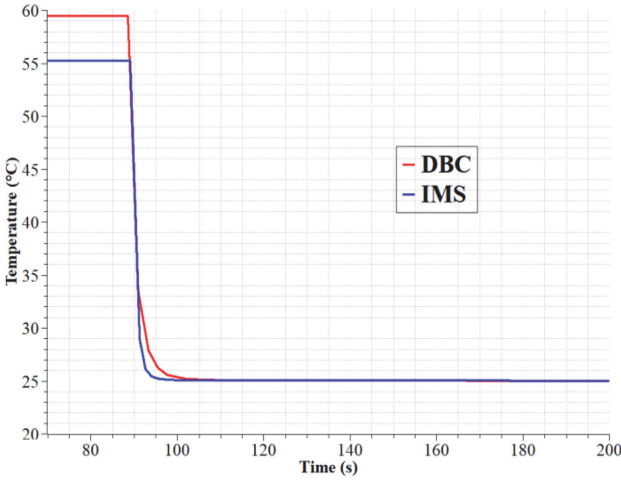


Fig. 5. Transient analysis of DBC and IMS.

이는 4.23°C 정도 차이로 IMS의 방열 특성이 좋은 것을 관찰할 수 있다. 냉각 동안의 온도 변화는 둘 다 거의 같은 temperature gradient를 가지고 변화하지만 최종적으로 25°C에 도달하는 시점은 IMS가 DBC보다 약 15초 가량 빠른 것으로 관찰되었다.

2.2. Thermal Model

FEM 시뮬레이션을 사용하여 DBC와 IMS의 steady-state 및 transient 결과를 확인하였다. 그러나 FEM 시뮬레이션만으로는 실제 제조된 SiC-MOSFET의 electric-thermal 특성을 정확하게 확인할 수 없다. SiC-MOSFET 제조업체마다 전압 사양(V_{DS} : 600, 1200, 1700 V 등)은 동일할 수 있지만, 전기적 특성(예: $R_{DS(ON)}$, V_{th} 등)은 다르다. 따라서, FEM 시뮬레이션만을 사용하여 패키지의 온도를 정확하게 예측하는 것은 어렵다. 이 문제를 해결하기 위해 본 연구에서는 electric-thermal co-simulation을 수행하였다.

Simulation Program with Integrated Circuit Empathy (SPICE) 모델은 소프트웨어를 사용하여 전자 회로를 시뮬레이션하기 위해 개발된 전자 회로 시뮬레이터이다. SPICE 모델에 다양한 전기적 특성을 포함시킴으로써 실제 chip과 거의 동일한 동작을 시뮬레이션할 수 있다. SPICE 시뮬레이터를 사용하여 열 분석을 수행하려면 패키지의 열 모델을 개발해야 한다. 열 모델은 저항과 커패시터로 구성되며, 각각을 열저항(R_{th}) 및 열용량(C_{th})이라고 한다. 열 모델에는 Cauer 열 모델과 Foster 열 모델이 있다. Cauer 열 모델은 패키지의 각 레이어의 물리적 특성에 기초하여 열 모델을 구현하며 식 2에 나타난다.

$$R_{th} = \frac{d}{k \cdot A} \quad (2)$$

$$C_{th} = c \cdot d \cdot A$$

R_{th} 에서 k 는 재료의 열전도율, A 는 면적, d 는 두께를 나

타낸다. C_{th} 의 c , d 및 A 는 각각 열용량, 두께 그리고 면적을 나타낸다. Cauer 열 모델은 Fig. 6과 같다. Cauer 열 모델을 구현하기 위해서는 패키지 내부의 각 레이어 노드의 온도를 계산해야 하며 구성 요소에 대한 정확한 정보가 있어야 하여 많은 시간과 메모리 사용이 요구된다.

반면 Foster 열 모델은 패키지의 열 반응을 열 임피던스의 합수로 설명하는 lumped-parameter 모델이다. 그렇기 때문에 Cauer 열 모델에 비해 빠르게 열 반응을 도출할 수 있다. 식 3은 Foster 열 모델을 나타낸다.

$$Z_{th}(t) = \frac{T_j(t) - T_a(t)}{\Delta P_j} \quad (3)$$

$Z_{th}(t)$ 는 열 임피던스이고, $T_j(t)$ 는 chip의 온도 시간 함수이며, $T_a(t)$ 는 외부 온도 또는 케이스 온도의 시간 함수이다. ΔP_j 는 chip에서 발생하는 전력 손실이다. Cauer 열 모델과 달리 Foster 열 모델은 재료의 물리적 의미(예: 구조의 크기, 솔더의 보이드, 재료 특성 등)를 고려하지 않는다. 대신 Foster 열 모델은 패키지의 열 신호 반응만 쉽게 판단할 수 있어 각 레이어의 온도 정보가 필요 없을 때 적합한 방법이다. Foster 열 모델은 Fig. 7에 도시되어 있다.

본 논문은 DBC와 IMS의 chip 온도를 비교하는 것이므로 Foster 열 모델을 이용하여 시뮬레이션 하였다. 회로 시뮬레이터에서 Foster 열 모델을 시뮬레이션하기 위해 열 임피던스를 열저항과 열용량으로 구성된 RC 쌍으로 만들어야 한다. 식 4는 열 임피던스 RC 쌍을 생성하기 위한 지수 함수의 합이며, 이를 이용하여 curve-fitting을 수행하였다. curve-fitting은 MATLAB의 curved-fitting tool(*cftool*)을 활용하였다⁷⁾.

$$Z_{th}(t) = \sum_i^n R_{thi} \cdot (1 - e^{-t/\tau_{thi}}) \quad (4)$$

여기서, N 은 RC 쌍의 수를 나타내고, R_{thi} 는 각 층의 등가 열저항, τ_{thi} 는 $\tau_{thi} = R_{thi} \cdot C_{thi}$ 로 이루어진 열 시상수이다. 완성된 RC 쌍은 Foster 열 모델을 사용하여 표현할

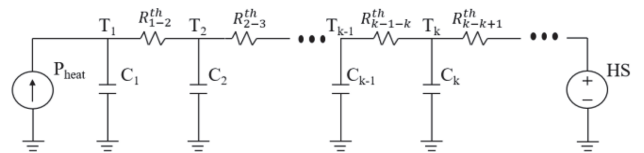


Fig. 6. Cauer thermal model circuit diagram.

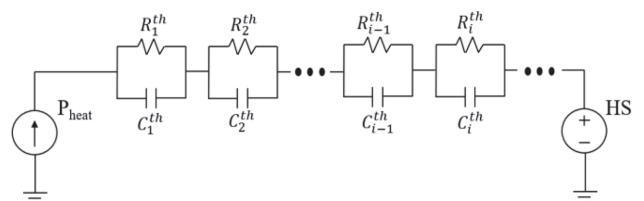


Fig. 7. Foster thermal model circuit diagram.

수 있다. 일반적으로 Foster 열 모델은 피팅 정확도를 위해 3-5개의 RC 쌍으로 구성된다.⁸⁾ 본 연구에서는 chip to case(J-C)까지의 RC 쌍을 3층으로 형성하였다. *cftool*을 통해 추출된 RC 쌍 값은 표 3과 같다.

2.3. Circuit Simulator

Foster 열 모델을 상용 무료 회로 시뮬레이터인 LTSpice를 사용하여 시뮬레이션 하였다⁹⁾. 열분석의 회로도 는 Fig. 8과 같다. TO-247 패키지에서 회로의 왼쪽은 DBC와 IMS이다. 회로 우측은 열 임피던스를 Foster 열모델로 나타낸 회로도 이고, P_d 는 DBC와 IMS에서 발생하는 전력 손실이다. Foster 열 모델의 마지막 노드의 전압원은 방열을 위해 연결된 히트 싱크이며, 히트 싱크의 온도는 25°C로 고정하였다.

회로는 V_{gs} 에 -5 V를 인가하여 채널을 off 하였다. 전류원은 소스에서 드레인 방향으로 전류를 인가하여 MOSFET 내부의 body diode로 전류가 흐르게 하였다. SiC-MOSFET에서 발생하는 열은 소자 전체에서 발생하는 것이 아니라 소자 내부의 국부적인 부분에서 발생하기 때문에 body diode를 가열하여 온도 분포를 관찰할 수 있다. MOSFET의 발열에는 전도 손실(P_c)과 스위칭 손실(P_{sw})의 두 가지 주요 유형에서 열이 발생한다. 본 시뮬레이션에서는 SiC-MOSFET가 지속적으로 꺼진 상태에서 body diode에 지속적으로 전류가 흐르기 때문에 스위칭 손실은 고려하지 않고 전도 손실만 고려한다. body diode의 전도 손실은 식 5를 사용하여 계산할 수 있다.

$$P_c = V_D \cdot I_F \tag{5}$$

Table 3. Thermal resistance and thermal capacitance values

Impedance		Z_{thi}		
	i	1	2	3
DBC	R_{thi} (K/W)	0.2372	0.4946	0.0495
	C_{thi} (J/K)	9.971	2.649	0.0051
IMS	R_{thi} (K/W)	0.2729	0.4483	3.46e-8
	C_{thi} (J/K)	5.127	3.121	1.053

V_D 는 body diode에 인가되는 전압을 나타내고 I_F 는 body diode에 흐르는 전류를 나타낸다. 본 시뮬레이션에서 SiC-MOSFET을 제외하고 다른 passive 소자를 사용하지 않기 때문에 body diode에 흐르는 전류는 전류원에 인가한 전류와 동일하다. FEM 시뮬레이션과의 비교를 위해 인가 전류는 chip의 허용 전류 범위 내의 임의의 값으로 7 A였으며, FEM의 transient 해석과 동일한 방법으로 90초에서 전류를 차단하였다. 7 A를 인가하였을 때 body diode에 걸리는 전압은 3.236 V이며 식 5를 통해 DBC와 IMS의 전력 손실은 22.65 W임을 알 수 있다. Fig. 9은 회로 시뮬레이터에서 Foster 열 모델을 시뮬레이션 했을 때 chip에서 발생하는 온도 변화를 보여준다. DBC의 온도는 51.03°C이고 IMS는 47.91°C로 관찰되었다.

DBC와 IMS의 온도 차이는 3.12°C의 온도차이를 보인다. 냉각 동안의 온도 변화를 관찰해 보면 처음에는 temperature gradient의 변화가 동일하게 진행이 되었지만 약 10초가량 IMS가 먼저 steady state에 도달하는 것을 관찰 할 수 있다. 앞서 FEM 시뮬레이션에서 30 W의 전력 손실 인가를 통해 관찰한 DBC와 IMS의 온도 차이는

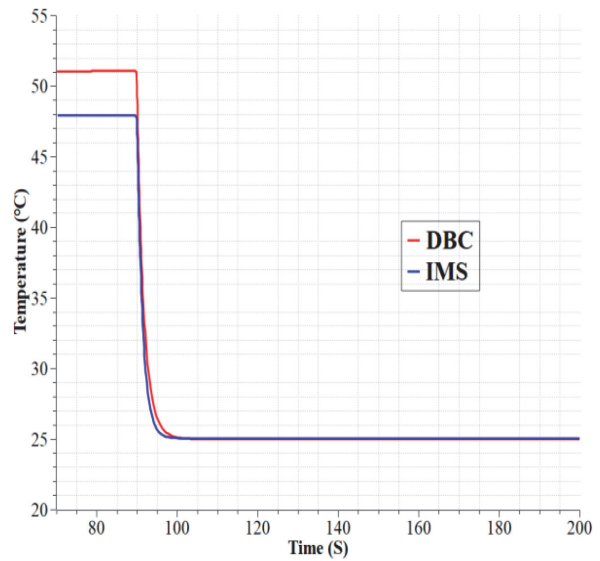


Fig. 9. Foster thermal model results in the circuit simulator.

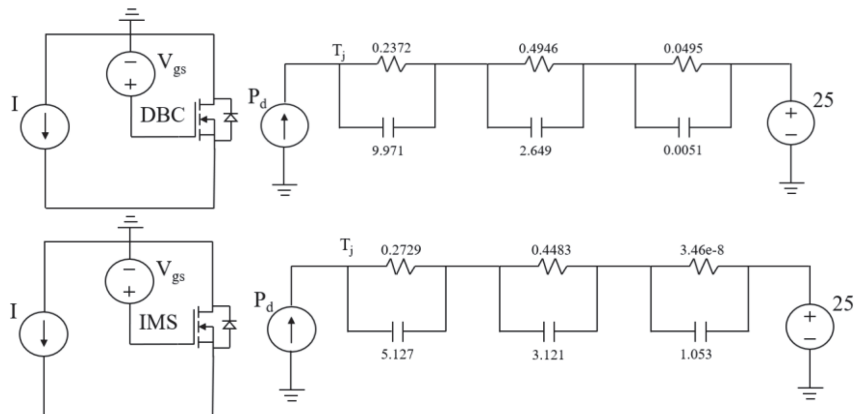


Fig. 8. Foster thermal model verification circuit. (above) DBC-TO-247 circuit diagram, (below) IMS-TO-247 circuit diagram.

4.23°C였으며 이는 회로 시뮬레이터에서 나타난 온도 차이와 1.11°C 정도의 미세한 차이를 보여준다. 이를 통해 FEM에서 추출한 Foster 열 모델이 알맞게 추출된 것을 확인 할 수 있다.

3. 실험 검증

FEM 시뮬레이션과 회로 시뮬레이터를 통해 비교한 DBC와 IMS의 열 해석 결과를 확인하기 위해서 3D CAD 디자인과 동일한 크기로 TO-247를 제작하였다. Fig. 10은 제작한 DBC와 IMS TO-247 패키지를 나타낸다. 사용된 SiC MOSFET는 상용 칩인 CPM2-1700-0045A(1700 V, 45 mΩ, CREE 사 제조)를 사용하였다.¹⁰⁾

chip이 EMC 내부에 있기 때문에 직접 관찰하기 어렵고, EMC의 열전도율이 낮아 chip 온도를 예측하기 어렵다. chip 온도를 정확하게 측정하기 위해 본 실험에서는 chip 온도와 접합부에서 케이스까지의 열저항을 T3STER(열 저항 측정기)를 이용하여 측정하였다. T3STER는 패키지화된 반도체 소자의 열성능을 측정할 수 있는 장치로서, JEDEC 51-1에 기술된 방법에 기초하여 엔지니어들에게 패키지 내부의 접합 온도 및 구조 기능과 같은 정보를 제공한다.¹¹⁾ Fig. 11는 T3STER를 이용한 실험의 전체적인 설정을 보여준다.

실험방법은 먼저 heating circulator의 온도를 변화시켜 TO-247 내부의 SiC-MOSFET의 온도가 다양하게 변화시킬 수 있도록 하였다. 온도를 변화시키면서 SiC-MOSFET의 전기적 특성을 측정하기 위해 미세 전류를 인가하여 look up table로 기록한다. 측정이 완료되면, V_{gs} 에 -5 V를 인가하여 SiC-MOSFET의 채널을 차단한다. 또한, 소스로부터 드레인 방향으로 7 A 전류를 인가하였다. chip 온도가 정상 상태에 도달한 후 전원을 차단하여 패키지의 냉각 상태를 기록하는 transient 해석을 수행하였으며, 총 냉각 시간은 120초이다. Fig. 12는 T3STER에서 측정한 결과이다.

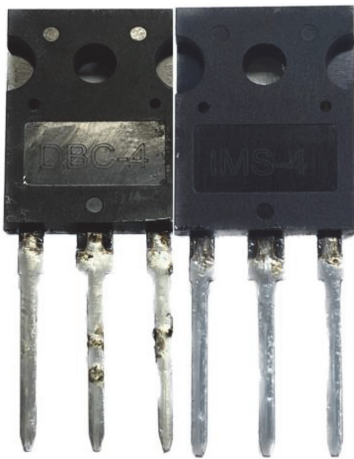


Fig. 10. TO-247 package completed up to epoxy molding compound process. (left) DBC-TO-247, (right) IMS-TO-247.

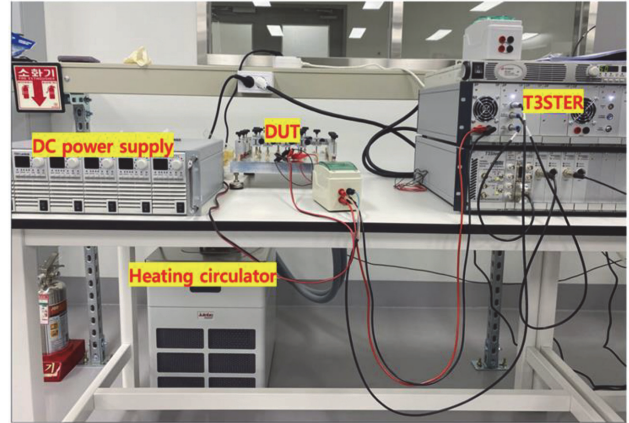


Fig. 11. Experiment set up.

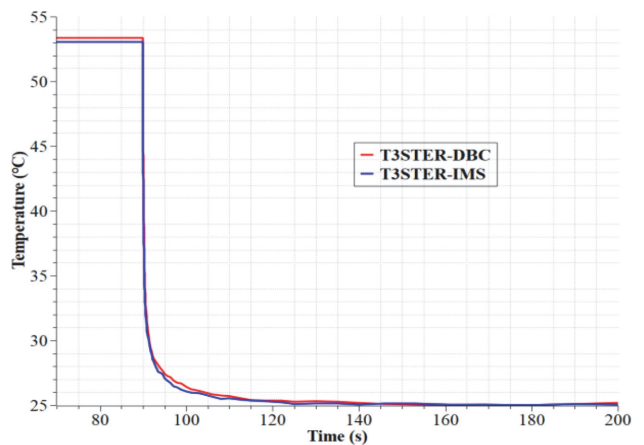


Fig. 12. The results of an experiment.

측정 결과 DBC에서 chip의 최고 온도는 53.35°C로 관찰되었고, IMS에서 chip의 최고 온도는 53.03°C로 0.32°C의 온도차이를 관찰하였다. 시뮬레이션과 비교하였을 때 IMS의 온도가 많이 상승하였다. 이 부분은 다음 section에서 고찰을 진행하겠다. 냉각 동안의 chip의 온도 변화를 살펴보면 처음 냉각이 시작한 시점으로 몇 초 동안은 동일한 temperature gradient로 변화를 하지만 약 95초부터는 IMS의 온도가 더 빠르게 낮아짐을 확인 할 수 있다. 최종적으로 steady state에 도달하는 시점도 그래프를 통해 IMS가 더 빠르다는 것을 확인 할 수 있다. 이는 앞서 FEM 시뮬레이션과 비슷한 경향으로 진행됨을 알 수 있다. 실험 결과를 통해 IMS가 DBC 기판을 대체할 수 있을 만큼의 방열 특성을 가질 수 있음을 알 수 있다.

Fig. 13은 LTspice와 T3STER 실험 결과를 비교한 그림이다.

DBC에서 발생하는 온도는 실험에서 53.35°C 그리고 시뮬레이션에서는 51.03°C로 2.32°C가량 차이가 난다. IMS 경우 실험에서 chip온도는 53.03°C이며 시뮬레이션에서는 47.91°C로 5.12°C정도 차이가 난다. 실험과 시뮬레이션 사이의 오차에 관해서는 다음 section에서 고찰을 진행하겠다.

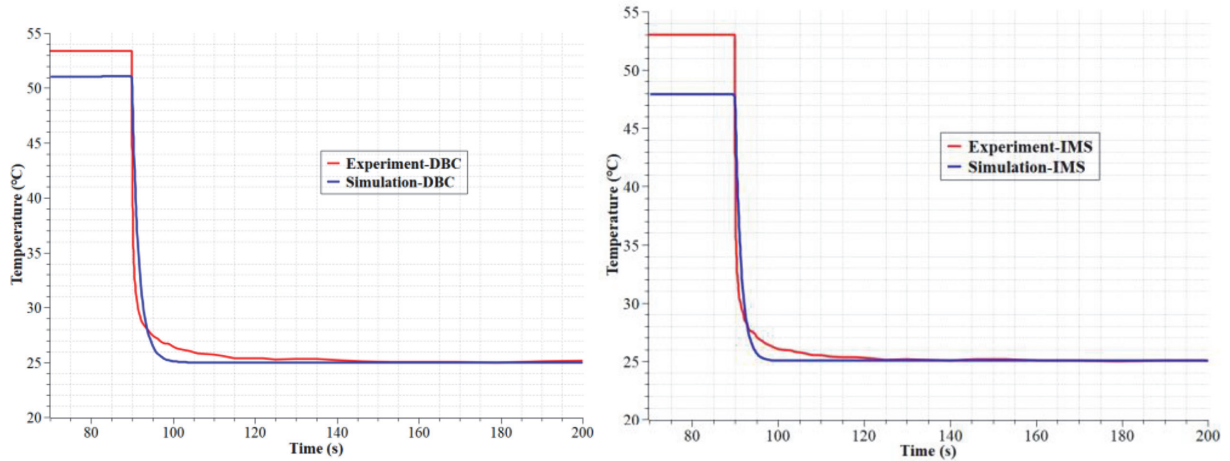


Fig. 13. Experiment vs Simulation. (left) DBC-TO-247 results, (right) IMS-TO-247 results.

4. 고찰

FEM 시뮬레이션을 진행할 때 DBC 기판의 두께는 0.3/0.635/0.3 mm (구리/세라믹/구리)로 진행하였다. 그리고 IMS는 0.3/0.075/1 mm (구리/dielectric film/구리) 형태로 진행하였다. Fig. 14은 실험에 사용한 DBC 기판과 IMS를 각각 10개를 임의로 선정하여 전체 두께를 측정하고 그 그래프이다.

측정 결과 DBC 기판은 1.249 ~ 1.255 mm의 두께 편차를 보였으며 IMS는 1.378 ~ 1.404 mm의 두께 편차를 가지고 있다. 두 가지 기판의 구리층의 두께는 변화가 없다고 했을 때 세라믹의 두께는 0.64 ~ 0.65 mm로 FEM 시뮬레이션보다 더 두껍게 형성되었으며 dielectric film 또한 0.078 ~ 0.1 mm로 FEM 시뮬레이션과 두께 차이가 있음을 알 수 있다. Fig. 15는 FEM 시뮬레이션에서 세라믹의 두께와 dielectric film의 두께를 변화시키며 시뮬레이션한 결과이다.

IMS 같은 경우 dielectric film의 두께가 변화함에 따라 chip의 온도 변화가 47.86 ~ 49.68°C로 온도가 최대 2°C가량 차이가 발생하는 것을 알 수 있다. 반면 DBC 기판의 chip

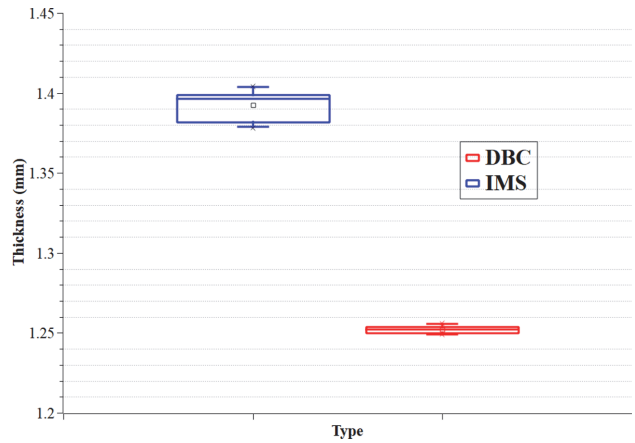


Fig. 14. Measurement of overall thickness of DBC substrate and IMS.

온도 변화는 51.05 ~ 51.21°C로 두께에 따른 온도 변화가 크지 않다는 것을 확인할 수 있다. 이 결과를 통해 T3STER로 측정된 결과에서 IMS의 온도가 시뮬레이션에 비해 높게 나온 이유는 dielectric film의 두께에 영향을 받았기 때문이라고 할 수 있다. 실험과 시뮬레이션에서 발생하는

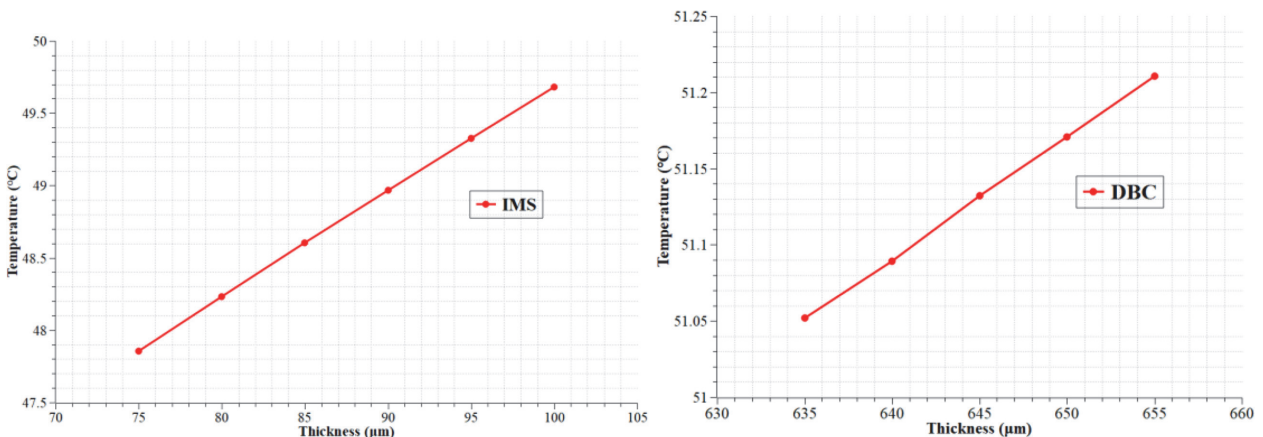


Fig. 15. Temperature change with thickness change. (left) IMS, (right) DBC substrate.

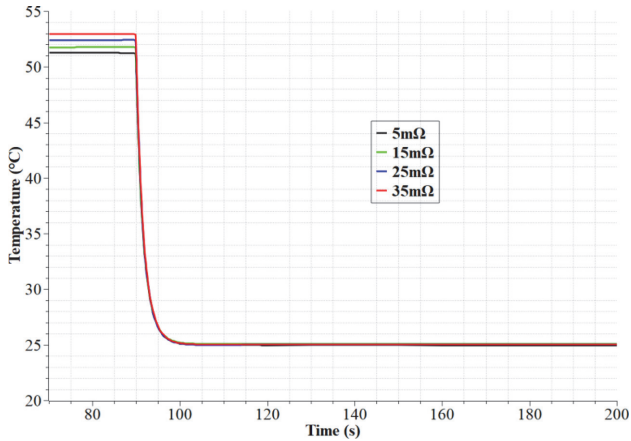


Fig. 16. Results of parametric sweep of parasitic resistance (R_p) in LTspice.

오차의 다른 원인으로는 패키지에서 생성된 기생 성분의 영향이 있다. 패키지를 구성하는 금속 성분들은 패키지에 전류가 흐르게 되면 전자기장이 생성되어 기생 인덕턴스, 기생 저항 및 기생 커패시턴스가 생성된다. 그중 기생 저항은 DC 전류를 인가했을 때 패키지의 드레인-소스 전압(V_{ds})을 증가시켜 패키지에서 발생하는 전력 손실을 증가시킨다.¹²⁾에 따르면 일반적인 TO-247 패키지의 기생 저항은 $5\text{ m}\Omega$ 이상의 값을 가지고 있다. Fig. 16는 이전 실험과 동일한 7 A의 전류를 인가하여 LTspice에서 기생 저항($5\sim 35\text{ m}\Omega$)을 parametric sweep했을 때 DBC에서 chip의 온도 변화를 관찰하였다. 기생 저항이 증가함에 따라, 온도가 지속적으로 증가한다는 것을 알 수 있다.

두 가지 고찰을 통해 DBC 기판은 세라믹의 두께보다 패키지의 기생 성분에 더 영향을 받아 실험과 시뮬레이션 사이에 오차가 생겼다는 것을 알 수 있다. 그리고 IMS는 dielectric film의 두께와 패키지의 기생 성분에 영향을 받아 오차가 발생했다고 본다.

5. 결 론

본 논문에서는 전력 반도체에서 주로 사용하는 DBC 기판 방식이 아닌 IMS 방식을 제안한다. IMS는 DBC에 비해 쉬운 공정 난이도와 높은 CTE를 가지고 있어 저렴한 비용 그리고 좋은 신뢰성을 가지고 있다. 하지만 IMS에 사용하는 dielectric film의 낮은 열 전도도로 인해 전력 반도체에서 중요한 방열 특성이 좋지 않을 수 있어 확인해야 한다. 이번 연구에서는 FEM 시뮬레이션과 회로 시뮬레이터를 이용하여 electric-thermal co-simulation을 진행하였고 T3STER 장비를 이용하여 측정까지 진행하였다. 시뮬레이션 결과 Fig. 9와 같이 DBC와 IMS의 chip에서 온도 차이는 3.12°C 로 IMS가 더 낮은 온도를 가짐을 확인하였다. DBC와 IMS를 TO-247 패키지로 구현하여 실제 측정을 진행하였고 Fig. 12에 나타났다. DBC와

IMS의 chip 온도 차이는 0.32°C 로 미세하지만, IMS가 더 낮은 온도를 기록하였다. 시뮬레이션에 비해 실험에서 DBC 기판과 IMS 사이의 온도 차이가 크게 나지 않는 이유는 시뮬레이션에서 사용한 두께와 실험에서 사용한 두께 사이의 오차와 패키지에서 발생하는 기생 저항 성분으로 인해 오차가 발생한 것으로 예측할 수 있다.

시뮬레이션과 실험 결과를 통해 IMS를 사용해도 DBC 기판과 비슷한 성능의 방열 특성을 가질 수 있음을 확인하였다. 또한, dielectric film이 넓은 탄성 변형 범위는 구리 층과의 CTE mismatch도 줄일 수 있기 때문에 DBC 기판 대비 뛰어난 신뢰성을 가질 수 있어 앞으로의 전력 반도체 패키지에 새로운 방향을 제시한다. 앞으로의 연구는 IMS 공정 최적화를 통해 dielectric film 두께의 오차를 줄여 DBC 보다 더 좋은 성능의 패키지를 개발할 예정이다.

Acknowledgements

This research was supported by National R&D Program through the National Research Foundation of Korea (NRF) funded by Ministry of Science and ICT (2022M318A1077243).

References

1. R. Zhang, S. Fujimori, "The role of transport electrification in global climate change mitigation scenarios", *Environmental Research Letters*, 15(3), (2020).
2. J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, "A survey of wide bandgap power semiconductor devices", *IEEE Transactions on Power Electronics*, 29(5), 2155-2163, (2014).
3. X. She, A.Q. Huang, O. Lucia, B. Ozpineci, "Review of silicon carbide power devices and their applications", *IEEE Transactions on Industrial Electronics*, 64(10), 8193-8205, (2017).
4. M. Chen, H. Wang, D. Pan, X. Wang, F. Blaabjerg, "Thermal characterization of silicon carbide MOSFET module suitable of high-temperature computationally efficient thermal-profile prediction", *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 9(4), 3947-3958, (2021).
5. J. Lutz, H. Schlangenotto, U. Scheuermann, and R. De Doncker, "Semiconductor Power Devices: Physics, Characteristics, Reliability", Berlin, Germany, Springer, (2011).
6. Retrieved from <http://www.altsoft.co.kr> (COMSOL).
7. Retrieved from <http://www.mathworks.com> (MATLAB).
8. G. Krzysztof, Z. Janusz, G. Pawet, P. Przemyslaw, "Compact thermal models of semiconductor devices – A review", *International Journal of Electronics and Telecommunications*, 65(2), 151-158, (2019).
9. Retrieved from <http://www.analog.com> (LTspice).
10. Retrieved from <http://www.wolfspeed.com> (CREE).
11. Retrieved from <http://www.siemens.com> (SIEMENS).
12. J. Wang, K. Kajiwara, T. Kanayama, Y. Ohta, N. Matsui, T. Suetsugu and F. Kurokawa, "Half-bridge Power Device Embedded Module with Low Parasitic Inductance", 11th IEEE International Conference on Renewable Energy Research Applications., Istanbul, Turkey, September 18-21, (2022).