

94 GHz SiGe BiCMOS PLL의 고온 특성 평가 및 분석

Evaluation and Analysis of High Temperature Characteristics of 94 GHz SiGe BiCMOS PLL

이상흥^{1*} · 최한길^{2**} · 이주호^{3***} · 정규채^{4***} · 조성환^{5**}

Sang-Heung Lee^{1*} · Han-Gil Choi^{2**} · Ju-Ho Lee^{3***} · Kyu-Chae Jung^{4***} · Seong-Hwan Cho^{5**}

요약

본 논문에서는 integer-N PLL 구조를 이용하여 94 GHz PLL을 설계/제작하고 고온시험을 수행하여 그 결과를 평가하고 분석한다. 94 GHz PLL은 0.13 μm SiGe BiCMOS 공정을 이용하여 1 MHz 오프셋 주파수에서 -90 dBc/Hz 이하의 위상잡음을 갖도록 설계되었다. 또한, 제작된 94 GHz SiGe PLL 칩은 시험보드 상에 실장하여 MIL-STD-331C 규격의 고온시험을 수행한 결과, 고온시험 전후 94 GHz PLL 칩의 총 전류변화는 4.7 %이고 94 GHz VCO 및 PLL의 위상잡음 변화는 1 MHz 오프셋 주파수에서 모두 2.3 dB로 고온시험 후에도 VCO 잡음이 PLL로 인해 필터링 되어 저주파 영역 잡음의 평탄화가 잘 유지되고 있음을 확인하였다.

Abstract

In this study, a 94 GHz PLL chip was designed using the integer-N PLL structure, and the results of a high-temperature test for the chip are discussed. The 94 GHz PLL was designed to exhibit a phase noise of -90 dBc/Hz or less at a 1 MHz offset frequency using a 0.13 μm SiGe BiCMOS process. In addition, a high-temperature test of the MIL-STD-331C standard was conducted on a manufactured 94 GHz SiGe PLL chip mounted on a test board. As a result of the test, the chip total current change before and after the high-temperature test was 4.7 %, and the phase noise changes of both 94 GHz VCO and PLL were 2.3 dB. These results confirm that, even after the high-temperature test, the flattening of the low-frequency noise was well maintained because the VCO noise was filtered by the PLL.

Key words: Phase-Locked Loop, Voltage-Controlled Oscillator, Phase Noise, High Temperature Test

I. 서론

밀리미터파 대역은 짧은 파장으로 인하여 안테나를 포함한 각종 소자 및 회로의 소형화에 유리하다. 특히, 94 GHz 대역은 단파장으로 인하여 우수한 분해능과 초소형

의 시스템을 가능하게 하여 레이더를 통한 기상관측 및 거리 측정, 공항검색대의 이미지 스캔, 공항청사내 위험물 탐지, 각종 군사용 송수신 시스템 등에 응용되어 오고 있다^{[1],[2]}. 한편, 이들 94 GHz 대역 시스템들은 정확하고

「이 연구는 민군협력진흥원의 민군기술협력 프로그램(No. 18-CM-SS-12)의 지원으로 연구되었음.」

*한국전자통신연구원(Electronics and Telecommunications Research Institute)

**한국과학기술원 전기전자공학부(School of Electrical Engineering, Korea Advanced Institute of Science and Technology)

***한화에어로스페이스주(Hanwha Aerospace Co. Ltd.)

1: 책임연구원(<https://orcid.org/0000-0003-4986-497X>), 2: 박사과정(<https://orcid.org/0000-0003-1045-1545>), 3: 주임연구원(<https://orcid.org/0009-0009-3159-7659>),

4: 수석연구원(<https://orcid.org/0009-0008-6964-4927>), 5: 교수(<https://orcid.org/0000-0001-7938-2694>)

· Manuscript received July 10, 2023 ; Revised August 13, 2023 ; Accepted August 17, 2023. (ID No. 20230710-005S)

· Corresponding Author: Sang-Heung Lee (e-mail: shl@etri.re.kr)

신뢰성 있는 국부발진기(local oscillator, LO)를 필요로 하지만, 주파수가 증가할수록 저잡음의 LO 신호 생성은 점점 더 어렵다^[3].

본 논문에서는 94 GHz 대역에서 정확하고 저잡음의 신뢰성 있는 LO 신호 생성을 위한 위상동기루프(PLL, phase-locked loop)를 설계 및 제작하고, 이에 대한 극한 온도 규격^[4] 적용의 고온 신뢰성시험을 수행하여 전기적 특성을 평가·분석하였다.

II. 94 GHz SiGe PLL 설계, 제작 및 성능

CMOS 공정의 스케일링에 따라 CMOS 공정으로도 밀리미터파 대역 회로설계가 가능하나, 본 논문에서는 고주파 특성이 우수하고 특히 CMOS 소자에 비해 잡음특성이 우수한 SiGe 소자의 공정을 이용하여 94 GHz PLL을 설계하였다. 사용된 SiGe 공정은 IHP 0.13 μm SiGe BiCMOS (SG13S) 공정으로, 설계에 사용된 SiGe HBT(hetero-junction bipolar transistor)는 $0.12 \times 0.48 \mu\text{m}^2$ 의 에미터 크기로 1.7 V의 항복전압, 250 GHz의 차단주파수와 340 GHz의 최대 발진주파수를 갖는다^[5].

그림 1은 본 논문의 94 GHz integer-N PLL의 구성도이며, 차지펌프 기반의 Type-2 PLL이 사용되었다. 94 GHz PLL은 위상검출기(frequency-phase detector, PFD), 전하펌프(charge-pump, CP), 루프필터(loop filter, LP), 전압제어 발진기(voltage-controlled oscillator, VCO), 주파수 분주기(frequency divider, FD) 및 주파수 체배기(frequency doubler) 등으로 구성되며, 레퍼런스 신호가 PLL에 인가된다. 직접적인 94 GHz VCO를 사용하여 94 GHz PLL을 구현하는 것은 동작 보장이 어려울 수 있으므로, 47 GHz VCO 및 이의 출력에 주파수 체배기를 연결하여 94 GHz 신호를 얻을 수 있도록 하였다.

94 GHz PLL은 1 MHz 오프셋 주파수에서 위상잡음을

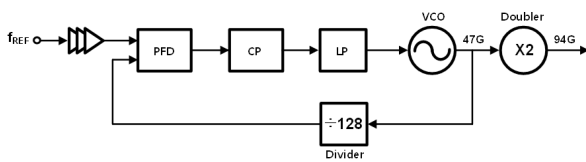
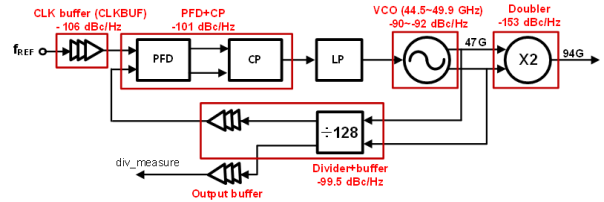


그림 1. 94 GHz PLL 블록도
Fig. 1. Block diagram of 94 GHz PLL.

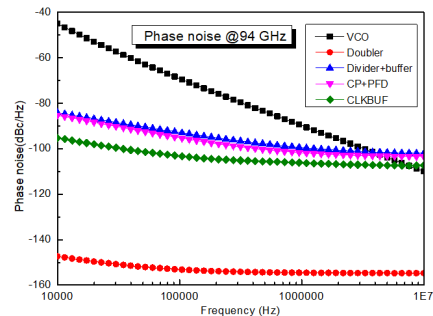
최적화하였다. 먼저, VCO는 입력 전압에 따라 출력주파수가 바뀌는 회로로 PLL에서 가장 중요한 역할을 하며 PLL의 위상잡음에 지대한 영향을 미친다. VCO 설계에서 고주파 동작에 용이하고 잡음성능이 우수한 콜피츠 구조를 채택하였으며^[6], HBT의 에미터-베이스 기생 커패시턴스를 콜피츠 동작에 활용하였다. 또한, PLL의 저잡음 특성(-90 dBc/Hz)을 유지하기 위하여 PLL 구성블록들이 -100 dBc/Hz 이하가 되도록 설계하였다. 그림 2는 레이아웃 효과를 고려한 94 GHz PLL 블록들의 잡음 기여도 시뮬레이션 결과로, PLL 구성요소의 잡음성능이 94 GHz로 normalized되었다.

그림 3은 94 GHz PLL 칩 및 측정보드, 측정장비 셋업으로, 94 GHz PLL 잡음은 신호소스 분석기(E5052A)와 신호생성기(E8663D)를 이용하여 측정된다.

그림 4는 94 GHz PLL 칩의 주파수 분주기를 통하여 신호 주파수를 64만배 분주하여 1.5 GHz 부근에서 측정할 것으로, 94 GHz VCO/PLL의 위상잡음은 각각 -91.3 dBc/Hz와 -95.7 dBc/Hz(@1 MHz offset)이다. 결과적으로



(a) 1 MHz 오프셋 주파수에서의 위상잡음 해석
(a) Analysis of phase noise at 1 MHz



(b) 오프셋 주파수에 따른 위상잡음 해석
(b) Analysis of phase noise according to offset frequency

그림 2. 94 GHz PLL 블록들의 위상잡음 기여도 해석
Fig. 2. Phase noise analysis of 94 GHz PLL components.

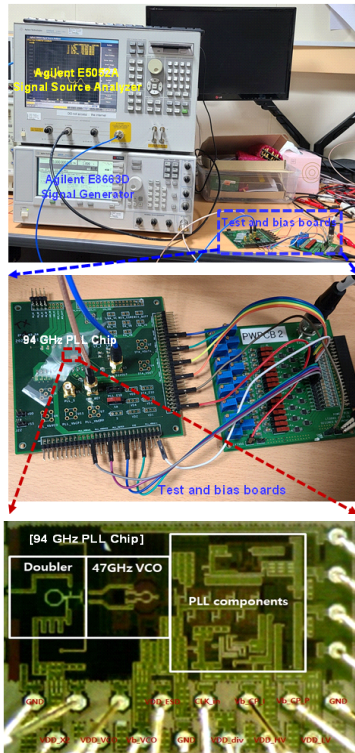


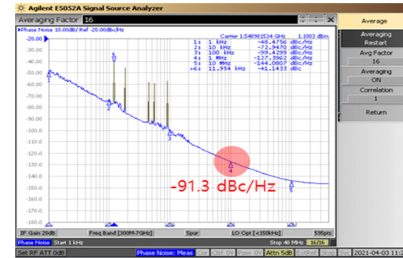
그림 3. PCB상의 94 GHz PLL 및 측정
Fig. 3. Measurement of the fabricated 94 GHz PLL on PCB test fixture.

로, VCO 잡음이 PLL로 인해 필터링되어 저주파 영역 잡음이 평탄화된 것을 알 수 있다.

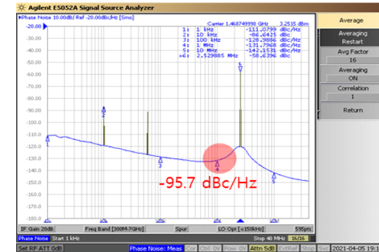
III. 94 GHz SiGe PLL 고온 시험 및 결과

본 논문에서는 94 GHz 대역 SiGe BiCMOS PLL 칩에 대하여, 온도시험 챔버에서 MIL-STD-331C(C6) 규격의 28일간 고온(+71°C) 저장시험을 하였다.

그림 5는 94 GHz PLL 칩에 대한 고온시험 장비이다. 그림 6은 28일간 고온(+71°C) 저장시험 후 시험한 결과로 저장시험 전과 동일한 측정장비와 측정조건에서 반복하여 측정하였으며, 측정된 94 GHz VCO/PLL의 위상잡음은 각각 -89 dBc/Hz와 -93.4 dBc/Hz(@1 MHz offset)이다. 고온시험 전후 94 GHz PLL 칩의 전류 및 위상잡음 특성을 분석한 결과, 총 전류변화는 4.7%이고 VCO 및 PLL의 위상잡음 변화는 모두 2.3 dB이다. 고온시험(MIL-STD-



(a) VCO 위상잡음
(a) VCO phase noise



(b) PLL 위상잡음
(b) PLL phase noise

그림 4. 94 GHz VCO/PLL의 위상잡음 측정 결과
Fig. 4. Measurement of phase noise of 94 GHz PLL.

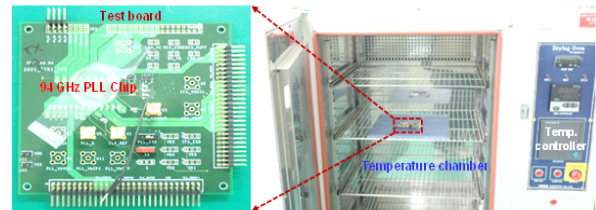
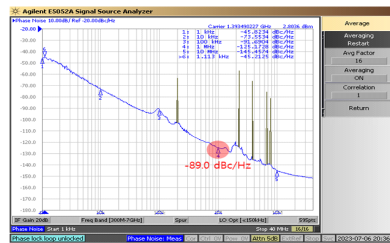


그림 5. 94 GHz PLL 시험보드 및 고온시험 장비
Fig. 5. High temperature test fixture of 94 GHz PLL.

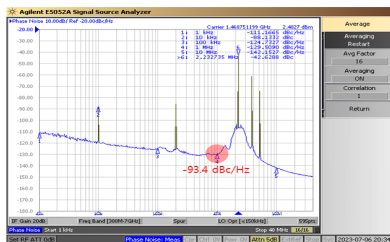
331C) 전후의 적은 전류 및 위상잡음 변화는 고온저장 시험 조건에서 SiGe 소자의 열적 안정성에 기인한 것으로 판단된다. 고온시험 후에도 VCO 잡음이 PLL로 인해 필터링 되어 저주파 영역 잡음의 평탄화가 유지되고 있음을 알 수 있다. 표 1은 바이어스 및 위상잡음에 대한 고온 시험 전후의 세부 변화이다.

IV. 결 론

본 논문에서는 위상잡음이 -95.7 dBc/Hz(@1 MHz offset)인 94 GHz PLL을 설계 및 제작하였다. 아울러 94



(a) VCO 위상잡음
(a) VCO phase noise



(b) PLL 위상잡음
(b) PLL phase noise

그림 6. 고온시험 후 94 GHz PLL의 위상잡음 측정 결과
Fig. 6. Measurement of phase noise of 94 GHz PLL after high temperature test.

GHz SiGe PLL 칩에 대하여 MIL-STD-331C 규격의 28일간 고온(+71°C) 시험을 수행한 결과, 총 전류변화는 4.7% 이고 94 GHz VCO 및 PLL의 위상잡음 변화는 모두 2.3 dB이며, 고온시험 후에도 VCO 잡음이 PLL로 인해 필터링되어 저주파 영역 잡음의 평탄화가 잘 유지되고 있음을 확인할 수 있었다.

References

[1] J. Y. Moon, S. W. Yoon, "Millimeter-wave application systems and prospects," *The Proceeding of the Korea Institute of Electromagnetic Engineering and Science*, vol. 19, no. 5, pp. 67-74, Sep. 2008.
[2] N. Pohl, T. Jaeschke, and K. Aufinger, "An ultra-wideband 80 GHz FMCW radar system using a SiGe bipolar transceiver chip stabilized by a fractional-N PLL

표 1. 94 GHz PLL의 고온시험 결과

Table 1. Results of high temperature test of 94 GHz PLL.

| Measured parameters | | Before test | After test | Variation |
|---------------------|--|-------------|------------|---------------|
| DC | VDD_ESD (mA) | 0.00 | 0.00 | |
| | Vb_CP_I (mA) | 0.97 | 0.97 | |
| | Vb_CP_P (mA) | 0.97 | 0.97 | |
| | VDD_X2 (mA) | 11.10 | 10.00 | |
| | VDD_VCO (mA) | 22.77 | 22.20 | |
| | Vb_VCO (mA) | 20.54 | 19.40 | |
| | VDD_div (mA) | 22.70 | 21.60 | |
| | VDD_HV (mA) | 10.56 | 10.40 | |
| | VDD_LV(mA) | 9.40 | 8.85 | |
| total current (mA) | | 99.01 | 94.39 | Δ4.7 |
| RF | 94 GHz VCO phase noise (dBc/Hz) @1 MHz | -91.3 | -89.0 | 2.3 dB (Δ2.5) |
| | 94 GHz PLL phase noise (dBc/Hz) @1 MHz | -95.7 | -93.4 | 2.3 dB (Δ2.4) |

synthesizer," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 3, pp. 757-765, Mar. 2012.
[3] S. Kang, J. C. Chien, and A. M. Niknejad, "A 100GHz phase-locked loop in 0.13μm SiGe BiCMOS process," in *2011 IEEE Radio Frequency Integrated Circuits Symposium*, Baltimore, MD, Jun. 2011, pp. 1-4.
[4] *Department of Defense Test Method Standard Fuze and Fuze Components, Environmental and Performance Tests For, MIL-STD-331C*, Jan. 2005.
[5] Leibniz Institute for High Performance Microelectronics. Available: <https://www.ihp-microelectronics.com>
[6] F. Padovan, M. Tiebout, K. L. R. Mertens, A. Bevilacqua, and A. Neviani, "Design of low-noise K-band SiGe bipolar VCOs: theory and implementation," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 2, pp. 607-615, Feb. 2015.