# 인공지능컴퓨팅을 위한 RISC-V 기술 동향

## Technology Trends in RISC-V for Artificial Intelligence Computing


**김영호** (Y.H. Kim, kyh05@etri.re.kr) 네트워크AI컴퓨팅연구실 책임연구원
**김경민** (K.M. Kim, kyungmin.kim@etri.re.kr) 네트워크AI컴퓨팅연구실 선임연구원
**정성인** (S.I. Jung, sijung@etri.re.kr) 네트워크AI컴퓨팅연구실 책임연구원
**임은지** (E.J. Lim, ejlim@etri.re.kr) 네트워크AI컴퓨팅연구실 책임연구원
**김선영** (S.Y. Kim, seonyoung8436@etri.re.kr) 네트워크AI컴퓨팅연구실 선임연구원
**안신영** (S.Y. Ahn, syahn@etri.re.kr) 네트워크AI컴퓨팅연구실 책임연구원/실장



**ABSTRACT**

RISC-V is emerging as a key open instruction set architecture for next-generation artificial intelligence (AI) computing because of its openness, modularity, and extensibility. As AI computing shifts toward heterogeneous platforms integrating general-purpose processors, graphics processors, neural processing units, and domain-specific accelerators, existing assessments often address hardware, software, and standardization separately. This fragmentation creates a need for an integrated review. This paper reviews RISC-V technology trends in international standardization, system software, processors, AI accelerators, industrial ecosystems, markets, and applications. It examines vector and matrix extensions, virtualization, security, and the maturation of LLVM, GCC, OpenSBI, Linux, PyTorch, TensorFlow Lite, and ONNX Runtime. The review shows that these developments improve software portability and support generative AI, large language models, AI data centers, edge and physical AI, and trusted computing. Continued ecosystem growth positions RISC-V as a scalable, energy-efficient, and application-specific foundation for future AI infrastructure.



**KEYWORDS** Artificial Intelligence(AI), AI Accelerator, AI Computing Platform, AI Processor, Open ISA, Physical AI, RISC-V, SDR(Software Defined Robotics)


## I. 서론

생성형 AI와 대규모 언어모델(LLM: Large Language Models)의 적용이 확대됨에 따라 AI 컴퓨팅 환경은 대규모 병렬 연산과 데이터 처리 효율을 중심으로 지속적으로 발전하고 있다. AI 서비스의 규모가 커지고 활용 분야가 다양해지면서 데이터센터뿐만 아니라 Edge AI, AIoT, 자율주행, 지능형 로봇 등


* DOI: https://doi.org/10.22648/ETRI.2026.J.410502
* This research was supported in part by Institute of Information & communications Technology Planning & Evaluation (IITP) grant funded by the Korea government (MSIT) [No. RS-2024-00459774, RISC-V based system software development for open ecosystem of SDR].



본 저작물은 공공누리 제4유형
출처표시+상업적이용금지+변경금지 조건에 따라 이용할 수 있습니다.
©2026 한국전자통신연구원

다양한 환경에서 AI 워크로드의 효율적인 실행을 지원하는 컴퓨팅 플랫폼의 역할이 점차 확대되고 있다[4-10].

이러한 변화는 범용 CPU 중심의 컴퓨팅 구조에서 CPU와 AI 가속기를 함께 활용하는 이기종 컴퓨팅 구조로의 전환을 가속화하고 있으며, 다양한 응용 분야에 최적화된 컴퓨팅 아키텍처를 구현하기 위한 확장성과 유연성을 갖춘 프로세서 기술이 중요한 요소로 자리매김하고 있다[1-4].

개방형 ISA(Instruction Set Architecture)인 RISC-V (Reduced Instruction Set Computer-V)는 응용 분야별 요구사항을 반영할 수 있는 높은 확장성과 설계 자유도를 제공함으로써 차세대 프로세서 아키텍처의 하나로 활용되고 있다[1-4]. 기존 상용 ISA와 달리 라이선스 제약 없이 응용 분야에 최적화된 프로세서를 설계할 수 있으며, 프로세서뿐만 아니라 시스템 소프트웨어와 오픈소스 생태계가 함께 발전하면서 AI 컴퓨팅 플랫폼의 새로운 대안으로 빠르게 자리잡고 있다[2-4,11-13].

최근 RISC-V를 둘러싼 경쟁은 단순히 프로세서 성능 경쟁을 넘어 개방형 생태계와 플랫폼 경쟁으로 확대되고 있다. 주요 국가와 기업들은 AI 컴퓨팅을 위한 범용 프로세서와 AI 가속기뿐만 아니라 시스템 소프트웨어, 개발도구 및 오픈소스 생태계를 함께 구축하며 차세대 AI 컴퓨팅 플랫폼의 주도권 확보를 추진하고 있다[4,7,28,33,37].

본고에서는 이러한 변화에 주목하여 AI 컴퓨팅 관점에서 RISC-V 기술의 발전 동향을 살펴본다. 먼저 RISC-V의 기술적 특징과 핵심 기술을 소개하고, 주요 국가와 기업의 개발 동향 및 범용 프로세서와 AI 가속기 기술을 분석한다. 또한 시장 동향과 산업 적용 사례를 살펴보고, 향후 AI 컴퓨팅 플랫폼에서 RISC-V의 발전 방향을 전망한다.

## II. RISC-V 기술 개요

RISC-V는 RISC 철학에 따라 명령어 개수와 인코딩을 단순화하여 하드웨어 구현과 파이프라이닝 효율을 높인 개방형 ISA 기반의 프로세서 아키텍처이다. 기본 ISA에 표준 확장과 사용자 정의 확장을 자유롭게 조합할 수 있어 응용 분야에 최적화된 프로세서를 유연하게 설계할 수 있으며, 이러한 개방성과 확장성 덕분에 범용 프로세서, AI 가속기, 임베디드 시스템, Edge AI, 데이터센터 컴퓨팅에 이르기까지 폭넓게 활용된다[1-3]. 특히 AI, HPC 및 도메인 특화 컴퓨팅과 같은 다양한 응용 분야에 최적화된 프로세서를 구현할 수 있도록 높은 확장성과 사용자 정의 기능을 제공한다는 점에서 기존 상용 ISA와 차별화되는 기술적 특징을 가진다[2,3,9,24].

또한, RISC-V는 프로세서 아키텍처에 국한되지 않고 컴파일러, 운영체제, 개발도구, AI 프레임워크를 아우르는 개방형 소프트웨어 생태계를 기반으로 성장하고 있다. 이러한 생태계는 하드웨어와 소프트웨어 간 상호운용성을 높이고 신규 프로세서 및 시스템의 개발 기간을 단축하는 장점이 있다. 최근에는 AI 컴퓨팅의 확산과 맞물려 표준 ISA 확장, 시스템 소프트웨어, 응용 플랫폼이 빠르게 고도화되면서 그 저변이 지속적으로 확대되고 있다[4,11-13].

Arm 및 x86은 현재 가장 널리 활용되는 대표적인 상용 프로세서 아키텍처로, ISA 구조, 라이선스 정책, 확장성 및 시스템 소프트웨어 생태계 측면에서 RISC-V와 다른 특징을 가진다. 표 1은 세 아키텍처의 주요 특성을 비교한 것으로, x86은 서버와 HPC 중심의 고성능 범용 컴퓨팅에, Arm은 저전력 기반의 모바일과 Edge AI 플랫폼에 강점을 유지하고 있으며, RISC-V는 AI 프로세서와 도메인 특화 컴퓨팅 분야에서 경쟁력을 확보하고 있다[1,17-20].

**표 1** RISC-V, ARM 및 x86 아키텍처 비교 분석

| 구분 | RISC-V | ARM | x86 |
|---|---|---|---|
| ISA 유형 | • 완전 개방형(Open ISA) 구조<br>• 사용자 중심 ISA 확장 지원 | • ARM 소유의 상용 ISA<br>• 모바일 및 임베디드 시장 중심 확산 | • Intel·AMD 중심의 상용 ISA<br>• CISC 기반 구조<br>• 서버 및 PC 시장 중심 |
| 구조 | • RISC 기반 단순 명령어 구조<br>• 모듈형 ISA 설계 지원<br>• 응용 분야별 확장 가능 | • RISC 기반 저전력 구조<br>• 모바일 최적화 설계<br>• ARMv8/v9 중심 발전 | • CISC 기반 복합 명령어 구조<br>• 높은 범용성 제공<br>• 복잡한 명령어 디코딩 필요 |
| 라이선스 | • ISA 사용료 없음<br>• 자유로운 프로세서 설계 가능<br>• 개방형 생태계 구축 용이 | • CPU 코어 및 ISA 라이선스 비용 필요<br>• 사용 범위 제한 존재 | • Intel·AMD 독점 구조<br>• ISA 접근 제한적 |
| ISA 확장성 | • Custom ISA 확장 가능<br>• RVV(Vector Extension), Matrix Extension 등 적용 용이<br>• 도메인 특화 프로세서 개발 적합 | • 일부 확장 지원 가능<br>• ARM 표준 범위 내 확장 제한 | • ISA 확장 유연성 낮음<br>• 사용자 정의 명령어 적용 어려움 |
| 사용자 정의 명령어 | • AI, DSP, 보안용 명령어 추가 가능<br>• Domain-Specific Architecture 구현 용이 | • 제한적 커스텀 기능 지원<br>• 아키텍처 변경 자유도 낮음 | • 사용자 정의 명령어 지원 사실상 제한 |
| 벡터 연산 | • RVV 지원<br>• 벡터 길이 독립(VLA) 구조 제공 | • SVE/SVE2 기반 벡터 연산 지원<br>• HPC 및 AI 응용 지원 | • AVX, AVX2, AVX-512 지원<br>• 서버 및 HPC 중심 활용 |
| AI 특화 확장 | • Matrix Extension 개발 중<br>• AI Accelerator 통합 용이 | • Ethos NPU 등 AI 가속기 연계 가능<br>• Edge AI 중심 활용 | • GPU·NPU와 결합한 AI 플랫폼 활용<br>• CPU 자체 AI 확장성 제한 |
| 전력 효율 | • 저전력 설계 용이<br>• AIoT 및 Edge AI 적합<br>• 맞춤형 최적화 가능 | • 모바일 환경에서 높은 전력 효율 제공<br>• 배터리 기반 시스템에 적합 | • 고성능 중심 설계<br>• 상대적으로 높은 전력 소비 |
| 생태계 성숙도 | • 빠르게 성장 중인 생태계<br>• 오픈소스 중심 확산 | • 모바일 및 임베디드 시장에서 매우 성숙<br>• 광범위한 개발환경 보유 | • PC·서버 시장에서 가장 성숙한 생태계 보유 |
| 대표 기업 | SiFive, Ventana, Andes, Alibaba T-Head, Tenstorrent | ARM, Apple, Qualcomm, Ampere, MediaTek | Intel, AMD |
| 주요 응용 분야 | • AI Processor, AI Accelerator, AI Security Processor<br>• SDR Processor, Physical AI | • Mobile SoC, Edge AI<br>• Automotive, Embedded System<br>• Cloud Server | • HPC, AI Data Center<br>• Enterprise Server, PC Workstation |

출처 Reproduced from D. Patterson and A. Waterman, "The RISC-V Reader: An Open Architecture Atlas," Strawberry Canyon LLC, 2017.; J.L. Hennessy and D.A. Patterson, "Computer Architecture: A Quantitative Approach," 6th ed., Morgan Kaufmann, 2019.; Arm Ltd., "Arm Architecture Reference Manual Supplement Armv9, for Armv9-A Architecture Profile," Arm Ltd., 2024., with modifications by the authors, [1,17,20].

# III. RISC-V 기술 동향

## 1. RISC-V 기술 표준화 동향

RISC-V의 개방성과 모듈형 확장 구조가 실제 산업 현장에서 상호운용성으로 실현되기 위해서는 하드웨어 구현과 시스템 소프트웨어 이식성을 아우르는 표준화 체계가 필수적이다. RISC-V International은 이러한 역할을 중심적으로 수행하며 표준의 범위와 완성도를 지속적으로 확장해 왔다[2,4]. 표준화 대상은 초기 RV32I/RV64I 기본 ISA 정의에서 출발하여, 이후 소프트웨어 호환성을 위한 프로파일, AI와 HPC 도메인을 겨냥한 확장, 그리고 시스템 신뢰성을 위한 보안 및 가상화 확장으로 표준화 대상이 다층화되고 있다[4,23,43].

2024년 10월 정식 비준된 RVA23 Profile(v1.0)은 64비트 애플리케이션 프로세서의 필수, 선택 확장을 명시한 소프트웨어 호환성 표준으로, RISC-V Vector Extension(RVV)을 필수 요건으로 격상하고 Hypervisor 확장을 선택 요건으로 포함하여 Linux, GCC, 및 LLVM 기반 시스템 소프트웨어 스택이 단일 컴파일 타깃으로 AI 커널과 수치 연산 라이브러리를 최적화할 수 있는 이식성 기반을 마련하였다[4,11-13,23]. GCC 및 LLVM은 RVA23 프로파일 적용을 통해 컴파일 플래그 단일화, Shadow Stack 통합, 그리고 확장 보유 여부에 따라 실행 시점에 최적 버전을 자동 선택하는 함수 다중 버전화를 GCC 14 및 LLVM 18 이후 메인스트림 업스트리밍(Upstreaming)으로 지원하여, 이기종 RISC-V 하드웨어에서 단일 바이너리의 성능 이식성과 보안 강도를 동시에 확보하고 있다.

또한, AI와 HPC 워크로드를 겨냥한 도메인 확장 표준화도 빠르게 진전되고 있다. RVV는 벡터 연산의 표준 인터페이스를 제공하며, Matrix Extension은 AI 및 HPC 워크로드를 위한 행렬 연산 지원을 목표로 표준화가 진행되고 있다[9,23]. Matrix Extension은 AI 행렬 연산을 효율적으로 지원하기 위한 RISC-V 확장 기술로, 기존 벡터 레지스터를 활용하는 Zvbdot과 전용 행렬 연산 구조를 제공하는 IME, VME, AME 등 다양한 아키텍처가 표준화 과정에서 검토되고 있다[49]. 각 방식은 하드웨어 복잡도와 성능, 전력 효율 및 확장성 간의 균형을 고려하여 설계되었다[49].

한편, AI 컴퓨팅 플랫폼의 신뢰성과 보안성 향상을 위한 시스템 확장 기술도 지속적으로 발전하고 있다. Hypervisor Extension은 가상화 환경을 지원하고, Vector Cryptography Extension은 벡터 기반 암호 연산을 위한 표준 명령어를 제공한다. 또한, CHERI-RISC-V와 Confidential VM Extension (CoVE)은 메모리 보호와 기밀 컴퓨팅을 지원하는 핵심 기술로, AI 서버와 클라우드 환경을 위한 차세대 보안 아키텍처로 표준화가 추진되고 있다[16,21,45].

RISC-V International은 ISO/IEC JTC 1의 PAS(Publicly Available Specification) 제출 기관으로서 RISC-V 규격과 국제표준 간 연계를 강화하고 있으며, ISA를 넘어 프로파일, 시스템 인터페이스 및 소프트웨어 생태계를 포괄하는 개방형 표준 체계를 지속적으로 확장하고 있다[4,23,47]. 또한, 2026년 5월에는 여러 GitHub 저장소와 문서, 메일링 리스트 등에 분산되어 있던 비준 규격을 통합한 'RISC-V Ratified Specifications Library'를 공개하였다. 이를 통해 ISA 규격, 프로파일, 디버그 · 트레이스, 응용 프로그램 이진 인터페이스(ABI), 펌웨어 인터페이스 및 플랫폼 소프트웨어 요구사항을 단일 접근점에서 제공함으로써 표준 문서의 접근성과 일관성을 향상시키고 있다[51].

## 2. AI지원 RISC-V 확장 기술 동향

RISC-V의 AI 지원 ISA 확장 기술은 AI 워크로드의 병렬성과 데이터 처리 특성을 효율적으로 지원하기 위한 연산 구조와 시스템 지원 기능을 중심으로 발전하고 있다[2,4]. 생성형 AI와 LLM의 확산으로 벡터, 행렬 및 텐서 연산의 중요성이 증가함에 따라, RISC-V는 RVV, Matrix Extension 및 AI 특화 명령어 확장을 통해 범용 프로세서와 AI 가속기의 성능 및 전력 효율을 지속적으로 향상시키고 있다[6,9,23,41].

연산 구조 측면에서 RVV는 벡터 길이 독립(VLA: Vector-Length Agnostic) 구조를 채택하여 다양한 벡터 길이에 대한 유연한 병렬 처리를 지원한다. Matrix Extension은 트랜스포머와 대규모 언어모델의 핵심

연산인 행렬 및 텐서 연산을 효율적으로 지원하며, INT8, INT4, BF16 등 저정밀도 연산을 통해 AI 워크로드의 성능과 에너지 효율을 향상시키도록 설계되었다[6,9,10]. 이러한 ISA 확장은 AI 전용 가속기뿐만 아니라 범용 프로세서에서도 AI 연산의 병렬성과 데이터 처리 효율을 높일 수 있도록 지원한다.

LLVM, GCC, OpenSBI, Linux 및 Zephyr RTOS 등 시스템 소프트웨어의 지원이 확대되면서 RISC-V 기반 AI 플랫폼의 이식성과 개발 효율성이 향상되고 있다. 또한 PyTorch, TensorFlow Lite 및 ONNX Runtime 등 주요 AI 프레임워크에 대한 지원도 지속적으로 확대되어 다양한 AI 응용의 개발 및 실행 환경이 강화되고 있다[4,11-13]. 이러한 소프트웨어 생태계의 발전은 동일한 AI 모델을 다양한 RISC-V 기반 프로세서와 AI 가속기에서 효율적으로 실행할 수 있는 HW/SW 공동 최적화 환경을 제공하고 있다.

## 3. 주요 국가별 기술 동향

최근 RISC-V를 둘러싼 글로벌 경쟁은 프로세서 개발을 넘어 시스템 소프트웨어, AI 가속기 및 개방

**표 2 국가별 AI 지원 RISC-V 기반 시스템 및 SW 기술 경쟁력 비교 분석**

| 구분 | 미국 | 중국 | 유럽 | 한국 |
|---|---|---|---|---|
| 기술개발 수준 | RISC-V 원천기술 및 고성능 프로세서 개발 선도 | 국가 주도형 대규모 RISC-V 개발 추진 | 개방형 하드웨어 및 보안 중심 연구 주도 | AI 반도체 및 응용기술 중심 연구 단계 |
| 주요 기업 및 기관 | SiFive, Ventana, Tenstorrent, Esperanto, NVIDIA, Intel | Alibaba T-Head, StarFive, Sophgo, ESWIN, Nuclei | Codasip, OpenHW Group, EPI, Axelera AI, ETH Zurich | ETRI, KAIST, POSTECH, 서울대, DeepX, Rebellions |
| 대표 프로세서/칩 | X280, Veyron V2, ET-SoC-1, Tenstorrent CPU IP | Xuantie C920/C930/ C950, SG2042, JH7110 | CVA6, CV32E40P, Codasip AI Core | 연구용 AI SoC, Edge 범용 프로세서 중심 |
| 범용 프로세서 개발 동향 | 생성형 AI, 데이터센터 AI, HPC 중심 | AIoT, 클라우드 AI, 스마트 제조 중심 | Edge AI, HPC-AI 융합 중심 | AI 반도체 및 Edge AI 중심 |
| AI 가속기 개발 동향 | AI Accelerator와 RISC-V CPU 통합 플랫폼 개발 | NPU 내장형 AIoT SoC 개발 확대 | 저전력 Edge AI Accelerator 연구 | NPU 중심 AI 가속기 연구 확대 |
| Compiler 및 개발도구 | LLVM, GCC, CUDA, TVM 등 생태계 성숙 | 국산 컴파일러 및 개발 환경 확대 | 오픈소스 기반 연구 활발 | LLVM 기반 연구 중심 |
| AI Runtime 및 SW Stack | TensorFlow, ONNX, PyTorch 연계 생태계 확보 | PaddlePaddle, MindSpore 중심 확산 | HPC 및 Edge AI 런타임 연구 | AI 추론 런타임 연구 단계 |
| Chiplet 및 CXL 기술 | AI 서버용 Chiplet·CXL 통합 연구 선도 | AI 클라우드 서버 중심 연구 확대 | HPC 중심 연구 진행 | 초기 연구 단계 |
| 생태계 성숙도 | 글로벌 산업 생태계 주도 | 대규모 내수시장 기반 생태계 형성 | 연구기관 중심 개방형 생태계 | 초기 생태계 구축 단계 |
| 정부 지원 정책 | DARPA, NSF, DOE 중심 지원 | 국가 전략기술로 집중 육성 | EU Chips Act, EPI 중심 지원 | AI 반도체 국가전략기술 연계 |
| 향후 발전 방향 | AI-Native Processor 및 AI 데이터센터 확대 | AIoT·클라우드 AI 중심 대규모 확산 | Trusted AI 및 HPC 플랫폼 강화 | AI Security Processor, AI-SDR, Physical AI 특화 전략 추진 |

출처 Reproduced from RISC-V International, “RISC-V Annual Report 2025,” RISC-V International, 2025.; Research In China, “Automotive RISC-V Chip Industry Research Report,” Research In China, 2024.; European Commission, “The EU Open Source Strategy,” European Commission, 2026.; 과학기술정보통신부, “제1차 국가전략기술 육성 기본계획('24~'28),” 2024.; 전원, 여준기, “초거대 인공지능 프로세서 반도체 기술 개발 동향,” 전자통신동향분석, [4,28,37-39].

형 생태계를 포함하는 국가 차원의 기술 경쟁으로 확대되고 있다[4,28]. 표 2와 같이 미국은 AI 데이터센터와 생성형 AI를 중심으로 고성능 프로세서와 오픈소스 생태계를 선도하고 있으며, 중국은 국가 주도의 RISC-V 육성 정책을 기반으로 AIoT와 Edge AI 중심의 독자적인 컴퓨팅 생태계를 구축하고 있다[28-32]. 유럽은 OpenHW Group과 European Processor Initiative(EPI)를 중심으로 RISC-V 기반 HPC 및 개방형 프로세서 생태계를 확대하고 있으며[33-36], 국내도 AI 반도체와 RISC-V 기반 시스템 소프트웨어를 중심으로 핵심 기술 개발과 국제 표준화 참여를 추진하고 있다[37,38].

이처럼 국가별 RISC-V 전략은 산업 환경과 정책 목표에 따라 차별화된 발전 방향을 보이고 있으며, 범용 프로세서, AI 가속기, 시스템 소프트웨어 및 오픈소스 생태계를 중심으로 기술 경쟁이 전개되고 있다. 다음에서는 주요 국가의 RISC-V 기술 개발 동향과 추진 전략을 중심으로 살펴본다.

### 3.1 미국 기술 동향

미국은 RISC-V ISA의 개발을 주도한 국가로, 범용 프로세서, AI 가속기 및 시스템 소프트웨어 전반에서 RISC-V 생태계를 선도하고 있다[1,22]. SiFive, Ventana, Esperanto 및 Tenstorrent는 RVV와 Matrix Extension 기반의 범용 프로세서 및 AI 가속기를 개발하고 있으며, NVIDIA는 GPU 시스템 프로세서와 AI 추론 엔진(DLA)의 제어 프로세서에 RISC-V를 적용하는 한편, NVLink Fusion을 통해 RISC-V 기반 커스텀 CPU와 NVIDIA GPU를 NVLink 인터커넥트로 통합하는 이기종 컴퓨팅 플랫폼 전략을 제시하였다[5,8,10,25].

데이터센터 분야에서는 Rivos가 Canonical과 협력하여 확장형 RISC-V 플랫폼을 개발하고 있으며, AheadComputing도 AI 및 클라우드 환경을 대상으로 고성능 RISC-V 프로세서 기술을 추진하고 있다. 자동차 분야에서는 MIPS P8700이 첨단운전자 지원시스템과 자율주행을 지원하고, 우주 · 국방 분야에서는 Microchip의 64비트 HPSC MPU와 BAE Systems의 SiFive 기반 내방사선 보안 칩이 개발되는 등 RISC-V의 적용 범위가 고신뢰성 컴퓨팅 영역으로 확대되고 있다[48]. 또한, DARPA를 중심으로 CHERI-RISC-V, Vector Cryptography 및 기밀 컴퓨팅 기술을 활용한 AI 보안 프로세서 연구가 추진되고 있으며[16,21,27], AI 데이터센터뿐만 아니라 Physical AI와 SDR(Software Defined Robotics) 플랫폼을 위한 개방형 시스템 소프트웨어와 보안 기술 개발도 확대되고 있다[15,44,46].

### 3.2 중국 기술 동향

중국은 반도체 공급망 자립과 AI 컴퓨팅 경쟁력 강화를 위해 RISC-V를 국가 전략기술로 육성하고 있다[28]. 2023년 설립된 중국 'ISC-V 산업기술위원회'에는 180여 개의 기업과 기관이 참여하고 있으며, 중국과학원 산하 BOSC는 香山(Xiangshan) 프로젝트를 통해 쿤밍호(Kunminghu) V2/V3 서버 프로세서(SPECInt2006성능 15~18 , V3 목표 22)를 공동 개발하고 있다[49]. Alibaba T-Head는 XuanTie C930에 2세대 AME(Accelerated Matrix Extension)를 적용하고, 자체 벡터 엔진인 Titan(512~4,096비트)과 TPE(Tensor Processing Engine)를 통합하여 AI 연산 성능을 향상시키고 있으며, ESWIN은 EIC7700X부터 40 TOPS급 EIC7702X까지 AI 엣지 컴퓨팅 프로세서 로드맵을 제시하고 있으며, DeepSeek-7B를 초당 약 15토큰으로 실행할 수 있는 성능을 구현하였다[49]. StarFive는 기존 RVV의 순차 실행 구조를 개선한 Out-of-Order 기반 Basan 코어를 개발하여 CNN, OpenCV 및 BLAS 워크로드의 성능을 2~3배 향상시켰으며, Sophgo는 64코어 RISC-V 서버 SoC 기반

HPC 서버를 출시하는 등 생성형 AI와 AI 데이터센터를 위한 RISC-V 기반 개방형 AI 컴퓨팅 플랫폼 구축을 지속적으로 추진하고 있다[29-31].

시스템 소프트웨어 분야에서는 openEuler, openKylin 및 RT-Thread를 중심으로 RISC-V 기반 운영체제와 개발도구 생태계가 지속적으로 확대되고 있다. openEuler는 x86, Arm 및 RISC-V를 지원하는 통합 운영체제 플랫폼을 제공하고, openKylin은 자동화 빌드 시스템을 기반으로 대규모 RISC-V 소프트웨어 패키지의 개발과 배포를 지원하고 있다[32]. 또한, Alibaba DAMO Academy는 RISC-V 기반 Confidential VM Extension(CoVE)을 구현하여 AI 워크로드의 기밀성 보장과 민감 데이터 보호를 위한 기밀 컴퓨팅 기술을 개발하는 등 RISC-V 기반 시스템 보안 기술도 지속적으로 고도화되고 있다.

### 3.3 유럽 기술 동향

유럽은 디지털 주권 확보를 위해 RISC-V 기반 개방형 프로세서와 HPC 기술 개발을 추진하고 있다[33]. OpenHW Group은 CVA6 및 CV32E40P 등 오픈소스 RISC-V 프로세서 IP를 제공하고 있으며[34], Codasip은 자동차 및 AI 응용을 위한 상용 RISC-V IP를 개발하고 있다[35]. EPI는 HPC 및 AI 워크로드를 지원하는 차세대 프로세서를 연구하고 있으며[28], EuroHPC와 바르셀로나 슈퍼컴퓨팅센터(BSC)는 Openchip 및 NEC와 협력하여 RISC-V 기반 차세대 슈퍼컴퓨터 개발을 추진하는 등 '오픈 실리콘에서 주권형 슈퍼컴퓨팅으로'라는 방향성 아래 HPC 자립 전략을 구체화하고 있다[48]. 자동차 분야에서는 독일 Infineon이 RISC-V 기반 자동차 마이크로컨트롤러 패밀리를 출시하고 HighTec EDV-System이 Nuclei RISC-V CPU IP 지원을 추가했으며, EU 반도체 협력체인 Chips JU도 차량용 RISC-V 활용을 조율하고 있다[52,53]. 데이터센터 · 클라우드 영역에서는 프랑스 Scaleway가 자체 클라우드 기반 RISC-V 서버를 구축 · 운영한 사례를 발표했고, 네덜란드 Axelera AI는 HPC용 확장 가능 AI 칩렛 개발에 최대 6,160만 유로의 보조금을 확보해 유럽 차원의 AI 반도체 자립 투자도 병행되고 있다[48]. 우주 분야에서는 유럽우주국(ESA)이 RISC-V를 우주 컴퓨팅에 채택해 '새로운 궤도를 개척하는 RISC-V'라는 주제로 관련 연구를 발표하는 등, HPC와 자동차뿐만 아니라 방사선 내성이 요구되는 극한 환경으로도 적용 범위를 넓히고 있다[48].

유럽의 특징은 보안 및 신뢰 컴퓨팅 분야에 관한 높은 연구 역량이다. University of Cambridge는 CHERI-RISC-V 연구를 주도하며 Capability 기반 메모리 보호 기술의 표준화를 이끌고 있고, ETH Zurich의 Secure & Trustworthy Systems Group은 RISC-V 기반 TEE(신뢰실행환경) 연구를 수행하고 있으며, Fraunhofer IMS는 암호화 유닛을 탑재한 RISC-V 기반 Trustworthy Embedded AI 칩을 개발한 바 있다[16,33,36]. 이러한 개별 기관의 연구 성과는 향후 AI Security Processor 및 Secure AI 인프라 구축의 기반이 될 것으로 평가된다.

### 3.4 국내 기술 동향

국내에서는 AI 반도체를 국가전략기술로 지정하고, RISC-V 기반 범용 프로세서와 시스템 소프트웨어의 핵심 기술 확보를 위한 연구개발을 확대하고 있다[37]. ETRI는 RISC-V 기반 슈퍼컴퓨터용 가속기와 시스템반도체의 설계 기간을 단축하고 개발 효율을 향상시키기 위한 반도체 설계 기술인 RISC-V eXpress(RVX)를 개발하였다. 또한, SDR 환경에 적합한 개방형 소프트웨어 플랫폼을 구현하기 위해 RISC-V 기반 시스템 SW 기술을 개발 · 고도화하고 있다[38].

보안 분야에서는 삼성이 하드웨어 기반 보안 아키텍처인 WorldGuard를 활용한 RISC-V 신뢰실행환경 오픈소스 프로젝트 Vyond를 공개하였다. Vyond는 Rust 기반 Security Monitor와 SiFive 참조 구현을 토대로 개발되었으며, WorldGuard가 적용된 Rocket SoC에서의 실행을 목표로 하고 있다. 이와 함께 삼성은 StarFive VisionFive 2를 대상으로 Tizen OS의 RISC-V 지원을 확대하고, UI 프레임워크, SDK 및 .NET 런타임을 확장하는 한편, RISE(RISC-V Software Ecosystem) 참여를 통해 RVV 기반 소프트웨어 생태계 구축에도 이바지하고 있다[50].

## IV. RISC-V 기반 범용 프로세서 및 AI 가속기 개발 동향

표준 ISA와 시스템 소프트웨어 생태계가 성숙함에 따라 RISC-V는 연구 중심 아키텍처에서 상용 프로세서와 AI 가속기 플랫폼으로 빠르게 발전하고 있다[4,9,23].

최근에는 범용 프로세서, AI 가속기, 데이터센터용 서버 프로세서, Edge AI SoC 등 다양한 제품이 출시되면서 적용 범위가 임베디드 시스템을 넘어 AI 데이터센터와 생성형 AI 컴퓨팅까지 확대되고 있다[1-4,6].

범용 프로세서 분야에서는 SiFive, Andes, Alibaba T-Head, BOSC, Tenstorrent 등이 고성능 RISC-V 프로세서를 중심으로 제품군을 확대하고 있다. SiFive와 Andes는 임베디드부터 서버급까지 다양한 프로세서 IP들을 제공하며, 기능 안전과 벡터 확장을 지원하는 제품을 통해 자동차와 AI 컴퓨팅 시장으로 적용 범위를 확대하고 있다. Alibaba T-Head는 Xuantie 시리즈를 기반으로 서버용 프로세서를 개발하고 있으며, BOSC는 Out-of-Order 기반 서버 프로세서를 통해 HPC와 AI 데이터센터 시장을 겨냥하고 있다. 또한, DeepComputing은 RISC-V 기반 노트북과 개발 플랫폼을 상용화하여 범용 컴퓨팅 시장으로의 확장 가능성을 보여주고 있다[5,8,29-31,40,48,49].

AI 가속기 분야에서도 데이터센터와 Edge AI를 대상으로 한 다양한 제품이 등장하고 있다. Tenstorrent는 자체 AI 가속기와 RISC-V 제어 프로세서를 결합한 Wormhole 및 Blackhole NPU를 개발하여 생성형 AI와 LLM 추론을 지원하고 있으며[6,26], Semidynamics는 메모리 중심 아키텍처를 적용한 AI 추론 프로세서를 개발하였다[41]. Alibaba T-Head는 XTAI 플랫폼과 TeleVPU를 통해 영상 AI와 AI-HPC를 지원하고 있다[29].

Edge AI 분야에서는 ESWIN Computing, Andes Technology, Nuclei 및 StarFive 등이 GPU, NPU, DSP와 벡터 프로세서 등 다양한 연산 가속기를 통합한 RISC-V 기반 AI SoC를 개발하고 있으며, 이를 기반으로 AIoT와 온디바이스 AI 응용을 위한 컴퓨팅 플랫폼의 적용 범위를 확대하고 있다[29-31,40,41,48,49].

최근의 제품 개발은 단순히 프로세서 성능을 향상시키는 수준을 넘어 CPU와 AI 가속기를 하나의 플랫폼으로 통합하는 방향으로 발전하고 있다. 특히 데이터센터용 제품은 생성형 AI와 대규모 언어 모델을 지원하기 위해 고성능 벡터 연산, 대용량 메모리, 고속 인터커넥트를 통합하는 방향으로 발전하고 있으며, Edge AI 제품은 저전력 AI 추론과 실시간 처리를 위한 SoC 형태로 진화하고 있다. 이처럼 RISC-V 기반 프로세서와 AI 가속기는 응용 환경에 최적화된 다양한 제품군으로 확대되면서 AI 컴퓨팅 플랫폼의 핵심 구성 요소로 자리매김하고 있다[6,23,41].

## V. 시장 동향 및 주요 활용 사례

### 1. 시장 동향

AI 컴퓨팅 시장은 생성형 AI 및 LLM 기술의 확산으로 데이터센터 중심에서 Edge AI, 산업용 AI, 지능형 로봇 등으로 응용 영역이 확대되며 최적화된 프로세서 수요가 증가하고 있으며, 이에 범용 CPU의 한계를 넘어 AI 가속기 기반 이기종 컴퓨팅으로 전환되는 가운데, 개방형 ISA인 RISC-V가 차세대 프로세서 시장의 성장축으로 부상하고 있다[2-4,7,17].

시장조사 기관들은 AI 반도체 시장의 성장세가 지속됨에 따라 향후 10년간 RISC-V 생태계 역시 안정적인 성장이 지속될 것으로 전망한다. MRFR (Market Research Future)이 발표한 시장 분석에서는 글로벌 RISC-V 기술 시장이 2025년 약 30.4억 달러에서 2035년 약 202억 달러 규모로 확대되어 연평균 20.9% 성장할 것으로 전망하였으며[7], SNS Insider와 Acumen Research 역시 AI 반도체와 Edge AI 시장 확대를 반영하여 높은 성장 가능성을 제시하고 있다. 이러한 성장은 AI 데이터센터 투자 확대뿐만 아니라 AIoT, 산업용 로봇, 자율주행, Physical AI 및 엣지 컴퓨팅 시장의 확산이 동시에 이루어지고 있기 때문으로 분석된다.

RISC-V 기반 SoC 출하량은 2023년 약 13억 개에서 2031년 약 205억 개로 증가할 것으로 전망되며, 시장 점유율도 2024년 5.9%에서 2031년 25.7%까지 확대가 예측된다[48]. 특히 생성형 AI와 AI 데이터센터의 확산에 따라 2028년 이후 RISC-V 기반 SoC의 출하량이 증가세를 보일 것으로 전망된다[48].

산업 측면에서도 RISC-V의 적용 범위는 기존 MCU와 임베디드 프로세서를 중심으로 한 응용 분야에서 범용 프로세서, AI 가속기, 데이터센터용 프로세서, 자동차용 SoC 및 산업용 엣지 컴퓨팅 플랫폼으로 확대되고 있다.

### 2. 산업 분야 적용 사례

#### 2.1 AI 컴퓨팅 및 데이터센터 적용 사례

생성형 AI와 대규모 언어모델의 확산에 따라 AI 데이터센터에서는 대규모 병렬처리와 고효율 AI 추론을 지원할 수 있는 개방형 컴퓨팅 플랫폼에 대한 요구가 지속적으로 증가하고 있다. 이에 따라 RISC-V는 GPU 및 AI 가속기의 제어 프로세서, AI 추론 가속기 등 적용 범위를 확대하고 있다[4,6,23].

대표적인 사례로 Alibaba는 XuanTie C930 서버 프로세서와 TeleVPU AI 비디오 가속기를 통해 AI 데이터센터와 AI-HPC 서비스를 제공하고 있다. 또한 SOPHGO는 SG2042 기반 AI 서버 플랫폼을, Rivos와 Canonical은 Ubuntu 기반 데이터센터 플랫폼을 구축하여 RISC-V 기반 서버 생태계를 확대하고 있다[5,23,29-31,48].

최근에는 AI 추론 플랫폼도 빠르게 발전하고 있다. Tenstorrent는 Wormhole과 Blackhole 기반 AI 서버 플랫폼을 통해 생성형 AI와 LLM 추론을 지원하고 있으며, Semidynamics는 메모리 중심(Memory-centric) AI 추론 프로세서를 개발하여 데이터 이동을 최소화한 데이터센터 AI 인프라를 제안하고 있다. Esperanto Technologies 역시 대규모 병렬 RISC-V 기반 AI 추론 프로세서를 개발하여 고성능 · 저전력 AI 서비스를 지원하고 있다[6,10,26,41]. 이처럼 RISC-V는 AI 서버, 클라우드 AI, AI-HPC 및 생성형 AI 서비스까지 적용 범위를 확대하며 개방형 AI 데이터센터 플랫폼의 핵심 아키텍처로 자리 잡고 있다[4,7,40,42].

#### 2.2 Edge AI 적용 사례

Edge AI 환경에서는 저전력과 실시간 응답성이

중요해짐에 따라 AI 추론 기능을 내장한 RISC-V 기반 SoC의 활용이 빠르게 확대되고 있다. RISC-V는 사용자 정의 ISA 확장과 AI 가속기의 유연한 통합이 가능하여 AIoT, 산업자동화, 스마트카메라 및 스마트 디바이스와 같은 온디바이스 AI 플랫폼에 적합한 구조를 제공한다[2,14].

대표적으로 ESWIN은 GPU, NPU, 그리고 DSP를 통합한 AI SoC를 통해 LLM 추론과 다채널 영상 분석을 지원하고 있으며, Andes Technology는 AIoT용 딥러닝 가속기와 임베디드 LLM 기술을 제공하고 있다. 또한, StarFive와 Nuclei는 RVV 기반 프로세서와 AI 추론 프로세서를 통해 Edge AI 성능을 향상시키고 있으며, Alibaba XuanTie는 XTAI 플랫폼을 기반으로 객체 검출, 영상 분석, 초해상도 및 온디바이스 LLM 추론을 지원하고 있다[29-31,40,48,49].

이와 같이 RISC-V 기반 Edge AI 플랫폼은 저전력 AI 추론과 실시간 데이터 처리를 요구하는 다양한 응용 분야로 확대되고 있으며, 향후 AIoT와 산업용 AI 플랫폼의 핵심 컴퓨팅 기반으로 활용이 더 증가할 것으로 전망된다.

### 2.3 Physical AI 및 SDx 적용 사례

Physical AI의 확산으로 센서 융합, AI 추론, 실시간 제어를 하나의 플랫폼에서 통합 수행할 수 있는 컴퓨팅 아키텍처의 중요성이 높아지고 있다. 개방형 ISA와 사용자 정의 명령어 확장을 지원하는 RISC-V는 로봇, 자율주행차, 드론, 스마트 팩토리와 소프트웨어 정의 차량을 비롯한 AI 플랫폼에서는 AI 연산을 수행하는 핵심 컴퓨팅 요소로 활용되고 있다[14,44].

Alibaba는 ROS 기반 Robot Car 플랫폼을 통해 AI 비전 인식, SLAM, 주행 경로 생성과 장애물 회피 기능을 통합한 자율주행 기술을 개발하였으며[29], ESWIN은 V-SLAM과 산업용 비전 검사, 로봇 제어를 지원하는 AI SoC를 제공하고 있다. 자동차 분야에서는 Great Wall Motors가 RISC-V 기반 SDV 플랫폼을 개발하고 있으며, Infineon도 차량용 RISC-V 마이크로컨트롤러를 발표하여 차량용 컴퓨팅 시장을 확대하고 있다[52]. 우주 · 항공 분야에서는 Microchip의 PIC64-HPSC와 ESA, NASA, BAE Systems 등의 연구를 통해 우주 컴퓨팅과 자율 우주 탐사 시스템에도 RISC-V 기반 플랫폼이 적용되고 있다[14,15,44,48]. 이처럼 RISC-V는 Physical AI와 SDx 환경에서 AI 추론, 센서 처리 및 실시간 제어를 통합하는 개방형 컴퓨팅 플랫폼으로 활용 범위를 지속적으로 확대하고 있다.

### 2.4 AI 보안 및 신뢰 컴퓨팅 적용 사례

생성형 AI 서비스의 적용 범위가 확대되면서 AI 모델, 데이터 및 컴퓨팅 자원의 보호가 중요한 과제로 부상하면서 RISC-V는 AI 데이터센터와 Edge AI를 위한 신뢰 컴퓨팅 플랫폼으로 활용되고 있다. 대표적으로 CHERI-RISC-V는 Capability 기반 메모리 보호를 통해 메모리 안전성을 향상시키고 있으며[16], Codasip은 CHERI 기반 상용 프로세서를 공개하여 보안 프로세서 적용 가능성을 제시하였다[21,27]. Vector Cryptography Extension은 AES와 SHA 등 암호 연산을 벡터 기반으로 가속하여 데이터센터와 클라우드 환경의 암호 처리 성능을 향상시키고 있으며, WorldGuard는 하드웨어 기반 자원 격리를 지원하여 미션 크리티컬 시스템으로 적용 범위를 확대하고 있다[17,21,27].

또한, Hypervisor 확장과 CoVE는 AI 워크로드의 안전한 격리와 신뢰 실행 환경을 제공하며[45], 데이터센터뿐만 아니라 자동차와 AIoT 플랫폼에서도 활용이 확대되고 있다. 최근에는 Infineon, Microchip, Rivos 등의 사례와 같이 보안, 가상화 및 신뢰 실행 기술을 AI 컴퓨팅 플랫폼과 통합하는 방향으

로 발전하고 있으며, RISC-V는 AI Security Processor와 Secure AI Infrastructure 구현을 위한 핵심 플랫폼으로 자리 잡고 있다[23,45,48].

## VI. RISC-V 기술의 미래 전망

AI 워크로드의 다양성 증가로 CPU, GPU, NPU, DPU 및 다양한 도메인 특화 프로세서(DSA: Domain-Specific Architecture)가 유기적으로 협력하는 이기종 컴퓨팅 환경으로 빠르게 전환될 것으로 전망된다[2,4,23]. 이러한 환경에서는 개별 프로세서의 성능 향상보다 이기종 컴퓨팅 자원의 효율적인 통합과 개방형 프로그래밍 환경이 더욱 중요해질 것으로 예상되며, RISC-V는 범용 프로세서와 AI 가속기를 연결하는 공통 컴퓨팅 플랫폼으로 활용 범위를 지속적으로 확대할 것으로 보인다.

AI 데이터센터는 이기종 가속기와 메모리, 스토리지 및 고속 인터커넥트를 통합하는 시스템 구조로 발전하고 있으며, 차세대 인터커넥트 기술을 기반으로 대규모 AI 컴퓨팅 플랫폼이 구축되고 있다. 이에 따라 RISC-V는 AI 가속기의 제어 프로세서와 시스템 관리 기능을 수행하는 범용 프로세서로 활용이 확대되고 있으며, 이기종 AI 컴퓨팅 플랫폼의 핵심 구성요소로 활용되고 있다.

소프트웨어 생태계도 CPU 중심에서 AI 가속기 중심으로 발전할 것으로 보인다. 컴파일러, AI 프레임워크, 런타임 및 운영체제를 포함하는 오픈소스 생태계가 지속적으로 성숙하면서 AI 데이터센터, Edge AI 및 Physical AI를 아우르는 공통 개발 환경과 실행 플랫폼이 구축될 것으로 예상된다. 이러한 개방형 소프트웨어 플랫폼은 특정 벤더에 대한 종속성을 완화하고 다양한 AI 프로세서와 AI 가속기의 상호운용성을 높이는 기반이 될 것이다.

한편, RISC-V를 둘러싼 글로벌 경쟁은 국가 간 기술 주도권 확보와 공급망 재편의 영향을 지속적으로 받을 것으로 예상된다. 이러한 글로벌 경쟁 속에서도 개방성과 확장성을 기반으로 하는 RISC-V는 다양한 AI 컴퓨팅 플랫폼을 연결하는 핵심 아키텍처로 자리매김하며 차세대 AI 인프라의 중요한 기반 기술로 발전할 것으로 전망된다.

## VII. 결론

본고에서는 AI 컴퓨팅 환경을 중심으로 RISC-V 기술의 발전 동향과 국제 표준화, 주요 국가 및 기업의 연구개발 현황, 그리고 AI 데이터센터, Edge AI, Physical AI 및 AI 보안 · 신뢰컴퓨팅 분야에서의 활용 동향을 종합적으로 살펴보았다. RISC-V는 개방형 ISA를 기반으로 높은 확장성과 유연성을 제공하며, 범용 프로세서와 AI 가속기를 아우르는 차세대 AI 컴퓨팅 플랫폼으로 빠르게 발전하고 있다.

향후 RISC-V 기반 AI 컴퓨팅 경쟁력 확보를 위해서는 프로세서 IP 개발뿐만 아니라 시스템 소프트웨어와 AI 플랫폼을 포함하는 개방형 생태계 구축이 중요하다. 또한, 국제 표준화와 오픈소스 참여를 확대하고, AI 시스템 소프트웨어와 신뢰 컴퓨팅 기술을 연계한 연구개발을 지속적으로 추진할 필요가 있다. 이러한 기술적 기반은 국내 AI 반도체 산업의 경쟁력을 강화하고, 독자적인 RISC-V 기반 AI 컴퓨팅 생태계를 구축하는 데 중요한 기반이 될 것으로 판단된다.

## 참고문헌


[1] D. Patterson and A. Waterman, “The RISC-V Reader: An Open Architecture Atlas,” Strawberry Canyon LLC, San Francisco, CA, USA, 2017.

[2] A. Waterman and K. Asanović, “The RISC-V Instruction Set Manual Volume I: User-Level ISA Document Version 2.2,” University of California, Berkeley, Tech. Rep., May 2017.

[3] K. Asanović and D.A. Patterson, “Instruction sets should be free: The case for RISC-V,” EECS Department, University of California, Berkeley, Tech. Rep. UCB/EECS-2014-146, 2014.

[4] RISC-V International, “RISC-V Annual Report 2025,” RISC-V International, 2025.

[5] SiFive Inc., “SiFive Intelligence X280 Gen 2 Product Brief,” SiFive Inc., 2025. https://www.sifive.com/document-file/sifive-intelligence-x280-gen2-product-brief

[6] M. Bahnas et al., “Tenstorrent Overview: Products and Software,” Innovative Computing Laboratory, University of Tennessee, Mar. 2024. https://icl.utk.edu/newsletter/presentations/2024/mohamed-bahnas-2024-03-22.pdf

[7] Market Research Future, “RISC-V Tech Market,” Market Research Future, Jan. 2025. https://www.marketresearchfuture.com/reports/risc-v-tech-market-38126

[8] T. Morgan, “Ventana Launches Veyron V2 RISC-V Into The Datacenter,” The Next Platform, Nov. 7, 2023.

[9] RISC-V International, “RISC-V Vector Extension Specification,” 2025. [Accessed 2025. 7. 1.] https://github.com/riscvarchive/riscv-v-spec

[10] R.D. David et al., “Accelerating ML Recommendation with over 1,000 RISC-V/Tensor Processors on Esperanto’s ET-SoC-1 Chip,” IEEE Micro, vol. 42, no. 3, 2022, pp. 31-38.

[11] LLVM Foundation, “User Guide for RISC-V Target,” LLVM Documentation. https://llvm.org/docs/RISCVUsage.html

[12] ONNX Runtime, “ONNX Runtime,” https://deepwiki.com/onnx/tutorials/4.1-onnx-runtime

[13] Viso.ai, “TensorFlow Lite - Real-Time Computer Vision on Edge Devices,” https://viso.ai/edge-ai/tensorflow-lite/

[14] V.N. Chander and K. Varghese, “A soft RISC-V vector processor for edge-AI,” in Proc. Int. Conf. VLSI Des. Embedded Syst., (Virtual), Feb. 2022, pp. 263-268. doi: 10.1109/VLSID2022.2022.00058

[15] F. Zaruba and L. Benini, “The Cost of Application-Class Processing: Energy and Performance Analysis of a Linux-ready 1.7 GHz 64-bit RISC-V Core in 22 nm FDSOI Technology,” IEEE Trans. Very Large Scale Integr. Syst., vol. 27, no. 11, 2019, pp. 2629-2640.

[16] R.N.M. Watson et al., “CHERI: A Hybrid Capability-System Architecture for Scalable Software Compartmentalization,” in Proc. IEEE Symp. Secur. Privacy, (San Jose, CA, USA), May 2015, pp. 20-37.

[17] J.L. Hennessy and D.A. Patterson, “Computer Architecture: A Quantitative Approach,” 6th ed., Morgan Kaufmann, 2019.

[18] Intel Corporation, “2024-2025 Intel IT Annual Performance Report,” Intel Corporation, Tech. Rep., 2025.

[19] Arm Ltd., “Arm Compute Platform: Scalable, Secure Compute for AI,” Arm Ltd. https://www.arm.com/company/arm-compute-platform

[20] Arm Ltd., “Arm Architecture Reference Manual Supplement Armv9, for Armv9-A Architecture Profile,” Arm Ltd., 2024.

[21] Codasip Ltd., “Efficient Verification of RISC-V Processors,” Codasip Ltd., Tech. Paper, 2024.

[22] R. Han et al., “Supporting CUDA for an Extended RISC-V GPU Architecture,” arXiv preprint, 2021. doi: 10.48550/arXiv.2109.00673

[23] RISC-V International, “RISC-V RVA23 Profile,” RISC-V International. https://docs.riscv.org/reference/rva23/v1.0/rva23-profiles.html

[24] T. Mann, “Nvidia Extends CUDA Support to RISC-V Just in Time for Next Wave of Chinese CPUs,” The Register, July 21, 2025.

[25] M. Larabel, “NVIDIA Bringing CUDA To RISC-V,” Phoronix, July 20, 2025.

[26] S. Ward-Foxton, “Tenstorrent Commercializes RISC-V CPU and AI Accelerator IP,” EE Times, Sep. 25, 2025.

[27] Wikipedia, “Capability Hardware Enhanced RISC Instructions,” https://en.wikipedia.org/wiki/Capability_Hardware_Enhanced_RISC_Instructions

[28] Research In China, “Automotive RISC-V Chip Industry Research Report,” Research In China, 2024. https://www.researchinchina.com/Htmls/Report/2024/73952.html

[29] Y. Pu, “Xuantie-910: Innovating Cloud and Edge Computing by RISC-V,” in Proc. Hot Chips 32 Symp., (Virtual), Aug. 2020. https://hc32.hotchips.org/assets/program/conference/day1/HotChips2020_Edge_Computing_Xuantie910_v1.1.pdf

[30] StarFive Technology, “StarFive JH-7110 Technical Reference Manual,” StarFive Technology, 2023.

[31] Sophgo Technologies, “SG2042 RISC-V Processor Specifications,” Sophgo Technologies, 2020.

[32] openEuler, “openEuler 24.03 LTS: Pioneering Native RISC-V Support,” openEuler, 2024
[33] European Commission, “The EU Open Source Strategy,” European Commission, 2026.
[34] OpenHW Group, “CVA6 Design Document,” OpenHW Group, 2020.
[35] Codasip Ltd., “Codasip,” https://codasip.com/
[36] European Processor Initiative, “European Processor Initiative,” https://www.european-processor-initiative.eu/epi/
[37] 과학기술정보통신부, “제1차 국가전략기술 육성 기본계획('24~'28),” 2024.
[38] 전원, 여준기, “초거대 인공지능 프로세서 반도체 기술 개발 동향,” 전자통신동향분석, 제38권 제5호, 2023, pp. 1-11.
[39] DeepX Co., Ltd., “DX-M1 AI Accelerator Brief-D26-V1,” DeepX Co., Ltd., Tech. Documentation, 2026. https://cdn.deepx.ai/wp-content/uploads/2026/05/07130804/DEEPX-DX-M1-Chip-AI-Accelerator-E-Brochure.pdf
[40] Andes Technology, “AI on RISC-V: The 3rd Processor Revolution,” Andes Technology Corp., 2025.
[41] 반도체네트워크, “세미다이내믹스, 메모리 중심 AI 추론 플랫폼으로 AI 인프라 혁신 제시,” 반도체네트워크, 2026. https://www.seminet.co.kr/posts/post-3240
[42] S. Munoz, “Intel Invests in Foundry Ecosystem, Embraces RISC-V,” EE Times, 2022. 9. 2.
[43] C. Celio et al., “The Rocket Chip Generator,” EECS Department, University of California, Berkeley, Tech. Rep. UCB/EECS-2016-17, 2016.
[44] ROS 2 Technical Steering Committee, “Robot Operating System 2: Design, Architecture, and Uses in the Wild,” arXiv preprint, 2022. doi: 10.48550/arXiv.2211.07752
[45] RISC-V International, “Confidential VM Extension (CoVE) for Confidential Computing on RISC-V Platforms,” Draft Specification, 2024.
[46] RISC-V International, “RISC-V Functional Safety Specification for Automotive Systems,” arXiv preprint, 2026. doi: 10.48550/arXiv.2604.17391
[47] ISO, “ISO 26262: Road Vehicles - Functional Safety,” ISO Standard, 2018.
[48] RISC-V International, “From ISA to Industry: Accelerating Technical Progress and RISC-V Adoption in 2025,” RISC-V Summit Europe, 2025. https://riscv.org/wp-content/uploads/2025/06/RISC-V-Summit-Europe-Slides-2025-Andrea-Gallo.pdf
[49] 중국 RISC-V 서밋, “RISC-V Summit China 2025,” 2025. https://github.com/cnrv/RVSC2025
[50] Tizen, “Tizen RISC-V Status,” LF RISE Wiki. https://lf-rise.atlassian.net/wiki/spaces/HOME/pages/8589332/Tizen+RISC-V+Status
[51] RISC-V International, “RISC-V Ratified Specifications Library,” RISC-V International. https://docs.riscv.org/reference/home/index.html
[52] HighTec EDV-Systeme GmbH, “New Era: Infineon Automotive RISC-V Virtual Prototype with HighTec Automotive-Grade Compiler,” HighTec EDV-Systeme GmbH, 2025. 4. 23.
[53] N. Flaherty, “HighTec Compiler Supports Nuclei RISC-V CPU Core,” eeNews, 2025. 1. 20.