

2008년 12월

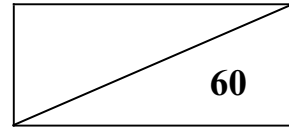
08ZB1300-01-8051P

실리콘-게르마늄 양자채널 나노 신소자 기술

SiGe-Based Quantum Channel Nano-Device Technology

2008년 12월

08ZB1300-01-8051P



실리콘-게르마늄 양자채널 나노 신소자 기술

SiGe-Based Quantum Channel Nano-Device Technology

인 사 말 씀

인텔과 IBM 등 반도체제조 선도기업들은 IT-SoC의 고성능을 위해, 기존 실리콘 나노 CMOS 소자를 비롯 실리콘-게르마늄 나노 반도체 소자개발에 많은 투자를 하고 있는 실정입니다. 게이트 길이 45 nm 이하의 CMOS 소자를 위해 실리콘-게르마늄 반도체 소자기술, 고품질 게이트 절연막 형성기술, 금속 게이트 재료 개발 등 연구를 집중하고 있습니다.

IT-SoC의 핵심기반이라 할 수 있는 차세대 반도체 소자 기술의 핵심 요소분야는 소재/소자, 장비, 나노공정, 분석기술 등 입니다. 본 연구과제는 차세대 반도체 소자기술의 중심에 있는 실리콘-게르마늄 반도체에 관한 것으로, 핵심원천기술을 개발하여 추후 실용화에 대비하여 초석을 마련하는 것입니다. 최근 10년간 ETRI는 이 분야의 기술을 지속적으로 연구하여 요소기술을 개발하여 오고 있으며, 또한 국내기술을 주도하여 왔습니다.

본 연구과제는 실리콘-게르마늄 제작을 위한 기본기술 및 기초실험으로 출발하여, 2차년도에서 실리콘-게르마늄 제작을 위한 원천 단위공정기술 연구를 수행하였습니다. 3차년도에서는 고농도 실리콘-게르마늄 버퍼 및 에피성장 기술, 고유전율을 이용한 게이트 절연막 형성기술 등을 새로이 개발하였습니다. 4차년도에서는 고이동도 SiGe SFET(strained FET) 소자특성 최적화 및 테스트 소자 제작을 통한 검증, SiGe;C/Si 에피 및 버퍼성장 기술, 고품질 게이트 절연막 공정기술 최적화 연구를 수행하였습니다. 최종년도인 5차년도에는 SiGe SFET 채널구조 및 공정기술 최적화, SiGe SFET 공정기술 집적화 연구를 수행하여 연구 목표를 우수하게 달성하였습니다. 이는 연구를 수행한 연구원들의 노력의 결실이며, 나아가 국가적인 기술 경쟁력을 확보할 수 있는 기반이 될 것입니다.

끝으로, 본 연구과제 수행을 위해 후원을 해주신 연합이사회 산업기술연구회 관계자 및 한국전자통신연구원 관계자 여러분께 깊은 감사를 드리며, 아울러 본 연구과제를 성실히 수행한 연구원들의 노고를 치하하는 바입니다.

2008년 12월

한국전자통신연구원 원장 최 문 기

제 출 문

본 연구보고서는 기본사업인 "실리콘-게르마늄 양자채널 나노신소자 기술에 관한 연구"의 결과로서, 본 과제에 참여한 아래의 연구팀이 작성한 것입니다.

2008년 12월

연구책임자 : 선임연구원 이 상 흥 (초고주파소자개발팀)

연구참여자 : 책임연구원 임 중 원 (초고주파소자개발팀)

 선임연구원 김 상 훈 (MIT 소자팀)

 선임연구원 배 현 철 (시스템통합기술팀)

요 약 문

I. 제 목

실리콘-게르마늄 양자채널 나노 신소자 기술

II. 연구목적 및 중요성

본 연구는 IT-SoC 산업의 핵심기반인 차세대 반도체 소자기술 확보를 위하여 실리콘-게르마늄 양자채널을 이용한 나노신소자 원천기술을 개발하는 것이다. “NTRM 2002 반도체 나노신소자 기술개요”에서 고성능 SoC 의 효과적인 개발을 위해서 고속화, 저전력화, 고밀도화 특성을 갖는 실리콘 기반의 반도체 나노소자 기술이 필수적임이 강조되었다. 그러나 45 nm 이하 급 소자기술에서 종래의 실리콘 CMOS (Classical CMOS) 소자로는 동작속도 향상과 소비전력/발열문제의 해결이 불가능할 뿐 아니라 저주파 잡음의 증가도 감당하기 어려운 문제로 알려져 있다. 따라서 기존의 실리콘 CMOS 반도체 소자의 물리적 한계를 극복하기 위한 여러 형태의 Non-Classical CMOS 구조가 제안되고 있는데, 이중 가장 유력한 후보가 실리콘-게르마늄 양자채널을 이용한 CMOS 소자이다. 본 연구는 이 SiGe(C)/Si 양자채널의 물리적 특성, 동작현상의 이해를 통한 나노 소자 제작기술개발 및 측정기술 개발을 연구목표로 삼은바 있다. 초고속-저전력 실리콘-게르마늄 양자채널 나노 신소자는 본 연구실이 보유하고 있는 SiGe/Si 에피기술, 저온-라디컬 절연막 성장기술 및 저잡음 소자기술을 기반으로 한다. 세계의 실리콘 반도체 기술을 선도하는 인텔의 경우, 실리콘 기반의 200 GHz 급 나노소자를 이용하여 12 GHz 클럭으로 동작하는 프로세서를 2010 년까지 상업화한다고 발표한 바 있으며, 이를 위해 SiGe SFET (Strained Field Effect Transistor) 기술을 개발 중이다. 본 과제의 목표는 인텔 등 반도체 선진국과

대등하거나 우월한 수준의 고속-저전력 실리콘-게르마늄 양자채널 나노 신소자의 원천특허와 기술력을 확보하는 것이 본 연구의 목적이다.

III. 연구내용 및 범위

본 연구실이 확보하고 있는 SiGe 반도체 기술 resource 로 나노 신소자의 기반기술을 개발하여 향후 부딪히게 될 특허분쟁, 기술료 등의 문제를 공략하기 위해 원천기술의 발굴 및 특허확보, 국내의 학계와 산업체와 긴밀한 협조에 의한 연구 저변확대, 독창적 아이디어의 발굴, 실용화 체계강화에 역점을 두어 추진한다. 연구내용 및 범위는 다음과 같다.

- 고농도 SiGe/Si 에피 및 버퍼 성장기술 ($X_{Ge}=0.5$) 개발
- 고이동도 SiGe SFET 소자특성 최적화 연구
- Radical-Assisted OxyNitridation (RAON)을 이용한 SiON (SiON/SiO₂ 구조) 게이트 절연막 형성 기술 개발
- High-k 를 이용한 게이트 절연막 형성기술 개발
- 고이동도 SiGe SFET 소자 특성 최적화 연구
- 고이동도 SiGe SFET 제조기술 개발
- SiGe SFET 공정기술 집적화 연구

IV. 연구결과

실리콘-게르마늄 양자채널 나노 신소자 제작을 위해 필요한 단위공정으로 고이동도 SiGe SFET 소자특성 최적화, 고성능 SiGe/Si 에피 및 버퍼 성장기술, 저온 고청정 게이트 절연막 형성기술 (RAON) 및 고유전율을 이용한 게이트 절연막 성장 기술이 선행연구 결과로 확보되었으며, SiGe SFET 채널구조 최적화와 집적화 기술이 새로이 확보되었다. 다음은 주요 연구결과이다.

- 실리콘 기판상의 저온/고농도 SiGe 양자채널 에피성장 기술
- 실리콘 기판상의 고온/고농도 SiGe 양자채널 에피성장 기술
- SiGe SFET 채널구조 및 공정기술 최적화
- SiGe SFET 공정기술 집적화
- SCI 급 국제논문 게재 5 건, 국제논문 발표 1 건
- 국내특허 등록 4 건 및 출원 2 건, 국제특허 출원 2 건

V. 기대성과 및 건의

본 연구에서 개발된 고동도 SiGe/Si 에피성장 기술, 고이동도 SiGe SFET 채널구조 및 공정기술 최적화, SiGe SFET 공정기술 집적화 등이 기존 실리콘 CMOS 소자의 성능을 향상시키는데 활용될 것이며, 실리콘 CMOS 소자의 성능향상으로 인하여 장차 IT-SoC 부품의 성능을 높일 것으로 기대된다. 뿐만 아니라, 본 기술은 유무선 통신소자 및 광소자 성능을 향상시키는데 응용될 수 있을 것으로 기대된다. 또한, 국내의 실리콘 반도체에 대한 기술력과 인프라를 감안할 때 산업체에 지적재산권 이전 등을 통한 상용화 및 공동연구에 활용될 것으로 기대된다.

ABSTRACT

I. TITLE

SiGe-Based Quantum Channel Nano-Device Technology

II. THE OBJECTIVES

It was shown that the present SiGe-based quantum-well channel nano-device technology is very promising one to solve the problems of conventional Si CMOS devices, such as operation speed, power consumption and noise limits. One of the most important parts on SiGe technology is considered to be epitaxial growth, which can be divided into SiGe relaxed buffer and quantum-well channel growths.

The objective of this study is to develop the fabrication technology and characterization of a novel nano-device based on the physical characteristics and understanding of SiGe/Si epitaxial quantum channel, including growth technology of gate oxide with high-quality and ultra-thin film. Also, another objective of this study is to secure a source technology and intellectual property rights through a process of a new nano-device development.

III. THE CONTENTS AND SCOPE OF THE STUDY

- SiGe/Si buffer and epitaxial Growth for a SiGe CMOS device with high concentration
- Optimization for high mobility SiGe CMOS device
- Growth of SiON (SiO₂-based SiON) gate oxide with high purity and high quality on Si wafer
- Growth of gate oxide using high-k dielectric material on Si wafer
- A study on fabrication technology of a SiGe CMOS device with high mobility

- A study on process integration of a SiGe CMOS device with high mobility

IV. RESULTS

In this study, we optimized a carrier channel structure of dual-channel SiGe MOSFET with high mobility on Si wafer and developed a process technology for fabrication of dual-channel SiGe MOSFET compatible with Si CMOS process. The results of this study are summarized in the followings.

- Low temperature SiGe/Si buffer and epitaxial growth on Si for a SiGe CMOS device with high concentration
- High temperature SiGe/Si buffer and epitaxial growth on Si for a SiGe CMOS device with high concentration
- Optimization of carrier channel structure for high mobility SiGe CMOS device (enhancement of about 2 times mobility in simultaneous SiGe NMOSFET and PMOSFET than conventional Si NMOSFET and PMOSFET)
- Development of fabrication technology of a dual-channel SiGe CMOS compatible with Si CMOS
- Development of process integration of a SiGe CMOS device with high mobility

V. EXPECTED RESULT & PROPOSITION

Technologies developed in this study will be utilized to improve performance of conventional Si CMOS device. That will lead to upgrade performance of IT-SoC components. Also, we expect early transfer of a source technology and intellectual property rights for SiGe semiconductor to industry.

CONTENTS

CHAPTER 1. Overview of the Research	1
SECTION 1. Necessity of the research	3
SECTION 2. Goal of the research	5
CHAPTER 2. Research Trends	7
SECTION 1. International trends	9
SECTION 2. Domestic trends	11
SECTION 3. Practical use of this study results	11
CHAPTER 3. High Quality SiGe/Si Epitaxial Layer and Dual-channel Growth	15
SECTION 1. Low temperature and high Ge content SiGe/Si epitaxial growth ...	18
SECTION 2. High temperature and high Ge content SiGe/Si epitaxial growth...	20
1. SiGe/Si epitaxial growth using a 1.5% GeH ₄ gas	20
2. SiGe/Si epitaxial growth using a 20% GeH ₄ gas	23
SECTION 3. Conclusions.....	24
CHAPTER 4. Optimazation of the High Mobility SiGe MOSFET Channel Structure	27
SECTION 1. A SiGe buffer layer and a Si/SiGe dual-channel structure	29
SECTION 2. Mask design and device fabrication for optimization of the Si/SiGe dual-channel MOSFET	33
SECTION 3. Optimazation of a Si/SiGe dual-channel structure.....	37
SECTION 4. Conclusions.....	40
CHAPTER 5. Integration of the SiGe SFET Process	41
SECTION 1. Process technology of Si/SiGe MOSFET	43

SECTION 2. Conclusions.....	57
CHAPTER 6. Conclusions and Proposals	59
References.....	65
Abbreviation.....	69
Technical Materials	71

TABLES

<Table 2-1> Technology trends for semiconductor (NTRM2002, p.304)	9
<Table 2-2> Commercial semiconductor.....	10
<Table 2-3> Research product of ETRI SiGe Research Team (since 1998).....	12
<Table 4-1> Results of SiGe MOSFET channel optimization.....	39

FIGURES

< Figure 1-1> Intel’s technology roadmap for CMOS scaling (Intel, 2004.10).....	4
< Figure 1-2> Intel’s technology roadmap for CMOS process (Intel, 2004.10).....	5
< Figure 3-1> Germanium contents as a function of SiH ₄ /GeH ₄	19
< Figure 3-2> Cross-sectional TEM images of Si/SiGe dual channel formed the upper part of SiGe buffer.....	20
< Figure 3-3> Ge contents and SiGe growth rates as a function of the 1.5% GeH ₄ gas flow rate.....	21
< Figure 3-4> Ge contents and SiGe growth rates at 800 °C as a function of the 1.5% GeH ₄ and SiH ₂ Cl ₂ gas flow rate	22
< Figure 3-5> Ge contents and SiGe growth rates as a function of the 20% GeH ₄ gas flow rate.....	24
< Figure 4-1> Cross-sectional TEM image and SIMS profile of the SiGe buffer layer	31
< Figure 4-2> HRXRD rocking curve analysis of the SiGe buffer layer.....	31
< Figure 4-3> Schematic of the strain distribution for the Si/SiGe dual-channel on the SiGe buffer layer.....	32
< Figure 4-4> Cross-sectional TEM image and SIMS profile of the Si/SiGe dual-channel on the SiGe buffer layer formed by RPCVD	32
< Figure 4-5> Schematic of an mask for the SiGe MOSFET devices and the microscophic images of the fabricated SiGe MOSFET	33
< Figure 4-6> Schematic of the fabrication for the SiGe MOSFET device.....	34
< Figure 4-7> Cross-sectional SEM images of a “T-shape” gate as a function of wet Etching time.....	36
< Figure 4-8> Cross-sectional SEM images of the metal deposition on a “T-shape” gate for the metal contact using a sputtering system and an e-beam evaporator system	36

< Figure 4-9> Cross-sectional TEM image of a fabricated SiGe MOSFET devices ...	37
< Figure 4-10> Schematic of SiGe CMOS device.....	38
< Figure 4-11> I-V characteristic of the MOSFET. (upper) NMOSFET, (lower) PMOSFET	38
< Figure 5-1> Schematic of the SiGe buffer layer on Si substrate	45
< Figure 5-2> Cross-sectional TEM image and SIMS profile of the high temperature SiGe buffer layer formed by RPCVD.....	45
< Figure 5-3> Schematic of the buffer oxide layer (Conventional Si/SiGe dual channel MOSFET).....	46
< Figure 5-4> Schematic of the Si cap layer and the buffer oxide layer (Si/SiGe dual channel MOSFET formed by oxidation)	46
< Figure 5-5> Schematic of the well ion implantation (Conventional Si/SiGe dual channel MOSFET).....	47
< Figure 5-6> Schematic of the well ion implantation (Si/SiGe dual channel MOSFET formed by oxidation)	47
< Figure 5-7> Schematic of the Ge agglomeration phenomenon after annealing process (Conventional Si/SiGe dual channel MOSFET).....	48
< Figure 5-8> Schematic of the formation of the Ge rich layer after annealing process (Si/SiGe dual channel MOSFET formed by oxidation).....	48
< Figure 5-9> Cross-sectional TEM image of the formation of the Ge rich layer on Si cap layer after annealing process (a), the Ge agglomeration phenomenon on SiGe buffer layer (b)	49
< Figure 5-10> Schematic of the growth of the Si/SiGe dual channel on SiGe buffer layer (Conventional Si/SiGe dual channel MOSFET).....	50
< Figure 5-11> Schematic of the growth of the strained SiGe channel on the Ge rich layer (Si/SiGe dual channel MOSFET formed by oxidation).....	50
< Figure 5-12> Schematic of the V_{th} ion implantation (Conventional Si/SiGe dual channel MOSFET).....	51
< Figure 5-13> Schematic of the V_{th} ion implantation (Si/SiGe dual channel MOSFET	

formed by oxidation)	51
< Figure 5-14> Cross-sectional TEM image of the Si/SiGe dual channel on SiGe buffer layer formed by Ge rich layer	52
< Figure 5-15> AFM analysis of the Si/SiGe dual channel on SiGe buffer layer formed by Ge rich layer to measure an RMS roughness.....	53
< Figure 5-16> Schematic of the Conventional Si/SiGe dual channel MOSFET	53
< Figure 5-17> Schematic of the Si/SiGe dual channel MOSFET formed by oxidation	54
< Figure 5-18> Cross-sectional TEM image of 1.5nm-thick SiO ₂ based SiON layer grown by an RAON Process.....	56
< Figure 5-19> XPS peak analysis of a SiO ₂ -based SiON.....	56

목 차

제 1 장 서 론.....	1
제 1 절 연구의 필요성	3
제 2 절 연구의 목적	5
제 2 장 국내외 기술개발 현황.....	7
제 1 절 세계 기술현황	9
제 2 절 국내 기술현황	11
제 3 절 본 연구결과의 활용	14
제 3 장 고성능 실리콘-게르마늄/실리콘 단결정 및 이중채널 성장..	15
제 1 절 저온 고농도의 실리콘-게르마늄/실리콘 단결정 성장기술	18
제 2 절 고온 고농도의 실리콘-게르마늄/실리콘 단결정 성장기술	20
1. 1.5% GeH ₄ 가스를 이용한 실리콘-게르마늄 단결정 성장법	20
2. 20% GeH ₄ 가스를 이용한 실리콘-게르마늄 단결정 성장법	23
제 3 절 절 결론	24
제 4 장 고 이동도 실리콘-게르마늄 MOSFET 채널구조 최적화	27
제 1 절 실리콘-게르마늄 응력완화층 및 실리콘/실리콘-게르마늄 이중채 널 구조	29
제 2 절 실리콘-게르마늄 MOSFET 채널구조 최적화를 위한 마스크 제작 및 공정기술	33
제 3 절 실리콘-게르마늄 MOSFET 채널구조 최적화.....	37
제 4 절 절 결론	40

제 5 장 실리콘-게르마늄 MOSFET 공정기술 집적	41
제 1 절 실리콘-게르마늄 MOSFET 공정기술 집적	43
제 2 절 결론	57
제 6 장 결론 그리고 건의사항.....	59
참 고 문 헌.....	65
약 어 표.....	69
기술문서 구성표.....	71

표 목 차

<표 2-1> 국가별 반도체 연구개발 현황 (NTRM2002, p.304).....	9
<표 2-2> 주요 기관별 실리콘-게르마늄 고성능 반도체의 상품화 현황.....	10
<표 2-3> 본 연구팀의 연구실적 요약 (1998 년 이후).....	12
<표 4-1> 실리콘-게르마늄 MOSFET 채널구조 최적화 결과.....	39

그림 목 차

<그림 1-1> 인텔사의 단위소자 발전 로드맵 (인텔사, 2004.10)	4
<그림 1-2> 인텔사의 실리콘 CMOS 소자구조 로드맵 (인텔사, 2004.10).....	5
<그림 3-1> SiH ₄ 과 GeH ₄ 의 비율에 따른 게르마늄의 조성.....	19
<그림 3-2> 응력완화층 상부에 실리콘-게르마늄과 실리콘으로 구성된 이중 채널의 TEM 사진.....	20
<그림 3-3> 증착 온도별 1.5% GeH ₄ 가스의 유량에 따른 게르마늄 조성 및 박막의 증착 속도	21
<그림 3-4> 800℃의 증착 온도에서 1.5% GeH ₄ 가스 및 SiH ₂ Cl ₂ 가스의 유량에 따른 게르마늄 박막의 조성 및 증착 속도.....	22
<그림 3-5> 증착 온도별 20% GeH ₄ 가스의 유량에 따른 게르마늄 조성 및 박막의 증착 속도	24
<그림 4-1> 실리콘-게르마늄 응력완화층의 TEM 사진 및 SIMS 분석 결과31	
<그림 4-2> 실리콘-게르마늄 응력완화층의 응력완화 정도를 측정하기 위한 XRD rocking curve 분석.....	31
<그림 4-3> 실리콘-게르마늄 응력완화층 상부에 실리콘/실리콘-게르마늄 이중채널 형성에 따른 응력분포에 대한 개략도.....	32
<그림 4-4> 실리콘-게르마늄 응력완화층 상부에 성장한 실리콘/실리콘-게르마늄 이중채널의 TEM 사진 및 SIMS 분석 결과.....	32
<그림 4-5> 실리콘-게르마늄 MOSFET 소자 마스크 개략도 및 제작된 실리콘-게르마늄 MOSFET 소자의 현미경 사진.....	33
<그림 4-6> 실리콘-게르마늄 MOSFET 소자 제작 공정 개략도.....	34
<그림 4-7> Wet etch 공정 시간에 따른 “T-shape” 게이트 단면사진	36

<그림 4-8> 금속 전극 형성을 위한 sputter 장비와 e-beam evaporator 장비의 공정 결과 비교 사진	36
<그림 4-9> 실리콘-게르마늄 MOSFET 소자 제작 후 게이트 단면사진	37
<그림 4-10> 실리콘-게르마늄 CMOS 소자 구조	38
<그림 4-11> 실리콘-게르마늄 MOSFET 소자의 전류-전압 특성. (상) NMOSFET, (하) PMOSFET	38
<그림 5-1> 실리콘 기판상에 실리콘-게르마늄 응력완화층을 성장한 단면 개략도	45
<그림 5-2> 고온 성장조건의 실리콘-게르마늄 응력완화층 TEM 사진 및 SIMS 분석 결과.....	45
<그림 5-3> 버퍼산화막을 성장한 단면 개략도 (일반적인 이중채널 형성)	46
<그림 5-4> 실리콘 캡 층과 버퍼산화막을 성장한 단면 개략도 (열산화법을 이용한 이중채널 형성).....	46
<그림 5-5> 웰 형성을 위한 이온주입 공정의 단면 개략도 (일반적인 이중채 널 형성).....	47
<그림 5-6> 웰 형성을 위한 이온주입 공정의 단면 개략도 (열산화법을 이 용한 이중채널 형성).....	47
<그림 5-7> 열처리 공정후의 게르마늄 편석을 보여주는 단면 개략도 (일반 적인 이중채널 형성).....	48
<그림 5-8> 열처리 공정후의 Ge Rich layer 형성을 보여주는 단면 개략도 (열산화법을 이용한 이중채널 형성).....	48
<그림 5-9> 열처리 공정 후에 실리콘 캡 층에 Ge Rich layer 가 형성된 TEM 사진(a)과 응력완화층 상부에 게르마늄 응집현상을 보여주는 TEM 사진(b)	49
<그림 5-10> 응력완화층 상부에 실리콘/실리콘-게르마늄 이중채널 형성한 단면 개략도 (일반적인 이중채널 형성).....	50

<그림 5-11> Ge Rich layer 상부에 실리콘-게르마늄 형성한 단면 개략도 (열산화법을 이용한 이중채널 형성).....	50
<그림 5-12> 문턱전압 이온주입 공정의 단면 개략도 (일반적인 이중채널 형성).....	51
<그림 5-13> 문턱전압 이온주입 공정의 단면 개략도 (열산화법을 이용한 이중채널 형성).....	51
<그림 5-14> 실리콘-게르마늄 응력완화층 상부에 Ge Rich layer 를 이용하여 형성한 실리콘/실리콘-게르마늄 이중채널의 TEM 단면사진....	52
<그림 5-15> 실리콘-게르마늄 응력완화층 상부에 Ge Rich layer 를 이용하여 형성한 실리콘/실리콘-게르마늄 이중채널의 표면 거칠기 측정을 위한 AFM 분석 결과.....	53
<그림 5-16> 일반적인 이중채널 형성법에 의한 MOSFET 소자의 단면 개략도	53
<그림 5-17> 열산화법을 이용한 이중채널 MOSFET 소자의 단면 개략도 ..	54
<그림 5-18> RAON 공정을 이용하여 1.5nm 두께의 SiO ₂ 기반의 SiON 박막 증착 후 상부에 실리콘 다결정 성장한 시편의 단면 TEM 사진	56
<그림 5-19> SiO ₂ 기반의 SiON 박막의 XPS 분석결과	56

제 1 장 서 론

제 1 장 서 론

제 1 절 연구의 필요성

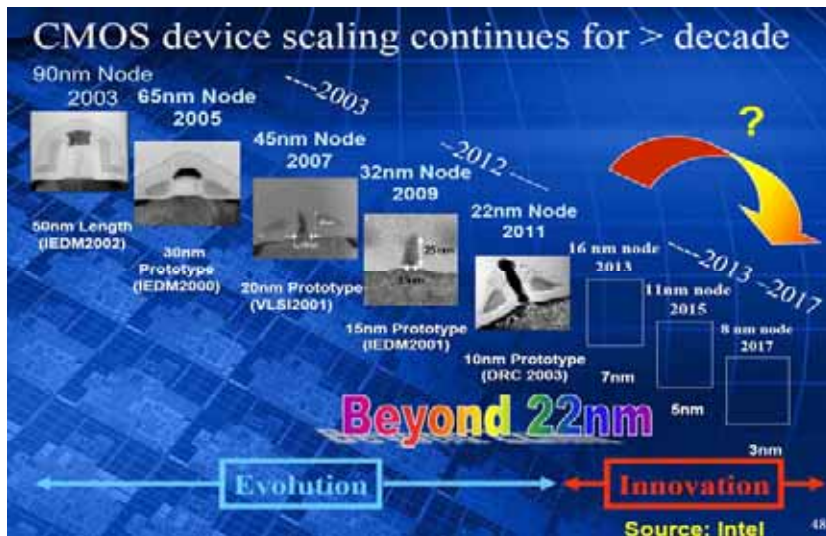
인텔과 IBM 등 반도체제조 선도기업들은 IT-SoC 의 고성능을 위해, 기존 실리콘 나노 CMOS 소자를 비롯 실리콘-게르마늄 나노 반도체 소자개발에 많은 투자를 하고 있는 실정 (IEDM 2005)이며 이를 통한 프로세서-임베디드 SoC 의 산업화를 추구하고 있다. 특히, 게이트 길이 45 nm 이하의 CMOS 소자를 위해 실리콘-게르마늄 반도체 소자기술, 고품질 게이트 절연막 형성기술, 금속 게이트 재료 개발 등 연구를 집중하고 있다. 그러나 국내 회사들의 SiGe 반도체 관련 연구진행은 전무한 실정이므로, 이를 극복하고 산업체가 하루빨리 실리콘-게르마늄 반도체기술을 갖추도록 지원하기 위하여 본 연구를 수행하게 되었다. SFET (strained FET)은 인텔 등에 의해 수년 내에 상용화가 시작될 것으로 예상되는데, 이러한 소자기술은 15 년 이상의 집중적인 SiGe 에피기술을 통해 이룩된 결과이다. 앞으로 실리콘-게르마늄 양자채널 나노 신소자를 기반으로 하는 고성능 회로 제품은 실리콘 반도체산업의 발전에 필수적인 요소로 자리 잡을 전망이다.

반도체 나노 신소자 기술은 반도체 장비, 소재 부품, 화공 등 관련산업과 바이오, 의학, 생명, 에너지, 환경, 문화 등 주변 산업에도 큰 영향을 미치는 기술이므로 이것의 확보는 국가경제의 원동력이 될 것으로 기대된다 (NTRM2002, p.296). 특히, 유비쿼터스 21C 멀티미디어 정보화 사회를 앞두고 방송, 통신, 컴퓨터, 그리고 가전부분의 융합이 가속화 되면서 여러 가지 형태의 상품과 서비스가 속속 출현하고 있다. 이런 가운데 다양한 서비스를 제공하는 프로세서와 메모리가 임베디드 된 IT-SoC 및 응용제품이 차세대 (4G 및 5G) 통신서비스의 이동성을 최대한 보장하고, 사람-사람, 사람-사물, 사물-사물의 네트워크로 정보통신사회의 변혁을 유도할 것이다.

실리콘-게르마늄 양자채널을 이용한 나노 신소자 제작기술 도입은 국내의 미진한 기술성숙도와 해외기업의 기술보호로 인하여 현실적으로 거의 불가능하다. 만

일 기술도입이 되는 경우를 가정한다면, 2010 년 SiGe 반도체시장 (Strategies Unlimited, 1998) 60 조원에 점유율 10%와 기술료 4%를 추정하여 적용하면, 연간 2,400 억원의 로열티를 지급해야 한다는 결론이 나온다. 결국, 국가적으로 자체 기술개발에 의한 경쟁력 확보방안이 기술도입보다 경제성에 있어서 비교할 수 없을 정도로 높다. Strategies Unlimited (1999)사에 의해 실리콘-게르마늄 반도체 세계시장의 규모가 2005 년에는 18 억불로 성장할 것으로 예측되었으며, 2007 년도 세계시장 규모는 33 억불, 국내 (세계시장 7% 적용) 시장창출규모는 277 억불에 달할 것이다.

상술된 바와 같이 기술을 확보하지 못함으로써 외국의 Foundry 를 이용하여 첨단 통신기술의 핵심 IC 를 제작하는 경우에는 모든 설계기술이 외국회사에 노출되고, 연구결과가 노출되는 약점을 면할 수 없으며, 기술적인 종속관계를 면하지 못할 것이다. 또한, 실리콘-게르마늄 양자채널 SFET 은 범용 프로세서나 40 Gbps 이상의 테라비트 광통신용과 같이 H/W dedicated 된 디지털 프로세서 핵심부품의 막대한 시장을 점유할 것이다.



<그림 1-1> 인텔사의 단위소자 발전 로드맵 (인텔사, 2004.10)

제 2 절 연구의 목적

전 세계 반도체시장의 주류를 형성하고 있는 실리콘 CMOS (Si Complementary Metal-Oxide-Semiconductor) 는 지속적인 공정개발과 소자특성의 최적화를 통하여 게이트 길이 20nm 급까지 계속 사용될 것으로 보고되고 있다. 그러나 실리콘 CMOS 가 45 nm 이하 급으로 접어들면서 발생하는 여러 문제들 (마스크 제작비용, 단채널 효과 등)로 인하여 실리콘 CMOS 외의 다른 소자구조에 대한 연구도 매우 활발히 진행되고 있다. <그림 1-1>은 인텔에서 예측한 단위소자발전 로드맵이다. 특히, 게이트 길이 45 nm 급 이하에서는 급속도로 얇아진 게이트 절연막으로 인하여 고 유전율 (high-k) 절연막 및 금속 게이트 (metal gate)의 채택이 필수적인 것으로 예상되는데, 인텔사에서 예측한 <그림 1-2>의 소자구조 예상 로드맵에 잘 나타나 있다.

Continuation of Moore's Law

Intel found a solution for High-k and metal gate

Process Name	P856	P858	Px60	P1262	P1264	P1266	P1268	P1270
1st Production	1997	1999	2001	2003	2005	2007	2009	2011
Process Generation	0.25 μ m	0.18 μ m	0.13 μ m	90 nm	65 nm	45 nm	32 nm	22 nm
Wafer Size (mm)	200	200	200/300	300	300	300	300	300
Inter-connect	Al	Al	Cu	Cu	Cu	Cu	Cu	?
Channel	Si	Si	Si	Strained Si	Strained Si	Strained Si	Strained Si	Strained Si
Gate dielectric	SiO ₂	SiO ₂	SiO ₂	SiO ₂	SiO ₂	High-k	High-k	High-k
Gate electrode	Poly-silicon	Poly-silicon	Poly-silicon	Poly-silicon	Poly-silicon	Metal	Metal	Metal

Potential candidate for introduction Subject to change

Up to 22nm!

Source: Intel 47

<그림 1-2> 인텔사의 실리콘 CMOS 소자구조 로드맵 (인텔사, 2004.10)

Non-classical CMOS 나노 신소자의 핵심기술로는 SOI (Silicon on Insulator), FinFET, Dual-Gate FET, SFET 등이 있는데 극 미세 패터닝 기술개발을 통하여 2010

년대에 45 nm 이하 소자를 실용화한다는 목표를 잡고 있다. 그러나 현재 반도체 동작원리나 양산성 측면에서 볼 때 가장 실현 가능한 소자구조는 SFET (Strained-Si Field Effect Transistor)로 널리 인정되고 있다. 이에 본 연구실은 그 동안 본 연구실에서 수년간 축적해 온 실리콘-게르마늄 양자채널 에피기술을 기반으로 양자채널의 신소자와 새로운 나노급 회로의 기초를 마련하고자 사업을 수행하였다. 이를 통해 수백 GHz에서 동작하는 실리콘-게르마늄 양자소자를 구현하여 Terabit 초고집적 메모리회로와 10 GHz 클럭의 고속논리회로의 시대를 여는데 기반이 될 원천기술을 선도하게 될 것으로 기대된다.

실리콘-게르마늄 반도체는 고속-저잡음 특성 때문에 초고속-저전력 마이크로프로세서, ASIC, 그리고 GaAs 계 화합물반도체의 영역으로 분류되는 RFIC (Radio Frequency Integrated Circuit), MMIC (Monolithic Microwave Integrated Circuit) 기술까지 응용분야가 점차 확대되고 있다. 상술된 바와 같이 미래의 마이크로프로세서에서 고속-병렬연산을 위해 나노 신소자의 고속동작, 저전력, 저잡음 특성을 가장 필요로 한다 (P. Beckett, ACSAC2002, "Towards Nanocomputer Architecture"). 초고속 실리콘-게르마늄 양자소자의 제작에 필요한 핵심기술은 실리콘-게르마늄 양자채널 에피성장, 저온 선택성장 (LT-SEG), 수 원자층의 이차원 불순물 도핑, 저저항/고신뢰성 SiGe-salicide 기술, SiGeC/SOI 기술, elevated S/D, solid phase diffusion 기술 및 저온-래디컬 절연막 기술 등이 포함된다. 고품질 에피성장은 고성능 소자제작에 필요한 가장 중요한 기술이며, 저온 래디컬 절연막 기술은 SiGe의 열적 불완성에 의한 소자 특성 열화를 방지할 수 있는 핵심 기술이다. Solid phase diffusion 기술은 나노 소자의 가장 중요한 기술 중의 하나인 shallow junction을 구현하기 위해 제안된 기술이다. Channel confinement를 구현하는 SiGe(C)/Si 층으로 subthreshold-slope을 줄이고, SiGeC/SOI 기술로 I_{on}/I_{off} 를 높여 열 문제를 격감시킬 수 있을 것으로 기대된다.

본 연구에서는 실리콘-게르마늄 양자채널을 이용한 45 nm 급 고성능 SFET 제작에 필요한 요소기술인 SiGe(C)/Si 양자채널 에피 공정기술, 저온 초박막 래디컬 게이트 절연막 성장기술 및 SFET 특성 최적화 및 소자 제작기술을 중점 개발하고, 원천핵심특허 등 지적재산권 확보에 주력한다. 최종년도인 5 차년도에는 SiGe SFET 채널구조 및 공정기술 최적화, SiGe SFET 공정기술 집적화 연구에 중점을 두었다.

제 2 장 국내외 기술개발 현황

제 2 장 국내외 기술개발 현황

제 1 절 세계 기술현황

SiGe 반도체의 기술개발은 HBT (Hetero-junction Bipolar Transistor, 이종접합 바이폴라 트랜지스터) 소자를 필두로 시작되었다. 1987 년도에 IBM 의 Meyerson 박사가 최초로 HBT 소자를 구현하였고, 1998 년부터 상품화를 발표하였다. 현재는 HBT 의 성능을 300 GHz 대에서 더욱 높이는 기술개발을 추진하고 있으며, CMOS 를 대체할 SFET 와 RTD, PD 같은 기능성 소자의 기술개발로 연계되고 있다.

미국은 CPU, DSP, 통신칩 등과 같은 고부가가치비 메모리 생산에 주력하여 2001 년 세계반도체 시장의 52.5%를 점유하고 있으며, <표 2-1>과 같이 선행공정과 장비개발을 위해 민관공동으로 프로젝트를 추진하고 있다. 일본의 MIRAI, 유럽의 IMEC (Esprit), 대만의 ERSO 와 같은 프로젝트에서 SiGe 반도체의 기술개발 프로그램을 가동시키고 있다. 인텔과 IBM 을 위시하여 대만의 TSMC, UMC 까지 SiGe 반도체 기술경쟁이 매우 치열하게 이어지고 있다.

<표 2- 1> 국가별 반도체 연구개발 현황 (NTRM2002, p.304)

	미국	일본		유럽	대만
사업명/기관	SEMATECH	ASUKA	MIRAI	IMEC	ERSO
목표	공정/장비 기술개발	100-70 nm 공정기술개발	70-50 nm SoC 기술개발	설계공정 기술개발	산업계 필요기술 개발
사업기간	1996-	2001-2006	2001-2008	1984-	1994-
사업예산	140 만불('00 년)	760 억엔	38 억엔('01 년)	130 백만유로	487 백만불

<표 2-2>에 정리된 실리콘-게르마늄 반도체의 상품화 현황에 따르면 세계적으로 SiGe HBT 를 근간으로 한 BiCMOS 기술은 상품화가 대거 진행되었음을 알 수

있다. 미국 IBM, 독일 IHP 등은 SiGe BiCMOS 공정 기술을 보유하고 있는데, 200 GHz 이상의 소자특성을 이용하여 60 GHz 및 77 GHz 밀리미터파 IC 시제품까지 개발하였다. 최근의 발표에서 인텔의 펜티엄 4 프로세서는 SiGe SFET 의 52 MBits SRAM (IEDM Dec. 2002 에서 발표)를 채택할 계획임을 밝혔다. 인텔은 90 nm SFET 로 통신용 IC로 기가비트 이더넷, 광 네트워크, 무선통신 IC를 공급하게 될 것이라고 한다.

<표 2- 2> 주요 기관별 실리콘-게르마늄 고성능 반도체의 상품화 현황

회사명(국가)	제품명(Remarks & Year)
인텔(미)	52MBits SRAM 펜티엄 IV 서버 프로세서
IBM(미)	VCO,PA (GSM, 1998), 40Gbps SONET, DSP (2002), 프로세서/FPGA (개발중)
Atmel's TEMIC(독)	Tx/Rx(Cellular, 1998), Power Amp(GSM, 1999), DECT Chip Set(2000)
Maxim(미)	LNA, Mixer(0.4-2.5 GHz, 2001), Power HBT(1998), Dual band LNA
CommQuest(미)	Tri-band LNA, Power Amp, Phone-on-a Chip(2001)
Intersil(미)	WLNA Adaptor(Power Amp,IF/RF Converter,BB 프로세서, 2.4GHz, 1999)
Hitachi(일)	Optical Coupler(10 Gbps ~ 40 Gbps, 1999), AGC Amp(10Gbps~40Gbps, 2000)
NEC(일)	Limiting Amp, Mux, Demux (10 Gbps~40 Gbps, 2000)
Qualcomm(미)	LNA, Mixer, Freq. Syn., VCO, IF Amp, CDMA 통신 프로세서
SThompson(프&이)	LNA,Mixer, PLL, Attenuator (CDMA, BiCMOS, 2001)

한편, IBM 도 가장 앞서서 실리콘 양자 소자기술을 선도하고 있다. HBT 의 양산화 공정기술을 갖춘 IBM 을 중심으로 10 개 이상의 회사와 연구기관이 Consortium 을 구성하여 다양한 상용제품을 출시하였다. IBM 은 Combo SFET/SOI SRAM 을 개발 (IEDM Dec. 2002 에서 발표)하여 고성능 마이크로프로세서용으로 적용하고자 한다. IBM 은 350 GHz 까지 가능하고, SoC 의 설계에 없어서는 안 되는 기술이 될 것이라고 예측한다.

IMEC 을 통하여 독일, 일본, 프랑스의 반도체 업체들도 앞다투어 SiGe 기술 을 개발하고 있으며, TSMC 와 UMC 도 기술도입을 진행하고 있다. 최근 IMEC 은 Stanford, Intel, ST 등과 Consortium 을 결성하여 45 nm 급 이하에 적용할 목적으로 Ge MOSFET 에 대한 연구를 시작하였다. 그리고 고성능 (FET+RTD)와 (HBT+RTD) 회로는 DARPA 의 지원을 받아서 MIT 링컨 랩의 고속아날로그연구실에서 HRL 과 버지니아대학과 공동연구하고 있다. 미시건 대학에서는 TRD 의 NDR 을 Si FET 과 복합회로로 적용하여 고속-저전력 ULSI 에 응용하는 가능성을 열기 위한 시도로서 FET+RTD 회로의 기초적인 시뮬레이션을 수행하였다.

인텔과 IBM 을 위시하여 SiGe 반도체 기술경쟁이 매우 치열하게 이어질 것이며, 90 nm 와 65 nm 급은 SFET 과 Classical CMOS 가 사용되고, 45 nm 급 이하에서 SGOI (SiGe on insulator), SOI (Si on insulator)에 신소자를 제작하는 기술도입이 증가할 것이며, 10 nm 이하에서는 Fin-FET, DG-FET, Ge-FET 등과 같이 고도의 기술이 요구되게 될 것이다. 본 연구결과는 45 nm ~ 10 nm 급에서 회로에 적용될 가능성이 높고, 동시에 15 nm 이하의 극미소 전자소자 분야에서 미래 기술에 대한 가능성을 탐구하는데 의미가 있다.

제 2 절 국내 기술현황

국내에서 SiGe HBT 와 SFET 소자의 기술개발은 본 연구실에서 유일하게 진행되어 왔다. 상압/감압 화학기상 증착법으로 성장된 SiGe 에피를 사용하여 77 ~ 84 GHz 에서 동작하는 SiGe HBT 기술이 최초로 개발되었고, 이를 이용한 10 bps 광전송 전치증폭기, 2.4 GHz WLL 용 VCO, 840 MHz/1.7 GHz Cellular/PCS 기지국용 전력증

폭기, 1.5 GHz의 5.8 GHz 대역의 LNA, Mixer, VCO MMIC 를 개발하는 성과가 있었다. 그리고 HBT 소자를 CMOS 와 집적화한 BiCMOS 기술로 1-10 GHz Cell Library 개발이 완료되었다. 본 연구팀이 연구개발한 1998 년 이후의 결과를 <표 2-3>에 요약하였다.

<표 2-3> 본 연구팀의 연구실적 요약 (1998 년 이후)

기술분류	연구실적	비고
HBT& BiCMOS 소자 및 핵심공정 기술	<ul style="list-style-type: none"> o SiGe HBT 소자 및 공정기술 <ul style="list-style-type: none"> - 비자기정렬구조 HBT 기술 (f_t/f_{max}: 70 GHz/ 80 GHz) - SiGe HBT 자기정렬구조기술: BiCMOS compatible) o HBT RFIC Library 구축 <ul style="list-style-type: none"> - 병렬분기형 인덕터 (특허) - SiGe HBT 및 수동소자 Library 구축 o SiGe BiCMOS 소자 및 공정기술 <ul style="list-style-type: none"> - BiCMOS, SFET, 능/수동소자 Library 구축 	<p>독자기술: SiGe RF 반도체 기술이전 (2002, 텍소)</p> <p>독자기술: HBT 기술이전 (2000, 광전자)</p>
회로설계 및 제작기술	<ul style="list-style-type: none"> o 1~10GHz SiGe HBT Core Cell Library 설계 <ul style="list-style-type: none"> - 용도: Cellular, PCS, IMT-2000, GPS, WLL/WLAN, ITS-DSRC - 주파수대: 0.9 GHz, 1.8 GHz, 2.4 GHz, 5.8 GHz o SiGe BiCMOS RF 및 IF 통합 MMIC <ul style="list-style-type: none"> - BiCMOS RFIC 응용회로 개발 o 2.5GHz 급 광수신용 IC 설계 및 제작 <ul style="list-style-type: none"> - Pre Amp 및 Limiting Amp 설계 및 제작 - SiGe/Si MQW PD ($f_{3dB}=1.9GHz$, 980 nm) 소자 제작 	<p>독자기술: 고주파용 SiGe 이종접합 에피공정 (2008, 시지트로닉스)</p> <p>국내논문 41 편 국제논문 34 편 (SCI 33 편) 국제발표 35 건</p>
선행기술	<ul style="list-style-type: none"> o 실리콘기반의 p-type SFET 고속소자 원천기술 창출 <ul style="list-style-type: none"> - 1/f 잡음특성이 탁월한 SiGe p-SFET 소자기술 o SiGe modulation-doped MOSFET 원천기술 o Very thin SiGe (Ge=20% max) relaxed buffer 형성기술 o 저온 고정정 래디컬 산화막 (RAO) 형성기술 	<p>특허출원 (국내 52 건, 국제 32 건) 특허등록 (국내 19 건, 국제 7 편)</p>

SiGe HBT 기술은 현재까지 2 회에 걸쳐서 국내 반도체회사에 전수되고 있어 상품화에 진입하고 있다. 최근에 무선통신단말기와 관련된 다수의 사업체들이 IMT-2000 에 적용할 칩들을 IBM, ST, Qualcomm 등으로부터 수입하거나 Foundry 서비스를 받고 있고, 이에 따라 외국기관은 한국의 시장으로 급속히 기술침투하고 있다. 또한, 삼성전자, 하이닉스, KEC 을 방문하여 의견을 수렴한 결과 국내의 SiGe HBT 기술을 실현할 여건은 우수하며 실용화를 위해 부분적으로 노력을 기울이고 있다. 특히, 삼성전자는 300 nm BiCMOS 의 개발을 진행하고 있다. 이러한 국내의 상황과 반도체산업에 있어서 Time-to-Market 의 중요성을 고려할 때, 수 년 사이에 국내의 반도체 산업도 세계적 경쟁력을 갖추어야만 실리콘 기반의 초고속 양자소자분야 선도대열에 들어설 수 있다.

국내대학의 경우 전북대의 SS-MBE 를 이용한 SiGe 양자구조 연구, 연세대의 SiGe 다결정 게이트 CMOS 연구, 서울대의 GS-MBE 를 이용한 SiGe 금속접합에 대한 연구가 진행되고 있다. 최근 이 기술분야에 대한 국내 연구개발 투자를 보면, 정보통신부의 주관 하에 1993 년 이래로 매년 3 억원 이상을 투자하여 기술개발을 추진할 수 있었다. 최근 ETRI 의 기술을 전수 받은 광전자가 대략 10 억원 이상을 투자하여 제품개발에 몰두하고 있다. 그리고 DRAM 의 다결정 SiGe 게이트 증착에 관한 선행기술연구를 하이닉스와 주성엔지니어링이 수행하고 있다. 현재 삼성전자와 하이닉스 뿐만 아니고, KEC 가 ETRI 의 기술지원을 통하여 SiGe 반도체기술의 도입을 검토하고 있다. 벤처업체로 ASB 와 FCI 는 SiGe 전력증폭기 제품을 출하하고 있다.

국제적으로 SiGe HBT, SFET 에 대한 기술개발의 경쟁이 치열하지만 국내의 연구기반은 미약하다 (NTRM2002, p.312). 반도체 나노 소자의 기반연구로서 21 세기 프론티어 사업의 테라급 나노 기능소자 사업단을 중심으로 SET, Nano-CMOS, Tbps 집적회로 연구를 수행하고 있으며, SET 회로 (충북대), Fin-FET (경북대)의 기술개발이 이루어지고 있다. 산업자원부의 시스템 IC2010 에서는 차세대 나노 공정 기술로 50 nm 급 SoC 의 신 제조기술, 멀티미디어용 256 M FeRAM 등이 추진되고 있다 (시스템 IC2010 2 단계기획).

제 3 절 본 연구결과의 활용

현재 본 연구결과를 활용하고 있는 분야 및 내용은 다음과 같다.

- 실리콘-게르마늄 고주파 소자 (㈜시지트로닉스, 기술이전)
 - 실리콘-게르마늄/실리콘 이중접합구조의 에피성장
 - 고온, 고품질의 실리콘 에피성장
 - 실리콘 다결정 박막성장

- 광검출기 (photo detector) 소자 (한국전자통신연구원 내 타부서)
 - 실리콘-게르마늄 에피성장
 - 게르마늄 에피성장

- 상변화 메모리 소자 (한국전자통신연구원 내 타부서)
 - 실리콘-게르마늄 다결정 박막성장

제 3 장 고성능 실리콘-게르마늄/ 실리콘 단결정 및 이중채널 성장

제 3 장 고성능 실리콘-게르마늄/실리콘 단결정 및 이중채널 성장

전자산업에 혁명을 일으킨 최초의 반도체 트랜지스터는 바로 게르마늄에 의해 구현되었다. 1947년 벨 연구소의 Bardeen, Brattain, Shockley는 게르마늄 반도체로 트랜지스터를 개발했고, 트랜지스터 효과 (전류증폭)를 처음 발견한 공로로 1956년에 노벨상을 수상했다. 그 후 1960년에 게르마늄과 실리콘 반도체로 제작한 다이오드로 양자관통현상을 발견한 쏘니의 Esaki 박사도 최초의 양자전자소자를 연구한 기여로 1973년에 노벨상을 수상하였다. 또한, 실리콘-게르마늄의 가능성은 1957년에 최초로 제시되었다. 그러나 여러 가지 어려움에 의하여 1981년이 되어서야 소자에 응용이 가능한 SiGe 저온성장이 발표되기 시작하였고, 1987년에 UHV CVD를 개발한 Meyerson 의하여 동작하는 SiGe HBT가 발표되었다.

이러한 실리콘-게르마늄 단결정층의 성장은 여러 가지 공정상 해결해야 할 문제들이 존재한다. 이를 살펴보면 우선 게르마늄의 조성이 5% 이내로 균일하여야 하고, 계면에서 결합으로 작용할 수 있는 탄소(C) 및 산소(O)의 양이 적어야 하며, 날카로운 도핑농도의 조절이 가능해야 한다. 또한, 소자 양산공정으로 적용하기 위해서는 높은 생산성을 요구하며 열 안정성 (600°C 부근에서 박막의 응력이완이나 결합발생 문제)에 대한 문제도 해결되면서 저 결합 (고 수율, 저 비용)의 공정이 가능해야 한다. 따라서, 저온성장은 실리콘-게르마늄과 실리콘 간의 계면확산과 보론(B)의 확산을 650°C 이하에서 저지하고 준 안정한 실리콘-게르마늄층의 응력이완에 따른 결합생성을 방지한다. 그러나, 실리콘의 표면확산이 충분하지 못해 결정결함을 내포하게 되거나 자연 산화막의 in-situ 세척이 어려워지며 성장속도가 낮으며 고농도의 n-type, p-type 을 in-situ 도핑 하기 때문에 장기간의 안정성과 신뢰성 확보가 어렵다. 이러한 저온성장의 문제점들을 고진공이 다소 해결할 수 있는데 고진공에서 molecular flow로 균일도를 높이고 기상반응을 줄이고 표면반응에 의하여 에피성장을 통제하도록 한다. 따라서 대부분의 실리콘-게르마늄 성장은 고진공 화학기상

증착기 (UHV-CVD) 또는 Molecular Beam Epitaxy (MBE) 장비를 이용하여 진행되어 왔다. 실험에 사용된 RPCVD 는 저 진공 상태에서 성장 공정이 진행되나 고온의 수소 열처리를 성장 챔버 내에서 in-situ 로 진행하여 자연 산화막을 효과적으로 제어할 수 있으며 susceptor 판을 회전하여 게르마늄의 조성 및 박막두께의 균일성을 확보하는 장점 등으로 근래 실리콘-게르마늄 단결정 성장의 주류를 이루고 있다.

본 연구에 사용된 장비는 ASM 사의 “Epsilon One” 상압/감압 화학기상 증착 (AP/RPCVD) 시스템으로 RPCVD 는 공정 압력이 viscous laminar flow 영역인 10-50torr 에서 단결정 성장하므로 대형 웨이퍼의 성장공정이 편리하고 낱장 공정이 가능하며, 장비 구조가 간단하다. AP/RPCVD 시스템은 quartz 챔버의 위와 아래에서 Tungsten-Halogen 램프로 가열하여 급속열처리의 기능을 지닌다. 또한, 성장 챔버의 한쪽 측면에서 가스가 주입되어 기판 위를 통과하여 반대편으로 pumping 되는 직육면체구조이고 웨이퍼를 0-50 rpm 으로 회전시켜 박막두께의 균일성이 1% 이내로 높다. SiC가 코팅된 흑연 susceptor 판을 사용하여 불순물가스의 out-gassing 을 방지한다. SiH₄, GeH₄, PH₃(1.5% in H₂), B₂H₆(1000 ppm in H₂) 의 반응가스는 99.990% 이상의 고순도이고, 운송가스인 H₂는 In-line 정제기를 사용하여 공급한다.

제 1 절 저온 고농도의 실리콘-게르마늄/실리콘 단결정 성장기술

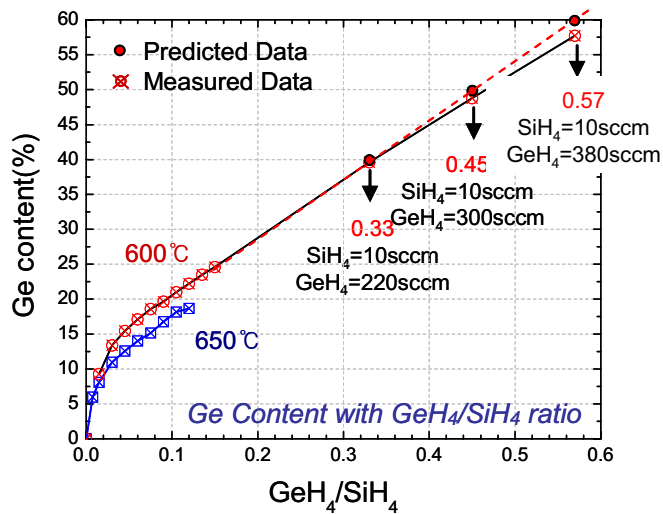
본 절에서는 650°C 근처의 저온에서 실리콘-게르마늄 응력완화층 및 전자 및 정공의 이동도의 향상을 위한 이중채널을 형성하는 방법에 대하여 기술한다.

<그림 3-1>은 실리콘-게르마늄 막의 소스가스로 사용되는 SiH₄ 과 GeH₄ 의 비율에 따른 게르마늄의 조성을 나타내는 것으로서, 본 연구실 보유의 상압/감압 화학기상 증착장비 (AP/RPCVD system)를 사용하여 최대 57%의 게르마늄 조성을 갖는 실리콘-게르마늄 단결정 성장법을 확보하였으며, 게르마늄의 조성도 예상 치에 거의 근접한 결과를 보여준다.

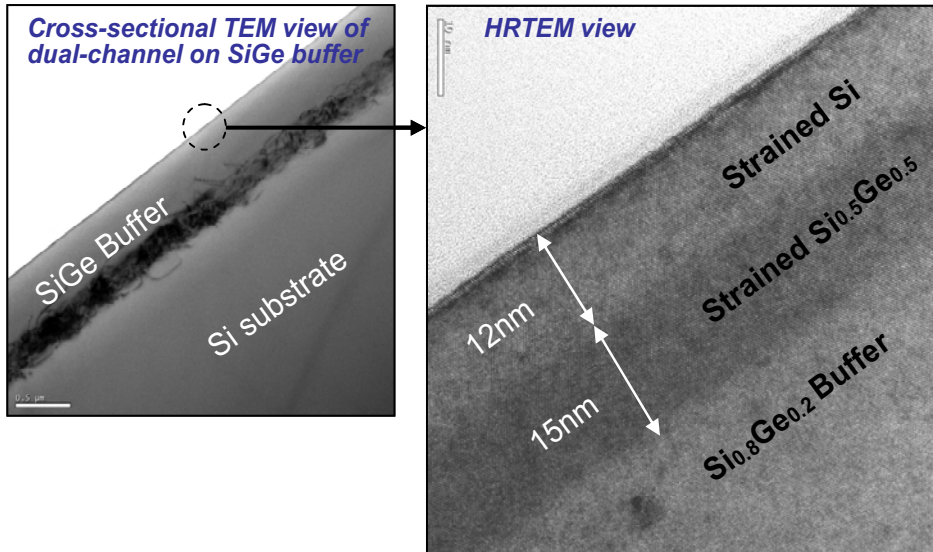
<그림 3-2>는 실리콘-게르마늄 응력완화층 상부에 게르마늄 50% 조성을 갖는 실리콘-게르마늄 단결정과 실리콘 단결정으로 구성된 이중채널을 형성한 후의 TEM 사진이다. 그림의 TEM 사진에서와 같이, 불일치 (Misfit) 전위들이 실리콘 기

판과 실리콘-게르마늄 응력완화 층 사이에만 존재하고 상부에서는 양질의 실리콘-게르마늄 단결정이 형성되어 있음을 알 수 있으며 실리콘-게르마늄과 실리콘으로 구성된 이중채널 구조도 매끄러운 표면을 유지하며 원하는 두께로 증착이 되어 있는 것을 확인할 수 있다.

상기 650°C 근처의 저온에서 실리콘-게르마늄 응력완화층 및 이중채널을 형성하는 방법은 공정 시간이 매우 길어 생산성 측면에서 불리하며 응력완화층의 표면 거칠기가 거칠어 CMP (Chemical Mechanical Polishing) 공정으로 차후 보완해야 한다.



<그림 3-1> SiH₄ 과 GeH₄ 의 비율에 따른 게르마늄의 조성



<그림 3-2> 응력완화층 상부에 실리콘-게르마늄과 실리콘으로 구성된 이중채널의 TEM 사진

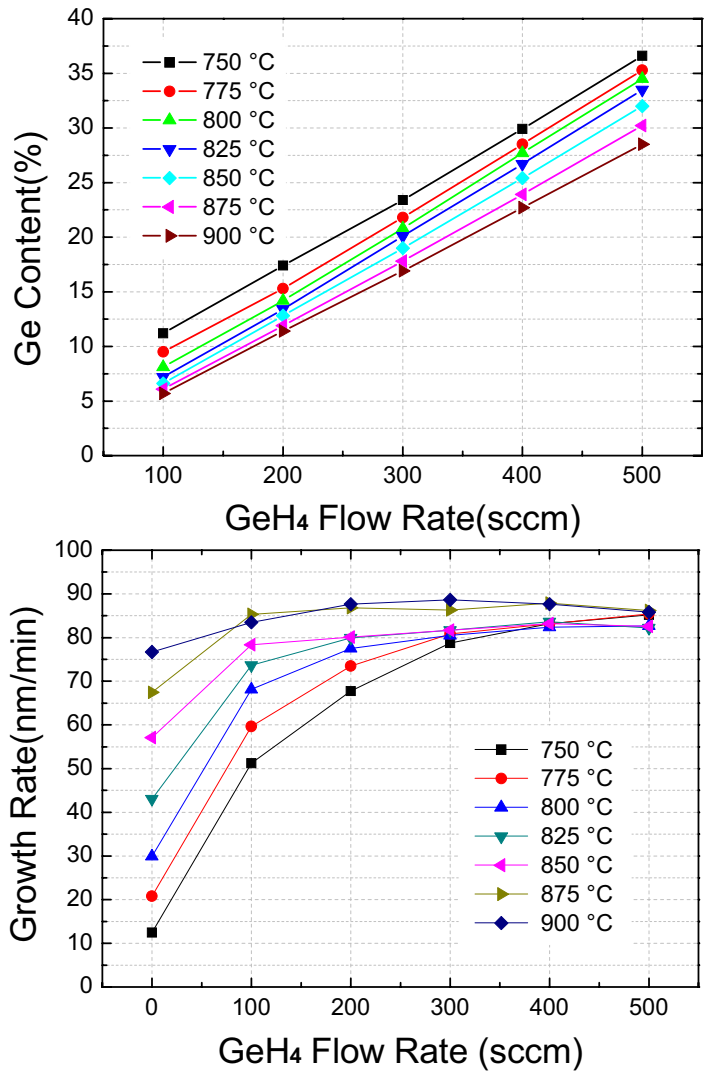
제 2 절 고온 고농도의 실리콘-게르마늄/실리콘 단결정 성장기술

1. 1.5% GeH₄ 가스를 이용한 실리콘-게르마늄 단결정 성장

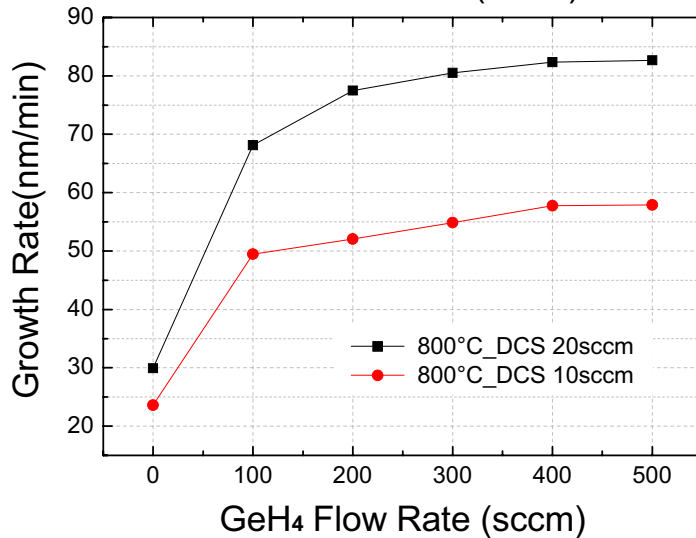
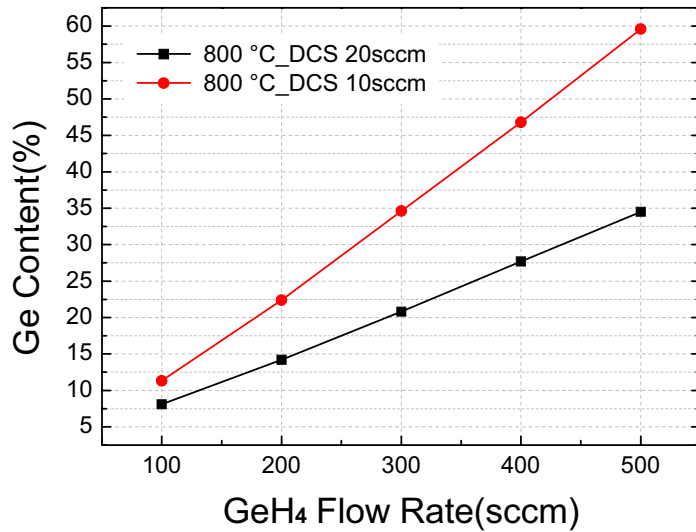
제 1 절에서 기술한 650℃ 근처의 저온에서 실리콘-게르마늄 응력완화층 및 이중채널을 형성하는 방법은 앞서 언급한 바와 같이 공정 시간이 매우 길어 생산성 측면에서 불리하며 응력완화층의 표면 거칠기가 거칠어 CMP (Chemical Mechanical Polishing) 공정으로 차후 보완해야 하는 등의 문제가 있다. 따라서, 800℃ 부근의 고온에서 실리콘-게르마늄 단결정 성장을 위한 기초 실험 결과를 확보하기 위한 실험을 진행하였으며, <그림 3-3>과 <그림 3-4>와 같은 결과를 얻었다.

기판은 <100> 방향의 p-type, 5 인치 실리콘 웨이퍼를 이용하였다. 웨이퍼의 세정은 H₂SO₄:H₂O₂=4:1 로 혼합된 용액과 100:1 HF 용액을 이용한 SC1 세정법으로 ex-situ cleaning 이 진행 되었으며 1100℃의 고온에서 수소를 23slm 주입하면서 90 초 간 in-situ cleaning 을 실시하여 실리콘 기판상의 불순물 및 자연 산화막을 제거하였

다. 실리콘-게르마늄 단결정 막의 증착 온도는 750°C~900°C 사이에서 진행 되었으며 공정 압력은 80torr 이다.



<그림 3-3> 증착 온도별 1.5% GeH₄ 가스의 유량에 따른 게르마늄 조성 및 박막의 증착 속도



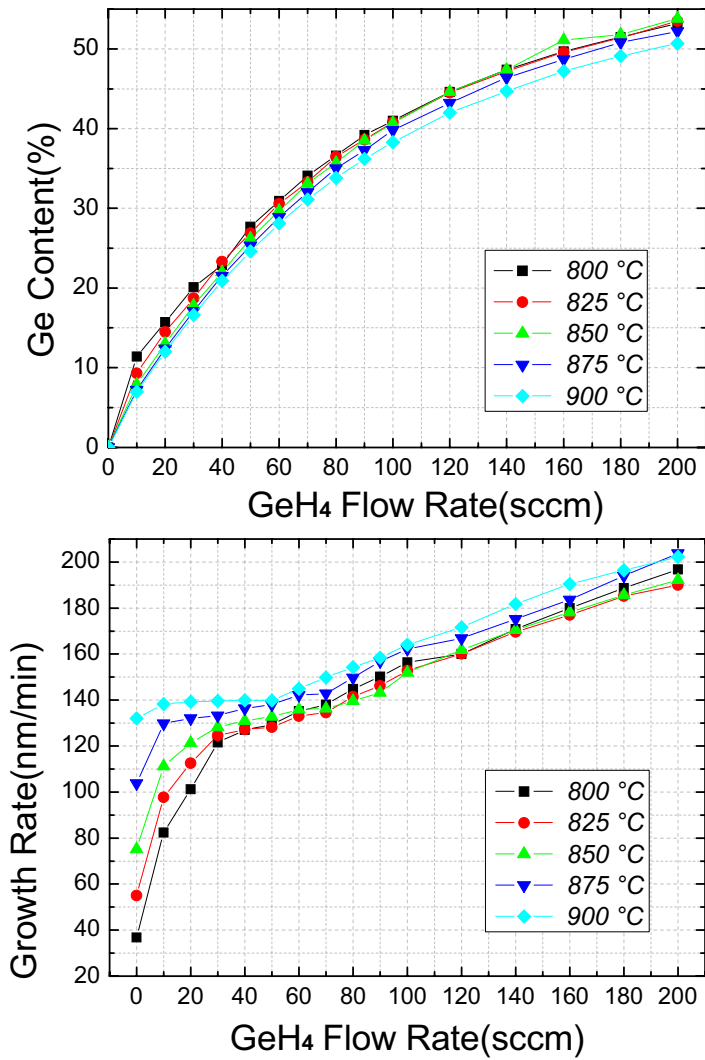
<그림 3-4> 800°C의 증착 온도에서 1.5% GeH₄ 가스 및 SiH₂Cl₂ 가스의 유량에 따른 게르마늄 박막의 조성 및 증착 속도

<그림 3-3>은 SiH₂Cl₂ 가스를 20sccm 으로 고정하고 GeH₄ 가스의 유량을 100sccm 에서 500sccm 까지 변화하여 막의 증착 속도 및 게르마늄 농도를 SIMS 분석을 통해 확인하여 도식한 그림이다. 그림을 통해 알 수 있듯이 동일한 가스 유량에서 증착 온도가 증가함에 따라 게르마늄의 농도가 선형적으로 감소하고 증착 속

도는 증가하지만, 실리콘-게르마늄 박막의 증착 속도는 증착 온도가 낮을수록 급격하게 증가하며 750℃ 부근에서는 큰 변화가 없다. SiH_2Cl_2 가스를 20sccm 으로 고정하는 경우에는 게르마늄의 최대 농도가 37% 정도로 실리콘-게르마늄 응력완화층을 형성하기에는 충분하지만 잔류 응력을 유지하는 실리콘/실리콘-게르마늄 이중체널에 적용하기에는 부족하다. 따라서 고 농도의 실리콘-게르마늄 막을 얻기 위해 SiH_2Cl_2 가스를 10sccm 으로 고정하고 실험을 진행하였으며 결과를 <그림 3-4>에 도식하였다. 증착 온도는 800℃로 고정 하였으며 SiH_2Cl_2 가스가 20sccm 인 경우와 비교하였다. 이때 게르마늄의 최대 조성은 1.5% GeH_4 가스를 500sccm 으로 하고 SiH_2Cl_2 가스가 10sccm 유량의 조건에서 60% 정도이다

2. 20% GeH_4 가스를 이용한 실리콘-게르마늄 단결정 성장

GeH_4 가스는 수소에 희석된 정도에 따라 1.5% GeH_4 가스와 20% GeH_4 가스로 구별되어 증착이 진행되었다. 1.5% GeH_4 가스는 주로 낮은 게르마늄 조성의 실리콘-게르마늄 단결정 성장 시 미세하게 게르마늄의 농도를 조절하는데 유리하며 낮은 증착 속도를 갖는다. 이에 비해 20% GeH_4 가스는 주로 높은 증착 속도를 요구하는 공정이나 순수 게르마늄 단결정 성장을 위해 사용된다. 본 실험에서는 20% GeH_4 가스를 이용하여 실리콘-게르마늄 단결정 성장을 위한 기초 결과를 확보하기 위한 실험을 진행하였으며 그 결과를 <그림 3-5>에 나타내었다. 증착 온도는 800℃~900℃ 사이에서 진행되었으며 공정 압력은 60torr 이다. 이때 게르마늄의 최대 조성은 20% GeH_4 500sccm, SiH_2Cl_2 40sccm의 조건에서 54% 정도이다. 게르마늄의 최대 조성이 1.5% GeH_4 가스를 사용한 경우에 비해 낮은 이유는 SiH_2Cl_2 가스의 유량을 40sccm 으로 높이고 GeH_4 가스의 유량을 200sccm 까지 한정했기 때문이다. 또한 게르마늄의 농도가 GeH_4 가스의 유량에 따라 선형적으로 증가하지 않고 점차 증가도가 감소하는 경향을 보인다.



<그림 3-5> 증착 온도별 20% GeH₄ 가스의 유량에 따른 게르마늄 조성 및 박막의 증착 속도

제 3 절 결론

최초의 IC 개발이래 지금까지 소자 소형화 및 고집적화는 금속-절연막-반도체 전계효과 트랜지스터 (MOSFET)의 기본구조가 scale-down 되는 형태로 진행되어

오면서 이러한 **scale-down** 에 의한 한계에 직면하게 되었다. 이를 해결하기 위한 방안으로 새로운 구조의 소자 개발과 더불어 새로운 물질을 이용하고자 하는 여러 노력들도 함께 진행되어 왔는데 그 대표적인 것이 게르마늄의 높은 운반자 이동도를 이용하거나 낮은 밴드 갭을 이용하여 기존의 소자에 적용하기 위한 시도이다. 따라서 본 장에서는 높은 수율을 갖는 AP/PCVD 시스템을 이용하여 저온 및 고온에서 고농도의 실리콘-게르마늄 단결정 성장에 대한 연구 결과를 기술하였다. 주로 UHV-CVD 장비를 이용하여 증착하는 순수 게르마늄 단결정 막을 PCVD 시스템에서 매우 우수한 특성으로 성장시키는 기술을 확보하였으며 그 기술적 가치 또한 매우 높다고 할 수 있다.

제 4 장 고 이동도 실리콘-게르마 늄 MOSFET 채널구조 최적화

제 4 장 고 이동도 실리콘-게르마늄 MOSFET 채널구조 최적화

최근의 나노급 MOSFET 신소자 개발의 주요 핵심기술은 상부 채널에 응력을 인가하여 운반자의 이동도를 향상시키기 위한 연구에 집중되고 있다. Scale-down 에 의한 소자의 소형 고집적화에 따른 한계를 극복하기 위한 여러 방안 중 현재의 공정설비의 변화 없이 MOSFET 소자 공정에 적용 가능한 가장 적합한 기술은 바로 채널 층에 응력을 가하는 것이다. 따라서 본 장에서는 상기한 제 3 장의 연구 결과를 토대로 나노급 MOSFET 신소자 개발의 주요 핵심기술인 실리콘-게르마늄 응력완화층과 실리콘/실리콘-게르마늄 층으로 구성되는 이중채널의 성장법, 실리콘-게르마늄 MOSFET 소자 제작 및 공정방법, 실리콘-게르마늄 MOSFET 채널구조 최적화 결과를 기술한다.

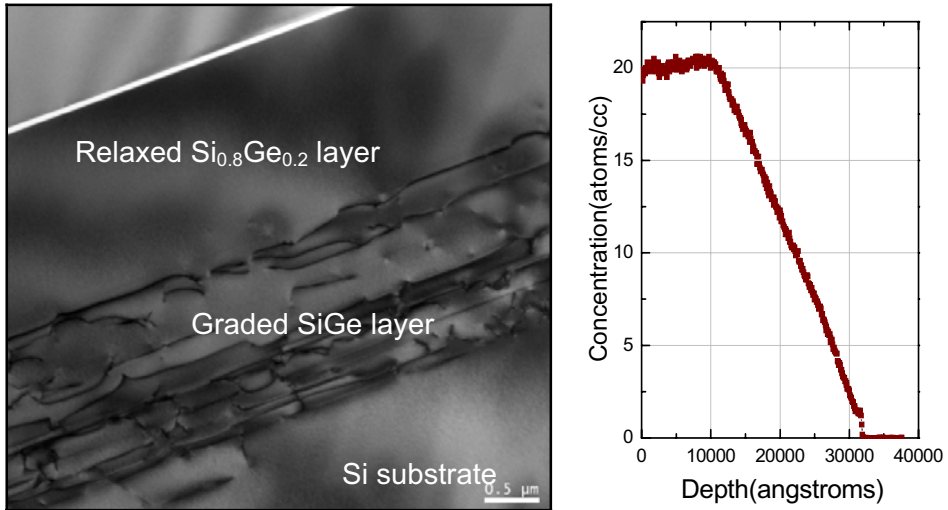
제 1 절 실리콘-게르마늄 응력완화층 및 실리콘/실리콘-게르마늄 이중채널 구조

MOSFET 소자의 상부에 응력이 인가된 채널을 형성하기 위해서는 채널 하부에 실리콘-게르마늄 응력완화층을 성장하여야 하며 일반적인 실리콘-게르마늄 응력완화층의 형성 방법은 실리콘 기판으로부터 게르마늄의 조성을 일정하게 증가시키면서 두껍게 실리콘-게르마늄 층을 형성하고 일정한 게르마늄 조성의 응력완화층을 상부에 형성하는 공정이 주로 사용된다.

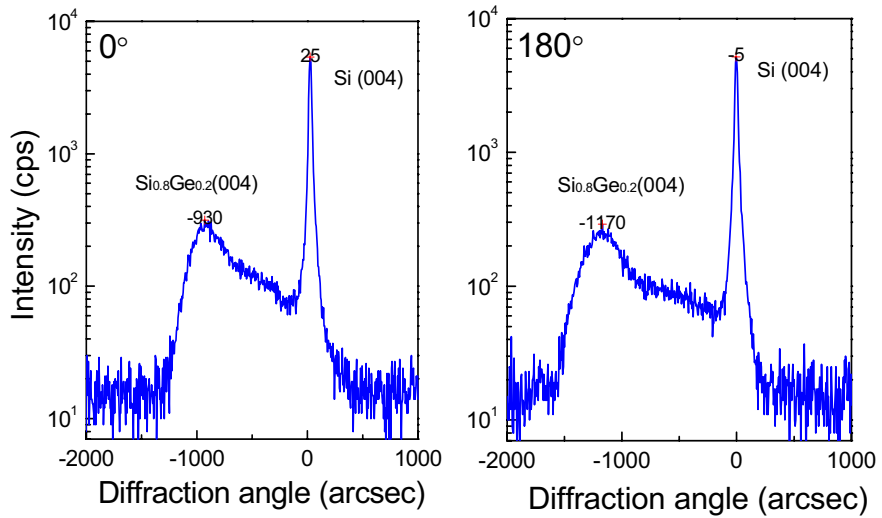
<그림 4-1>은 앞에서 기술한 800°C~900°C의 고온에서 실리콘-게르마늄 단결정 성장에 관한 연구 결과를 바탕으로 제작된 실리콘-게르마늄 응력완화층의 TEM 사진 및 SIMS 분석 결과이다. 상부의 실리콘-게르마늄 응력완화층의 게르마늄 조성은 20% 이며 두께는 1 μm 이다. 조성변화층은 게르마늄 조성이 0 에서 20% 까지 일정하게 증가하며 2 μm 두께로 구성되어 있다. 이는 SIMS 분석을 통하여 확인 되었으며 불일치 전위가 조성변화층 내에서만 존재하고 응력완화층에서는 존재하지

않는 것을 TEM 사진을 통해 확인 할 수 있었다. 실리콘-게르마늄 응력완화층의 응력완화 정도를 측정하기 위한 XRD rocking curve 분석 결과를 <그림 4-2>에 도식하였다. 응력완화 정도를 측정하기 위해 시편을 두 방향으로 XRD 분석을 실시한 후에 실리콘-게르마늄 층의 결정 피크의 위치와 실리콘 기판으로부터 나오는 피크의 거리를 계산하여 분석한 결과, 제작된 실리콘-게르마늄의 응력 완화 정도는 97.8%로 잔류 응력이 거의 존재하지 않는 것으로 나타났다.

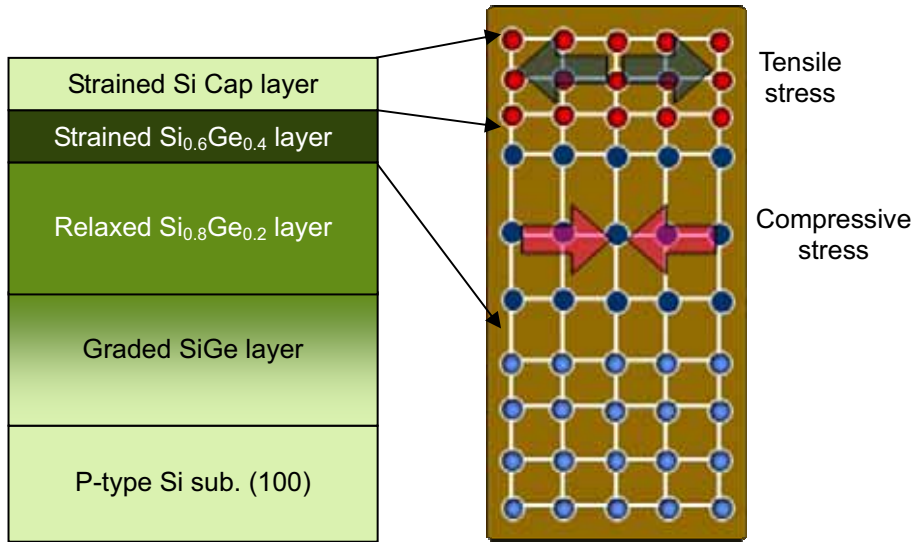
본 연구는 게르마늄의 조성을 얼마나 정밀하게 조절하여 실리콘-게르마늄 응력완화층 상부에 위치한 이중채널에 응력을 전달할 수 있는가가 연구의 핵심이다. 또한, 응력을 받는 이중채널의 두께를 정확히 조절하여 전자 및 정공의 이동도 향상을 기하고자 한다. <그림 4-3>은 실리콘-게르마늄 응력완화층 상부에 실리콘/실리콘-게르마늄 이중채널 형성에 따른 응력분포에 대한 개략도를 도식한 것으로 실리콘-게르마늄 응력완화층 상부에 게르마늄 조성이 높은 실리콘-게르마늄 층이 형성되는 경우 격자 상수의 차이에 의해 채널 층에 압축응력이 인가되게 된다. 실리콘-게르마늄 채널 층은 임계두께 내에서는 불일치 전위가 발생하지 않고 변형이 이루어지나 임계두께 이상이 되면 불일치 전위가 발생하고 이는 전류의 이동을 방해하거나 표면이나 기판 방향으로 전파되어 누설 전류가 증가하는 원인이 된다. 따라서 실리콘-게르마늄 채널 층의 농도나 두께에 대한 최적화가 필요하다. 임계두께 이내에서의 실리콘-게르마늄 채널 층은 하부 응력완화층과 기판과 평행한 방향으로 동일한 격자 거리를 갖는다. 따라서 그 상부에 실리콘 채널 층을 형성하면 실리콘 층에서는 격자 상수 차이에 의한 인장응력이 발생하게 된다. 여기에서도 마찬가지로 임계두께가 존재하므로 실리콘 채널 층의 두께 최적화가 필요하다.



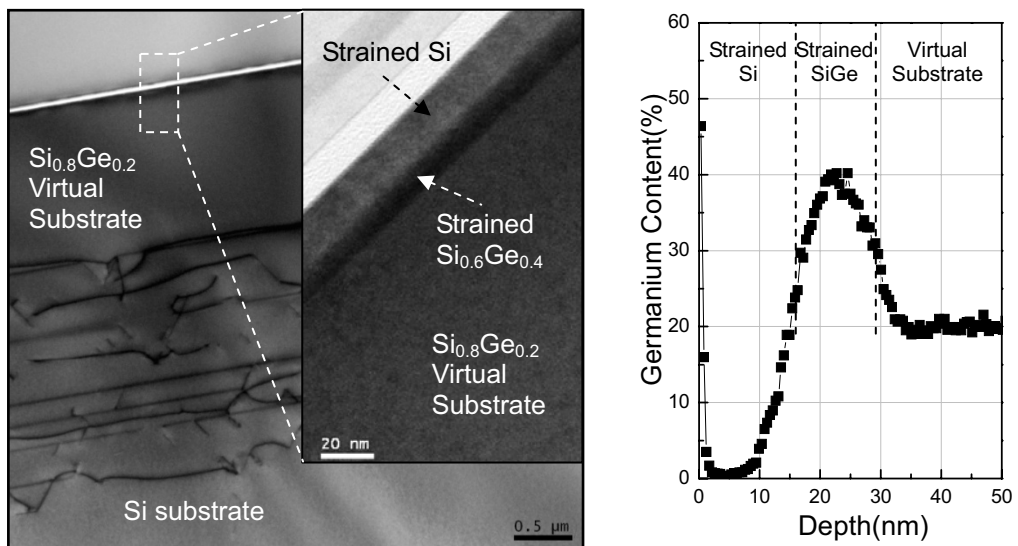
<그림 4-1> 실리콘-게르마늄 응력완화층의 TEM 사진 및 SIMS 분석 결과



<그림 4-2> 실리콘-게르마늄 응력완화층의 응력완화 정도를 측정하기 위한 XRD rocking curve 분석



<그림 4-3> 실리콘-게르마늄 응력완화층 상부에 실리콘/실리콘-게르마늄 이중채널 형성에 따른 응력분포에 대한 개략도



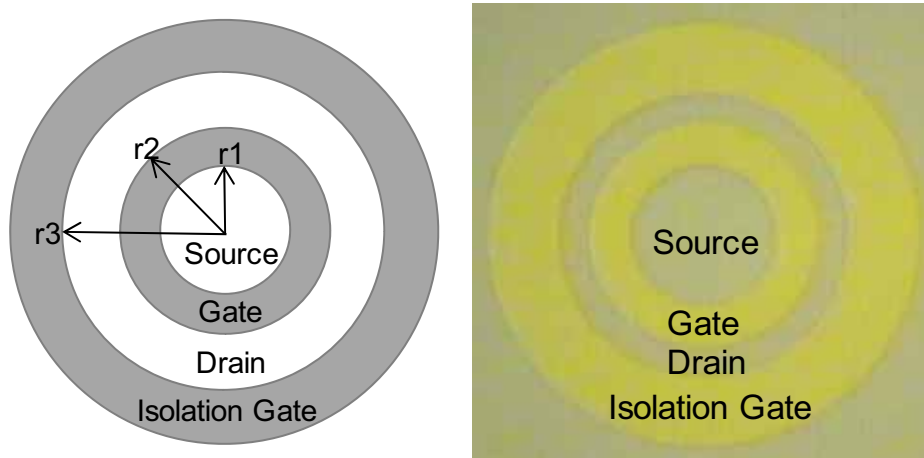
<그림 4-4> 실리콘-게르마늄 응력완화층 상부에 성장한 실리콘/실리콘-게르마늄 이중채널의 TEM 사진 및 SIMS 분석 결과

<그림 4-4>는 앞에서 기술한 800°C~900°C의 고온에서 실리콘-게르마늄 단결

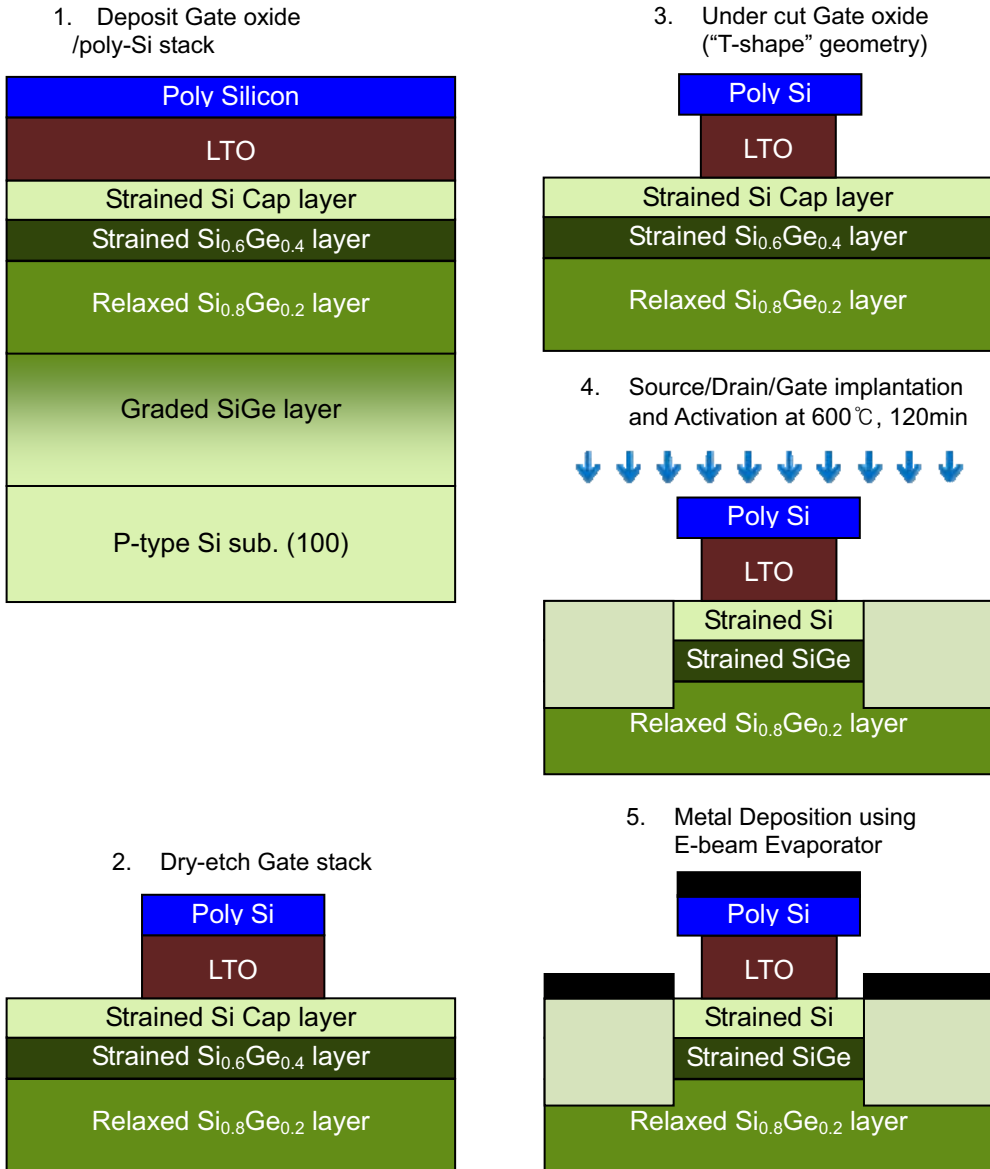
정 성장에 관한 연구 결과를 바탕으로 제작된 실리콘-게르마늄 응력완화층 상부에 CVD 법을 이용하여 성장한 실리콘/실리콘-게르마늄 이중채널의 TEM 사진 및 SIMS 분석 결과이다. 그림에서와 같이 20% 게르마늄 조성의 응력완화층 상부에 실리콘 채널과 40% 게르마늄 조성의 실리콘-게르마늄 채널 층에 형성 되었으며 응력완화층 및 이중채널에 불일치 전위나 결함 등이 발생하지 않고 양질의 단결정이 형성되었음을 알 수 있다. 이중채널에서의 게르마늄 농도는 SIMS 분석을 통하여 검증하였다.

제 2 절 실리콘-게르마늄 MOSFET 채널구조 최적화를 위한 마스크 제작 및 공정기술

<그림 4-5>는 상기 연구결과를 이용하여 실리콘/실리콘-게르마늄 이중채널 구조의 MOSFET 최적화를 위해 설계한 소자 마스크와 이 소자 마스크를 이용하여 제작한 MOSFET의 한 예이며, 게이트 폭은 $50\ \mu\text{m}$, $100\ \mu\text{m}$, $200\ \mu\text{m}$ 등 다양한 크기로 설계하였다. <그림 4-6>는 <그림 4-5>의 소자 마스크를 이용하여 실리콘-게르마늄 MOSFET 소자를 제작하기 위한 소자 공정 개략도 이다.



<그림 4-5> 실리콘-게르마늄 MOSFET 소자 마스크 개략도 및 제작된 실리콘-게르마늄 MOSFET 소자의 현미경 사진

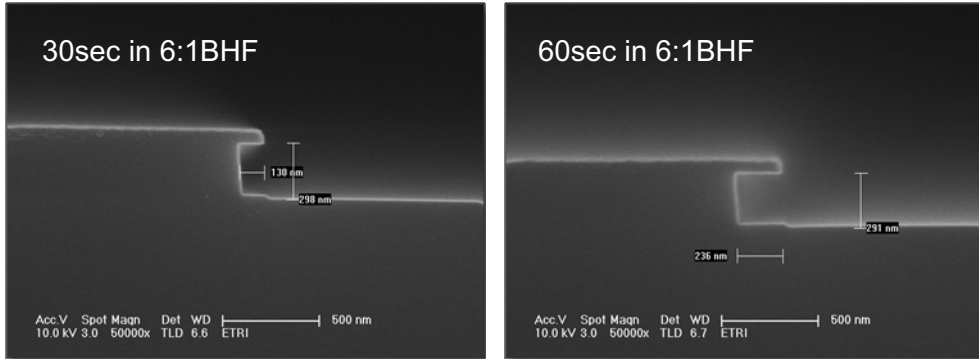


<그림 4-6> 실리콘-게르마늄 MOSFET 소자 제작 공정 개략도

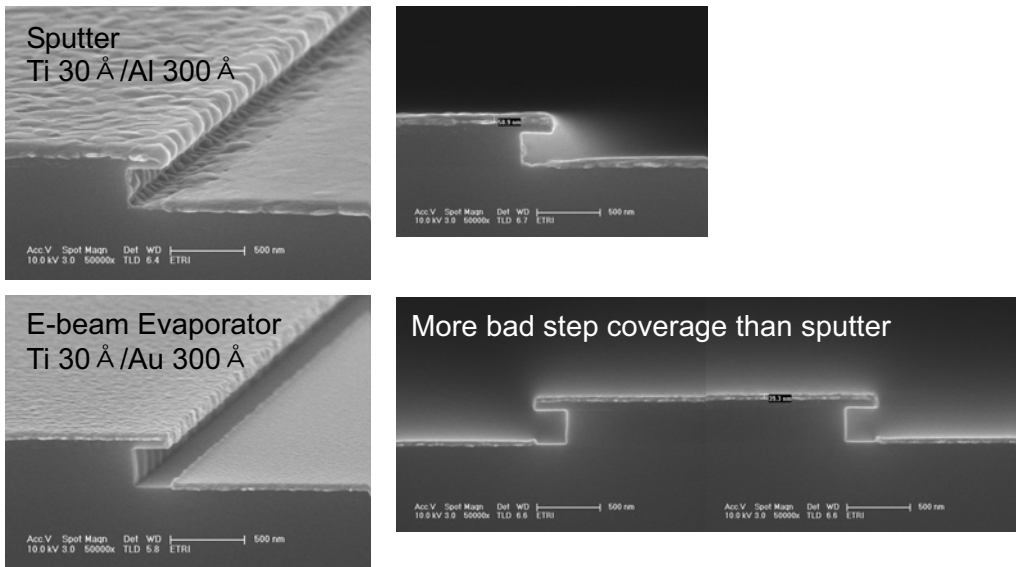
실리콘-게르마늄 MOSFET 소자 제작은 실리콘 기판 상에 실리콘-게르마늄 응력완화층을 RPCVD 장비를 이용하여 성장하고 상부에 실리콘/실리콘-게르마늄 이중채널을 형성 한다. 이중채널의 구조 및 조성에 따른 운반자 이동도의 변화를

확인하기 위해 실리콘-게르마늄 채널 층의 조성비 및 두께, 실리콘 채널 층의 두께를 변화시키면서 공정을 진행하였다.

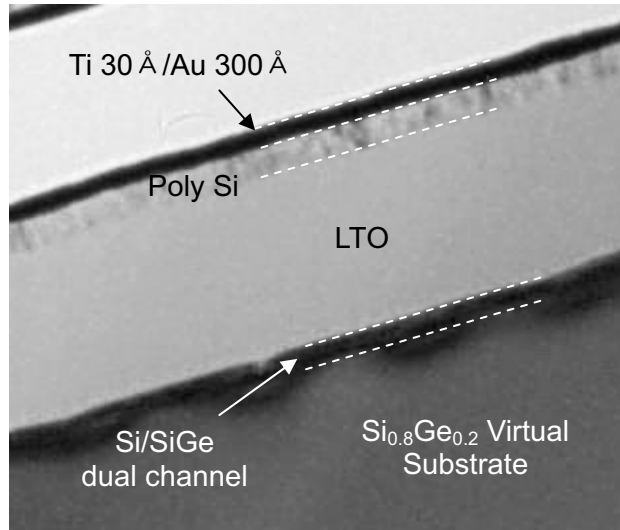
실리콘/실리콘-게르마늄 이중채널 상부에는 게이트 절연막으로 LTO (Low Temperature Oxidation)막을 성장하였으며, 게이트 산화막을 열 산화막으로 형성할 경우에는 고온 공정에 의해 하부 이중채널의 게르마늄 조성에 영향을 미쳐 응력에 변화를 주기 때문에 저온 공정을 이용하여 절연막을 형성하였다. 절연막 상부에는 게이트 다결정 막을 550°C의 저온에서 성장한 후 제작된 마스크를 사용하여 그림과 같이 게이트 다결정층과 절연막을 식각공정을 진행하였으며 건식식각에 의한 하부 이중채널에서의 손실을 막기 위해 건식식각과 습식식각을 9:1의 비율로 진행하였다. 자기 정렬형 게이트/소오스/드레인 형성을 위해 습식식각법을 이용하여 T자 형의 게이트를 형성하였다. <그림 4-7>은 6:1 BHF 용액을 통한 습식식각에 의해 LTO 막만을 선택적으로 식각한 후의 SEM 사진으로 60 초의 공정으로 진행하여 금속 전극의 형성을 유리하도록 하였다. 다음으로 전극을 형성하기 위해 소오스/드레인/게이트에 이온주입 공정을 실시하였다. 하부의 이중채널 및 응력완화층은 도펀트가 없는 intrinsic 상태이므로 이온주입의 소스에 따라 NMOSFET와 PMOSFET로 구별되게 된다. 이온주입 후 600°C에서 120 분간 활성화 공정을 진행하고 마지막으로 e-beam evaporator 장비를 이용하여 금속 전극을 형성하였다. 이때 게이트와 소오스/드레인 간에 금속의 접촉이 없도록 주의하여야 하며 이를 위해 aspect ratio가 적은 금속 공정을 선택하여야 한다. 따라서 동일한 구조에 e-beam evaporator 장비와 sputter 장비를 이용하여 선 실험을 진행하였고 그 결과를 <그림 4-8>에 도식하였다. 그림을 통해 알 수 있듯이 sputter를 사용한 공정에서는 게이트와 소오스/드레인 간의 접촉이 보인다. 하지만 e-beam evaporator 장비를 이용한 경우에는 두 전극간 완전히 격리된 구조를 확인 할 수 있다. <그림 4-9>는 상기와 같이 제작된 소자의 단면 TEM 사진이다.



<그림 4-7> Wet etch 공정 시간에 따른 “T-shape” 게이트 단면사진



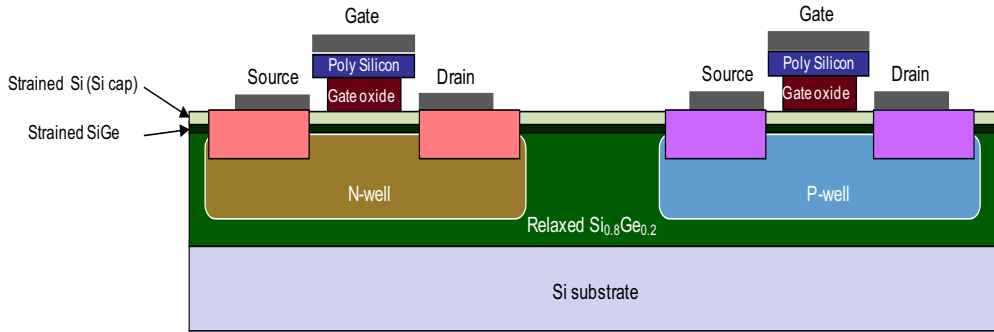
<그림 4-8> 금속 전극 형성을 위한 sputter 장비와 e-beam evaporator 장비의 공정 결과 비교 사진



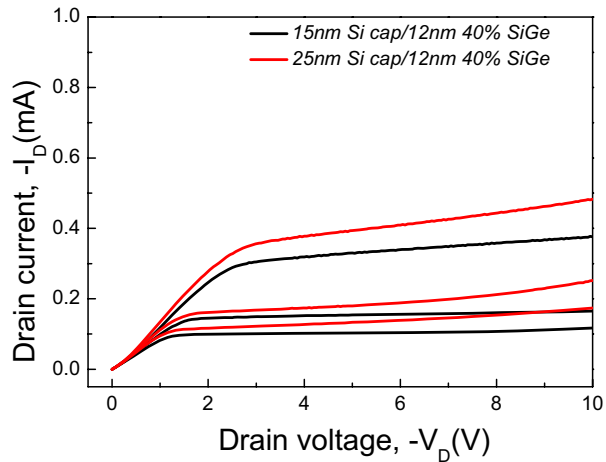
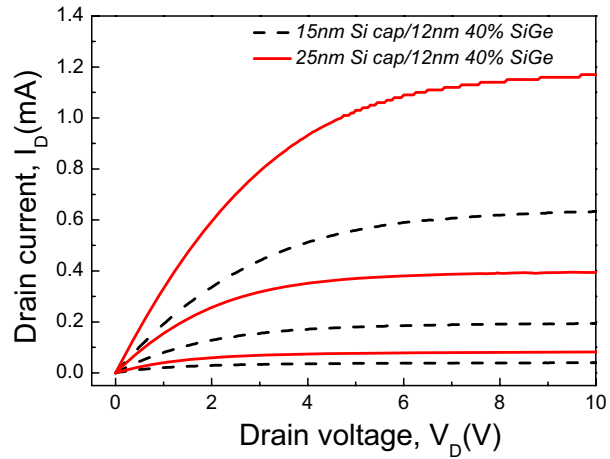
<그림 4-9> 실리콘-게르마늄 MOSFET 소자 제작 후 게이트 단면사진

제 3 절 실리콘-게르마늄 MOSFET 채널구조 최적화

앞서 기술한 바와 같이 실리콘-게르마늄 응력완화층 상부의 실리콘/실리콘-게르마늄 이중채널 MOSFET 구조에서, 실리콘-게르마늄 응력완화층 상부에 게르마늄 조성이 높은 실리콘-게르마늄 층이 형성되는 경우 격자 상수의 차이에 의해 채널 층에 압축응력이 인가되게 된다. 실리콘-게르마늄 채널 층은 임계두께 내에서는 불일치 전위가 발생하지 않고 변형이 이루어지나 임계두께 이상이 되면 불일치 전위가 발생하고 이는 전류의 이동을 방해하거나 표면이나 기판 방향으로 전파되어 누설 전류가 증가하는 원인이 되므로 실리콘-게르마늄 채널 층의 농도나 두께에 대한 최적화가 필요하다. 또한, 임계두께 이내에서의 실리콘-게르마늄 채널 층은 하부 응력완화층과 기판과 평행한 방향으로 동일한 격자 거리를 가지며, 따라서 그 상부에 실리콘 채널 층을 형성하면 실리콘 층에서는 격자 상수 차이에 의한 인장 응력이 발생하게 된다. 여기에서도 마찬가지로 임계두께가 존재하므로 실리콘 채널 층의 두께 최적화가 필요하다.



<그림 4-10> 실리콘-게르마늄 CMOS 소자 구조



<그림 4-11> 실리콘-게르마늄 MOSFET의 전류-전압 특성. (상) NMOSFET, (하) PMOSFET

<표 4-1> 실리콘-게르마늄 MOSFET 채널구조 최적화 결과

sample	Si cap thickness [nm]	SiGe thickness [nm]	Ge content [%]	% enhancement in NMOS	% enhancement in PMOS
A	25	12	40	102.8	107.7
B	20	12	40	107.4	100.7
C	15	12	40	98.4	107.8
D	15	12	30	81.4	103.4
E	15	12	50	73.0	134.2
F	15	12	60	63.0	118.0

<그림 4-10>은 실리콘-게르마늄 MOSFET 채널구조 최적화에 사용된 CMOS 소자 구조이다. 실리콘-게르마늄 NMOSFET 와 PMOSFET 의 이동도를 동시에 개선하기 위하여 <그림 4-10>의 실리콘-게르마늄 채널 층의 Ge (게르마늄) 조성비, 실리콘-게르마늄 층의 두께 및 실리콘 cap 의 두께를 변화시켜 채널구조를 최적화하였다. 실리콘 MOSFET 소자와의 비교를 위해 실리콘 기판 상부에 intrinsic 실리콘 단결정을 실리콘-게르마늄 MOSFET 소자 두께로 성장한 후 동일한 공정을 이용하여 MOSFET 소자를 제작하였다. <그림 4-11>은 게르마늄 40% 조성의 실리콘-게르마늄 채널 층의 두께 12 nm, 상부 실리콘 두께 15 nm 와 25 nm 의 NMOSFET 과 PMOSFET 각각에 대하여 측정한 전류-전압 특성이다.

이의 방법으로 제작된 실리콘-게르마늄 NMOSFET 와 PMOSFET 에 대하여 실리콘/실리콘-게르마늄 이중채널의 전자 및 정공의 이동도를 분석하였으며, <그림 4-11>의 실리콘-게르마늄 NMOSFET 과 PMOSFET 의 이동도는 실리콘 NMOSFET 과 PMOSFET 대비 각각 102.8%와 107.7% 향상되었다. 실리콘-게르마늄 이중채널 MOSFET 구조에 따른 동일한 크기와 구조의 실리콘 MOSFET 소자와의 이동도 비교 결과를 <표 4-1>에 요약하였다. <표 4-1>에서와 같이 실리콘-게르마늄 이중채널 MOSFET 구조에서 NMOSFET 와 PMOSFET 의 동시 이동도 개선은 게르마늄 40%의 실리콘-게르마늄 층의 두께가 12 nm, 실리콘 층의 두께가 20~25 nm 일 때 동일한 크기와 구조의 실리콘 NMOSFET 와 PMOSFET 대비 100% 이상 (2 배 이상) 이루어졌다.

제 4 절 결론

최근의 나노급 실리콘 MOSFET 신소자의 주요 핵심기술은 상부 채널에 응력을 인가하여 운반자의 이동도를 향상시키기 위한 연구에 집중되고 있다. 본 장에서는 나노급 실리콘 MOSFET 신소자의 주요 핵심기술인 실리콘-게르마늄 응력완화층과 실리콘/실리콘-게르마늄 층으로 구성되는 이중채널의 성장법, 실리콘-게르마늄 MOSFET 소자 제작 및 공정방법, 실리콘-게르마늄 MOSFET 채널구조 최적화 연구 결과에 대해 살펴보았다.

실리콘-게르마늄 이중채널 MOSFET 채널구조에 따른 최적화 결과, 게르마늄 40% 조성인 실리콘-게르마늄 층의 두께가 12 nm, 실리콘 층의 두께가 20~25 nm 인 실리콘-게르마늄 NMOSFET 와 PMOSFET 에서 동일한 크기와 구조의 실리콘 NMOSFET 와 PMOSFET 과 비교하여 100% 이상 (2 배 이상) 이동도가 향상하는 것을 확인할 수 있었다. 상기와 같이 본 연구에서는 실리콘-게르마늄 NMOSFET 와 PMOSFET 모두에서 동시 최적화된 채널 구조와 공정기술을 확보하였으며, 이러한 결과는 세계적으로 보고된 연구 결과에서보다 우수한 결과이다. 본 연구에서 확보한 실리콘-게르마늄 MOSFET 채널구조 최적화 및 공정기술은 실리콘 MOSFET 소자가 scale down 됨으로 인하여 직면하고 있는 한계를 극복할 수 있을 것으로 사료된다.

제 5 장 실리콘-게르마늄
MOSFET 공정기술 집적

제 5 장 실리콘-게르마늄 MOSFET 공정기술

집적

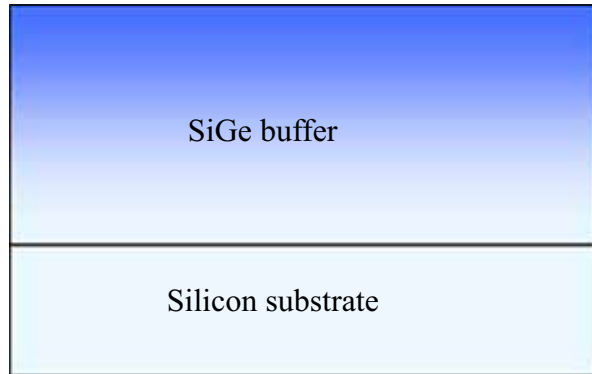
본 연구에서는 APRPCVD 장비를 이용하여 응력이 인가된 실리콘과 실리콘-게르마늄 층으로 구성된 이중 채널을 실리콘-게르마늄 응력완화층 상부에 단결정으로 성장하는 기술에 대한 연구가 진행되었으며, 이중채널의 두께와 실리콘-게르마늄 채널에서의 게르마늄의 농도에 따른 운반자의 이동도를 최적화하기 위한 연구를 진행하여 그 결과를 제 4 장에 기술하였다. 본 장에서는 이러한 실리콘과 실리콘-게르마늄 이중채널을 MOSFET 소자의 공정에 적용할 경우 예상되는 문제점을 알아보고 이를 해결하기 위해 개발된 실리콘-게르마늄 막의 열산화 공정에 의해 생성되는 Ge Rich layer 를 채널에 적용하는 방법에 대해 알아 본다.

제 1 절 실리콘-게르마늄 MOSFET 공정기술 집적

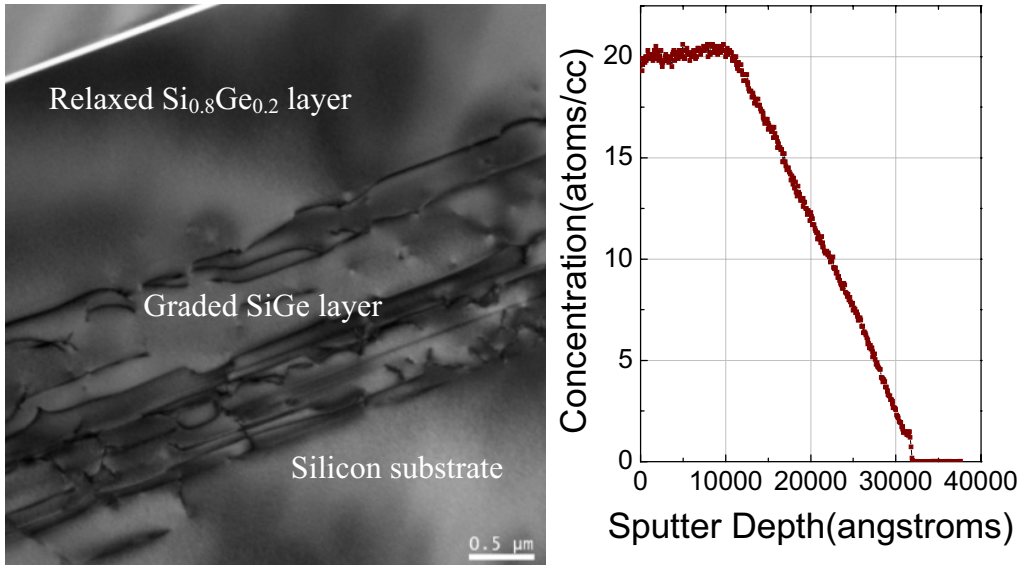
실리콘/실리콘-게르마늄 이중채널 구조는 고온 공정에 매우 민감한 특성을 갖고 있다. 이는 변형된 격자구조를 이용한 공정으로 매우 얇은 두께로 채널이 형성되고 게르마늄의 확산도가 비교적 높기 때문에 후속 고온 공정을 통해 게르마늄의 농도가 변화 할 수 있으며 식각공정이나 세정공정 등을 통해 이중채널이 손실될 우려가 크다. 하지만 현재까지 개발된 이중 채널 구조는 대부분 최초 이중채널을 형성한 후에 후속 공정을 통해 소자 구조를 형성하므로 소자 제작 완료 시 원하는 만큼의 소자 성능 개선을 기대하기 어려운 실정이다. 따라서 본 연구에서는 실리콘/실리콘-게르마늄 이중채널을 소자 공정 중간에 형성함으로써 이중채널의 손실 및 응력 변화를 최소화하기 위한 공정을 개발 하였다. 이는 실리콘-게르마늄 막의 산화 공정 시 게르마늄 편석 현상이 발생하는 것을 이용한 것으로 이러한 게르마늄 편석 현상은 SGOI 나 GOI 웨이퍼 제작 시 많이 이용되고 있는 공정법이다. 하지만 게르마늄 편석 현상을 이용한 이중 채널의 형성은 본 연구에서 처음으로

시도한 방법으로 여러 실험을 통해 실리콘-게르마늄 응력완화층 상에 양질의 이중 채널을 형성하는데 성공하였다. 이러한 일반적인 이중채널 형성시의 문제점과 게르마늄 편석 현상을 적용한 이중채널의 장점을 비교하기 위해 MOSFET 소자의 공정 진행 순서에 따라 각각 설명하도록 한다.

<그림 5-1>은 실리콘 기판상에 실리콘-게르마늄 응력완화층을 성장한 단면 개략도이다. 공정은 APRPCVD 장비를 이용하여 진행되었으며 5 인치 (100) 실리콘 기판을 이용하여 고온에서 진행하였다. MOSFET 소자의 상부에 응력이 인가된 채널을 형성하기 위해서는 채널 하부에 실리콘-게르마늄 응력완화층을 성장하여야 하며 일반적인 실리콘-게르마늄 응력완화층의 형성 방법은 실리콘 기판으로부터 게르마늄의 조성을 일정하게 증가시키면서 두껍게 실리콘-게르마늄 층을 형성하고 일정한 게르마늄 조성의 응력완화층을 상부에 형성하는 공정이 주로 사용된다. <그림 5-2>는 앞에서 기술한 800℃~900℃의 고온에서 실리콘-게르마늄 단결정 성장에 관한 연구 결과를 바탕으로 제작된 실리콘-게르마늄 응력완화층의 TEM 사진 및 SIMS 분석 결과이다. 상부의 실리콘-게르마늄 응력완화층의 게르마늄 조성은 20%이며 두께는 1 μm 이다. 조성변화층은 게르마늄 조성이 0 에서 20% 까지 일정하게 증가하며 2 μm 두께로 구성되어 있다. 이는 SIMS 분석을 통하여 확인 되었으며 불일치 전위가 조성변화층 내에서만 존재하고 응력완화층에서는 존재하지 않는 것을 TEM 사진을 통해 확인 할 수 있었다. 실리콘-게르마늄 응력완화층은 두 가지 이중 채널 형성 방법 모두에서 동일하게 형성되어야 하며 본 연구에서는 앞서 기술한 방법을 통하여 낮은 침투전위 밀도 및 매끄러운 표면거칠기를 갖는 고품질의 응력완화층 성장에 대한 기술을 보유하고 있다. 실리콘-게르마늄 응력완화층은 소자의 제작 시 기판의 역할을 하는 곳으로 MOSFET 소자의 웰이 형성되고 전자 및 정공이 이동하는 채널이 형성되는 곳으로 응력완화층의 막질이 소자의 성능을 좌우하게 된다. 따라서 결함이나 표면 거칠기 등의 물성 및 전기적 특성이 매우 우수하여야 한다. 일반적으로 CMP 등의 가공을 하기도 하지만 본 연구에서는 고온 공정을 통해 우수한 특성을 확보하였다.



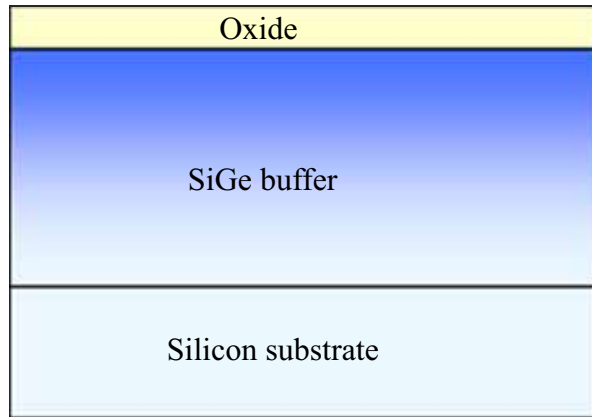
<그림 5-1> 실리콘 기판상에 실리콘-게르마늄 응력완화층을 성장한 단면 개략도



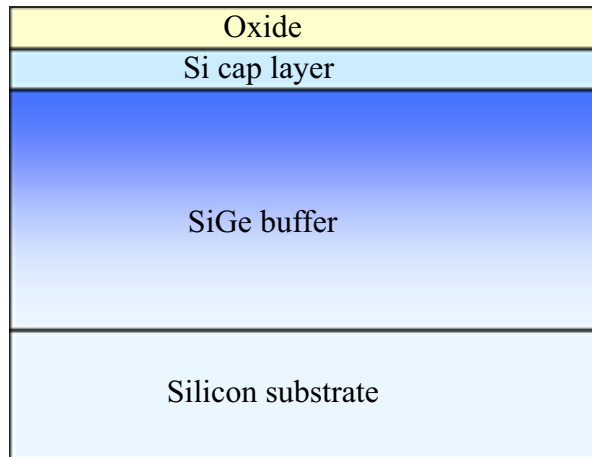
<그림 5-2> 고온 성장조건의 실리콘-게르마늄 응력완화층 TEM 사진 및 SIMS 분석 결과

<그림 5-3>은 일반적인 이중채널 형성법을 이용한 MOSFET 소자의 제작 공정을 보여준다. 소자가 제작되는 기판인 실리콘-게르마늄 응력완화층에 웰을 형성하기 전에 이온 주입에 의한 표면에서의 결함 발생을 방지하기 위해 버퍼 산화막을 형성한다. 반면 <그림 5-4>의 열산화법을 이용한 이중채널 형성법에서는 실리콘

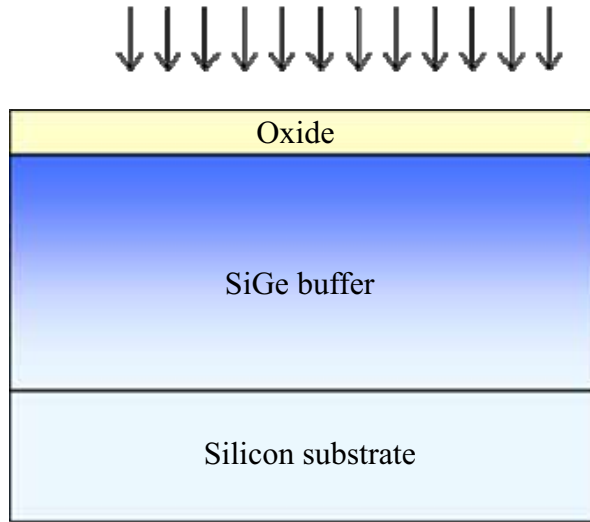
-게르마늄 응력완화층 상부에 실리콘 캡층을 먼저 형성하고 버퍼 산화막을 형성한다. 이는 이온주입 공정후 도펀트의 활성화를 위한 고온에서의 장시간 열처리 시 Ge Rich layer 를 형성하기 위한 것으로 최적의 실리콘 캡의 두께는 앞에서의 결과를 통해 5nm 인 것을 알 수 있다.



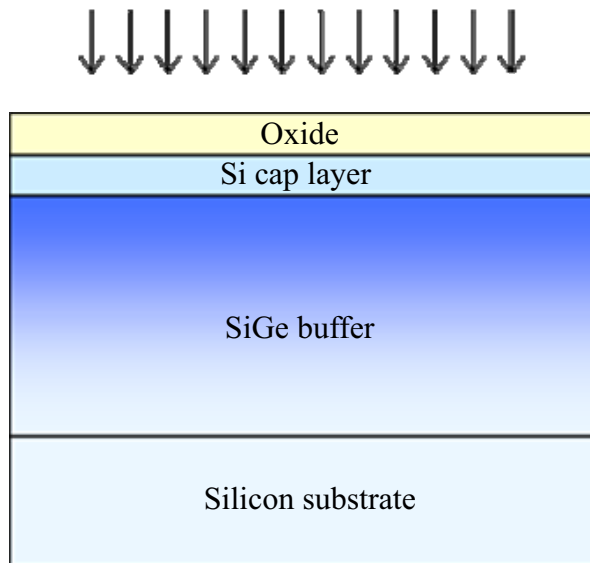
<그림 5-3> 버퍼산화막을 성장한 단면 개략도
(일반적인 이중채널 형성)



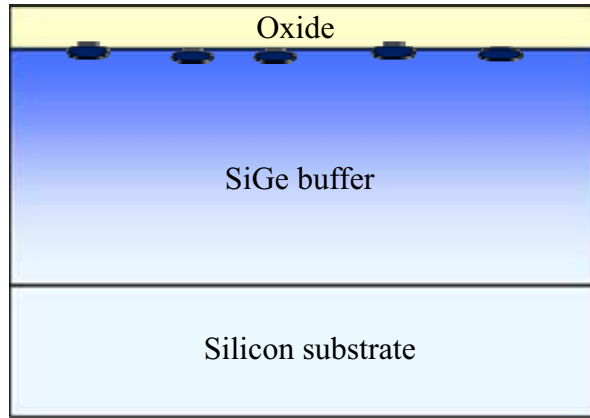
<그림 5-4> 실리콘 캡 층과 버퍼산화막을 성장한 단면 개략도
(열산화법을 이용한 이중채널 형성)



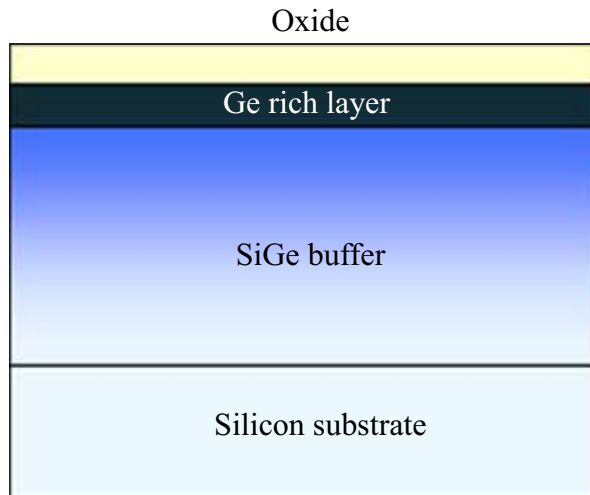
<그림 5-5> 웰 형성을 위한 이온주입 공정의 단면 개략도
(일반적인 이중채널 형성)



<그림 5-6> 웰 형성을 위한 이온주입 공정의 단면 개략도
(열산화법을 이용한 이중채널 형성)



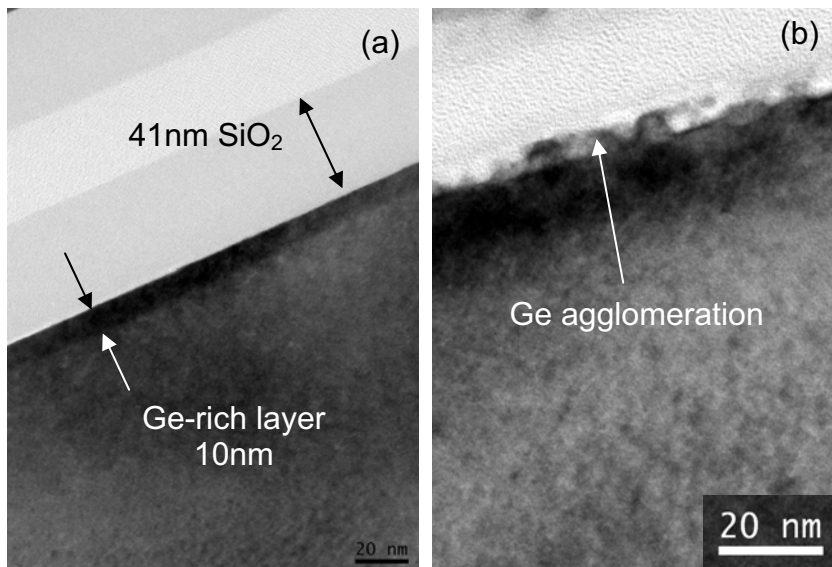
<그림 5-7> 열처리 공정후의 게르마늄 편석을 보여주는 단면 개략도
(일반적인 이중채널 형성)



<그림 5-8> 열처리 공정후의 Ge Rich layer 형성을 보여주는 단면 개략도
(열산화법을 이용한 이중채널 형성)

<그림 5-5> 및 <그림 5-6>은 웰 형성을 위한 이온주입 공정을 보여 주고 있다. 이온주입 공정 후에는 도펀트의 활성화를 위해 고온에서 장시간 열처리 공정을 실시하여야 한다. 이때 게르마늄의 확산이 진행되게 되는데 일반적으로 실리콘-게르마늄 막은 실리콘에 비해 산화막이 더 빠른 속도로 성장하는 것으로 알려져 있다. 또한 실리콘-게르마늄의 열 산화막 공정 시에는 실리콘-게르마늄 막내의 실리

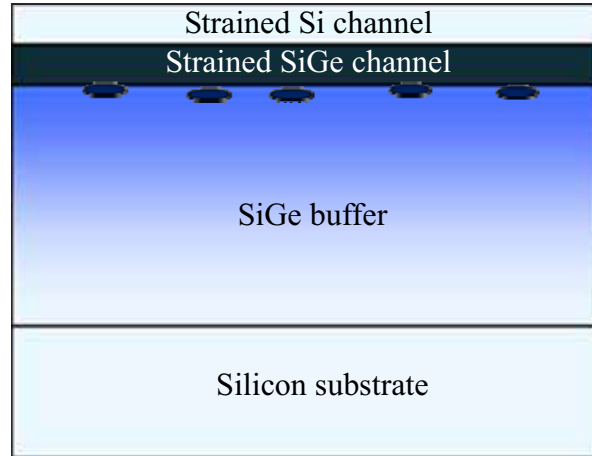
콘 원자만이 실리콘 산화막 형성에 참여하고 게르마늄은 아래쪽으로 확산 현상이 일어난다. 따라서 실리콘 산화막 층 하부에 게르마늄의 농도가 급격하게 증가하게 된다. 이러한 게르마늄 밀집층을 본 연구에서는 Ge rich layer 라고 명명한다. <그림 5-9a>는 열처리 공정 후에 실리콘 캡 층에 Ge Rich layer 가 형성된 TEM 사진으로 상부 실리콘 캡의 두께가 5nm 인 경우에는 10nm 의 75% 게르마늄 조성을 갖는 Ge rich layer 가 형성되어 있는 것을 알 수 있다.



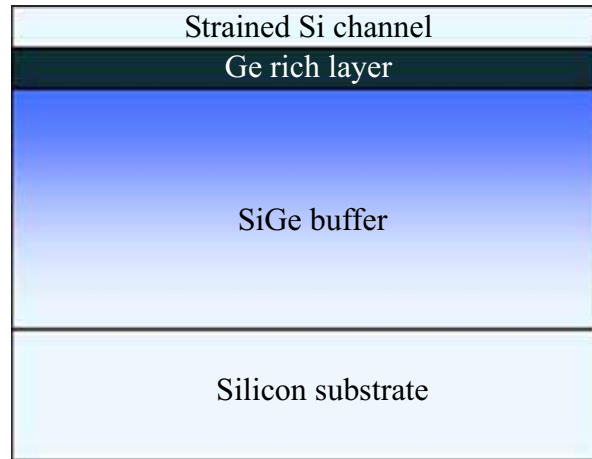
<그림 5-9> 열처리 공정 후에 실리콘 캡 층에 Ge Rich layer 가 형성된 TEM 사진(a) 과 응력완화층 상부에 게르마늄 응집현상을 보여주는 TEM 사진(b)

<그림 5-9b>는 Ge rich layer 상부의 산화막을 유지한 상태에서 800℃의 온도로 120분간의 열처리를 실시한 후 산화막을 제거한 시편의 단면 TEM 사진으로 고온 열처리 공정에 의해 Ge rich layer 와 실리콘 산화막 간의 응집현상 (agglomeration)이 관찰된다. 따라서 상부에 실리콘 채널 층을 형성할 경우 결함의 원인이 되어 소자 특성 저하의 원인이 된다. <그림 5-10>은 응력완화층 상부에 실리콘/실리콘-게르마늄 이중채널 형성한 단면 개략도로 게르마늄의 응집현상이 발생한 실리콘-게르마늄 응력완화층 상부에 응력이 인가된 실리콘-게르마늄 채널 및 실리콘 채널을 차례로 성장한다. 실리콘/실리콘-게르마늄 이중채널의 두께 및 게르마

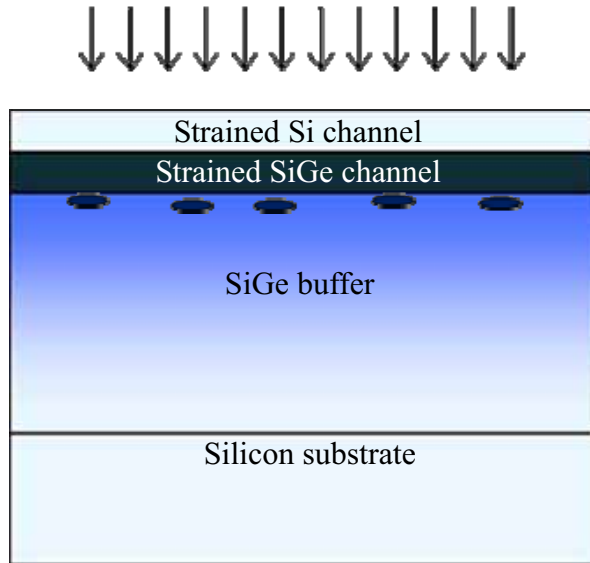
늄 조성 등에 관한 최적화는 앞선 결과를 통해 알 수 있다. <그림 5-11>은 열처리에 의해 생성된 Ge Rich layer 상부에 실리콘-게르마늄 채널을 형성한 단면도이다.



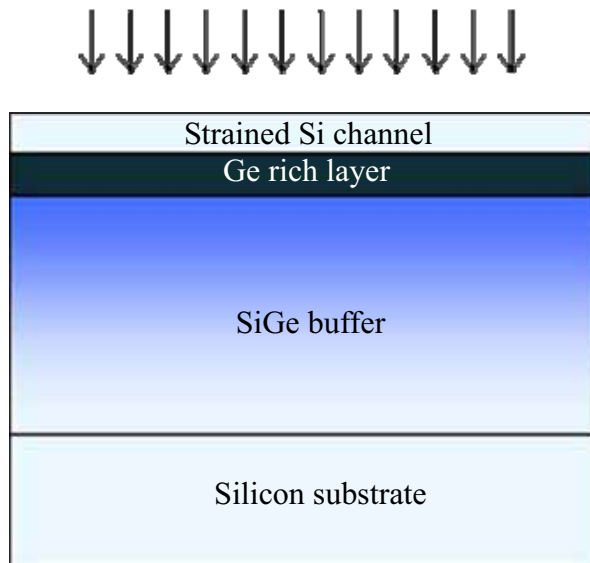
<그림 5-10> 응력완화층 상부에 실리콘/실리콘-게르마늄 이중채널 형성한 단면 개략도 (일반적인 이중채널 형성)



<그림 5-11> Ge Rich layer 상부에 실리콘-게르마늄 형성한 단면 개략도 (열산화법을 이용한 이중채널 형성)



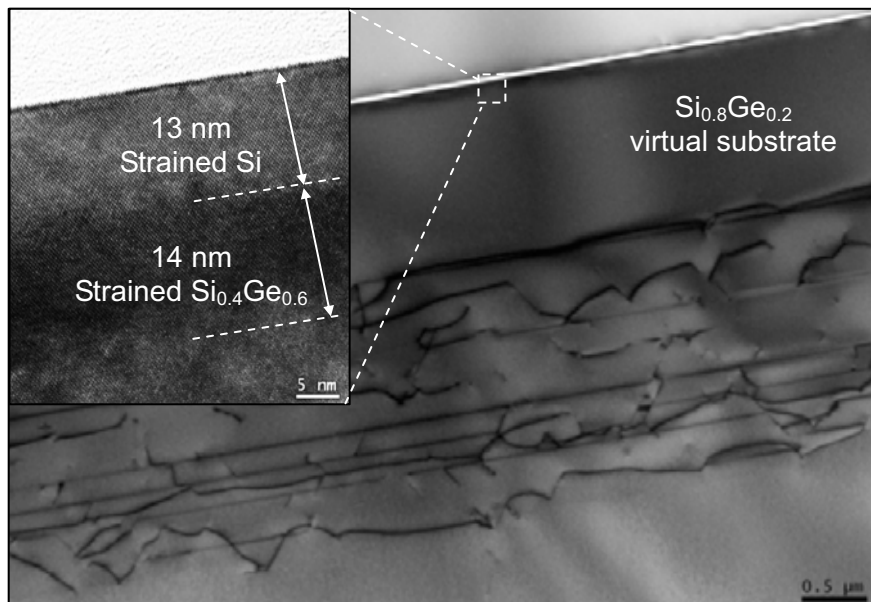
<그림 5-12> 문턱전압 이온주입 공정의 단면 개략도
(일반적인 이중채널 형성)



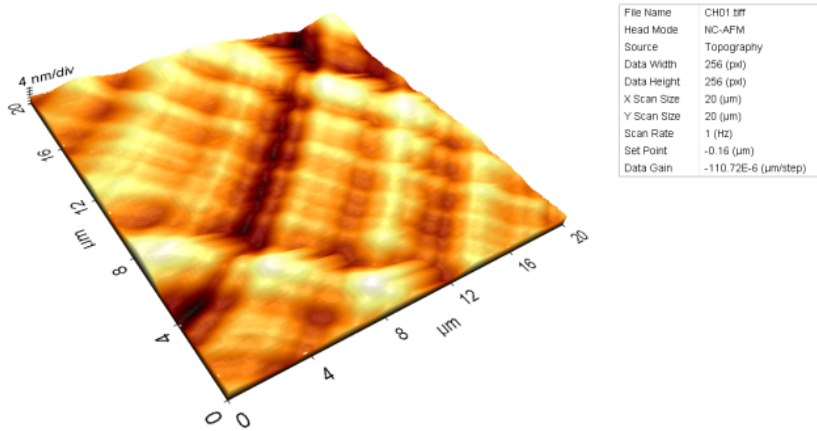
<그림 5-13> 문턱전압 이온주입 공정의 단면 개략도
(열산화법을 이용한 이중채널 형성)

실리콘/실리콘-게르마늄 이중채널을 형성한 후에는 문턱전압을 조절하기 위한 이온주입 공정이 진행된다. 이는 <그림 5-12> 및 <그림 5-13>을 통해서 도식하였다. 이온주입 후에는 열처리 공정이 진행되어야 하는데 상기하였듯이 게르마늄의 확산 계수가 크기 때문에 실리콘 채널 및 실리콘-게르마늄 응력완화층으로 게르마늄의 확산이 진행되게 된다. 하지만 Ge Rich layer의 경우에는 이미 고온에서 장시간 열처리 공정이 진행되었으므로 열적으로 안정하다. 따라서 일반적인 이중채널 형성법에 비해 채널에 인가되는 응력을 유지하기에 유리하다.

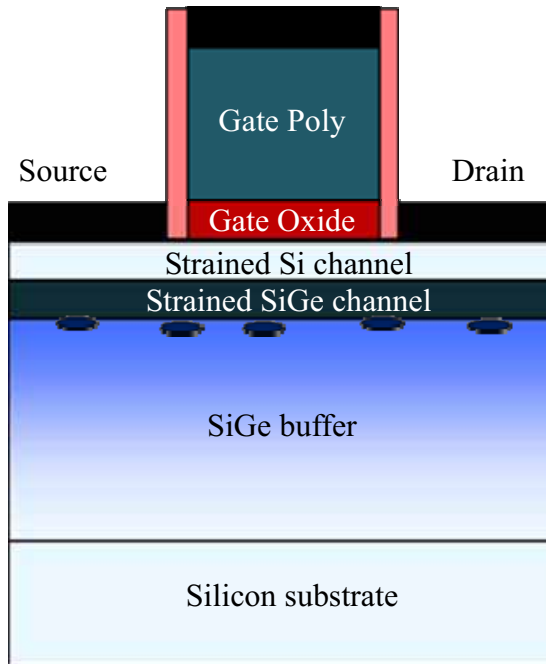
<그림 5-14>는 실리콘-게르마늄 응력완화층 상부에 Ge Rich layer를 이용하여 형성한 실리콘/실리콘-게르마늄 이중채널의 TEM 단면사진으로 20%의 게르마늄 조성을 갖는 실리콘-게르마늄 응력완화층 상부에 14 nm 두께의 60% 게르마늄 조성을 갖는 실리콘-게르마늄 채널 층과 13 nm 두께의 실리콘 채널 층이 결합 없이 형성되었다. 또한 <그림 5-15>은 실리콘-게르마늄 응력완화층 상부에 Ge Rich layer를 이용하여 형성한 실리콘/실리콘-게르마늄 이중채널의 표면 거칠기 측정을 위한 AFM 분석 결과로 2.64 nm의 표면 거칠기를 나타낸다.



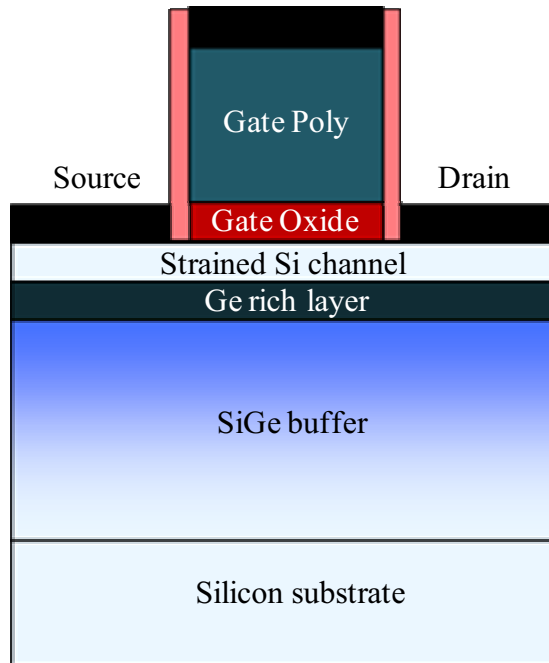
<그림 5-14> 실리콘-게르마늄 응력완화층 상부에 Ge Rich layer를 이용하여 형성한 실리콘/실리콘-게르마늄 이중채널의 TEM 단면사진



<그림 5-15> 실리콘-게르마늄 응력완화층 상부에 Ge Rich layer 를 이용하여 형성한 실리콘/실리콘-게르마늄 이중채널의 표면 거칠기 측정을 위한 AFM 분석 결과



<그림 5-16> 일반적인 이중채널 형성법에 의한 MOSFET 소자의 단면 개략도



<그림 5-17> 열산화법을 이용한 이중채널 MOSFET 소자의 단면 개략도

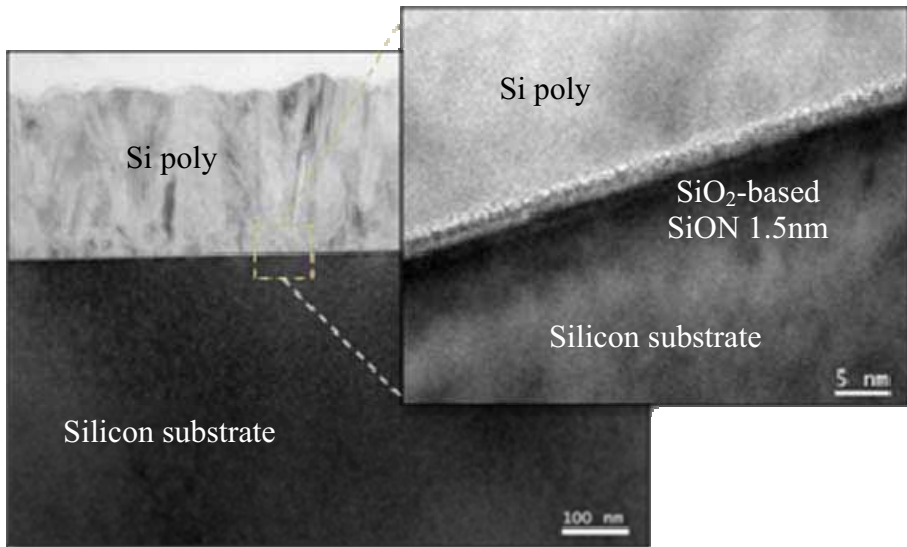
<그림 5-16> 과 <그림 5-17>은 일반적인 이중채널 형성법에 의한 MOSFET 소자와 열산화법을 이용한 이중채널 MOSFET 소자를 비교한 단면 개략도로 일반적인 방법에서는 실리콘/실리콘-게르마늄 이중채널과 실리콘-게르마늄 응력완화층 간의 계면에 게르마늄의 응집현상에 따른 결함이 발생하였고 실리콘-게르마늄 채널층의 두께 및 게르마늄 농도도 변할 것으로 예상할 수 있다. 따라서 본 연구에서 개발한 실리콘-게르마늄 응력완화층의 열 산화법을 이용하여 Ge Rich layer 를 이중채널로 이용하는 방법을 통해 이중채널 MOSFET 소자를 제작하는 공정이 가능하다는 것을 알 수 있으며 일반적인 방법에 비해서도 장점이 있다는 것을 알 수 있다. 하지만 본 연구는 45 nm 급 이하의 소자에 직접 적용한 것이 아니라서 실제 나노 소자에 적용 시에는 또 다른 해결해야 할 문제 들이 도출 될 수도 있다.

또한 본 연구에서는 반도체 소자기술의 고집적화에 따라 요구되는 고품위의 게이트 절연막 형성을 위한 요소 기술로써 RAON 공정법을 이용하여 저온에서 고품위의 SiO₂ 기반의 SiON 박막을 1.5 nm 두께로 성장하는 기술을 확보하였다. 이는

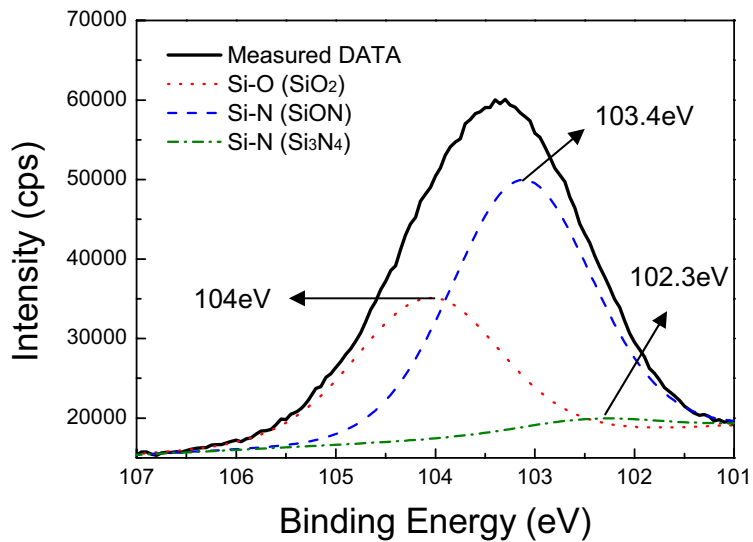
실리콘 기판과의 접합특성이 우수한 실리콘 산화막이 계면에 존재하고 고 유전율의 SiON 이 그 상부에 위치하는 구조로 이와 같은 SiO₂ 기반의 SiON 박막을 형성하기 위한 최적화 연구를 통해 그 결과를 확보하고 있다.

<그림 5-18>은 RAON 법을 이용하여 증착한 박막의 정확한 두께 측정 및 상부 다결정 실리콘 게이트막과의 계면 상태를 확인하기 위해 SiO₂ 기반의 SiON 박막의 성장 후에 다결정 실리콘막을 상부에 증착한 샘플의 TEM 사진으로 1.5 nm 두께의 SiO₂ 기반의 SiON 박막이 형성되어 있는 것을 확인 할 수 있다. 또한, HRTEM 사진을 통해 계면의 거칠기를 확인하였는데 실리콘 기판과 SiO₂ 기반의 SiON 박막 사이의 계면은 매우 매끄러운 형태를 이루고 있으나 SiO₂ 기반의 SiON 박막과 다결정 실리콘막간의 계면은 다소 거칠어 보인다. 이는 SiO₂ 기반의 SiON 박막은 실리콘 기판의 세정 공정 후 시간의 지체 없이 바로 RAON 공정을 통해 형성하므로 계면상태가 양호하나 실리콘 다결정 막은 연속적으로 공정을 진행하지 못하여 세정공정을 실시하지 못하였기 때문이다.

RAON 법을 이용하여 실리콘 기판 상에 성장한 절연막의 성분을 확인하기 위해 XPS 분석을 이용하여 검증하였다. <그림 5-19>는 상기 제작된 SiO₂ 기반의 SiON 박막의 성분을 분석하기 위해 XPS 분석을 실시한 결과를 보여준다. SiO₂의 결합을 확인 할 수 있는 Si와 O의 결합에너지 값은 104 eV 이고 SiON의 결합으로부터 생성되는 Si와 N의 결합에너지 값은 103.4 eV 그리고 Si₃N₄의 결합으로부터 생성되는 Si와 N의 결합에너지 값은 102.3 eV 이다. 따라서 각 피크의 면적을 계산하면 절연막을 이루고 있는 조성의 비율을 계산 할 수 있는데, 그 결과 Si-O 결합과 Si-N 결합 그리고 Si-N 결합의 비율은 0.58 : 1.0 : 0.06 으로 나타난다. 따라서 상기 공정을 통해 형성한 절연막은 SiON의 결합과 SiO₂의 결합이 주 결합임을 확인 할 수 있었다.



<그림 5-18> RAON 공정을 이용하여 1.5 nm 두께의 SiO₂ 기반의 SiON 박막증착 후 상부에 실리콘 다결정 성장한 시편의 단면 TEM 사진



<그림 5-19> SiO₂ 기반의 SiON 박막의 XPS 분석결과

제 2 절 결론

본 장에서는 응력이 인가된 실리콘/실리콘-게르마늄 채널을 실리콘-게르마늄 응력 완화층 상부에 형성하여 운반자의 이동도를 증가하기 위한 실리콘-게르마늄 MOSFET 소자 공정 집적화에 대하여 설명하였다. 결론적으로 요약하면 다음과 같다.

첫째, 기존 실리콘 CMOS 공정의 공정흐름과 공정방법을 준수하며, 이로 인하여 기존 실리콘 CMOS 공정에 쉽게 접목 될 수 있다.

둘째, 일반적으로 이중채널을 형성하는 경우에는 고온 열처리 공정 등을 통해 계면에 게르마늄의 응집현상이 발생한다는 것을 알 수 있으며 문턱 전압 이온 주입 후의 활성화 공정 시 게르마늄의 확산에 의해 최적의 이중채널 두께 및 게르마늄 농도를 유지 할 수 없다. 그러나 본 연구에서 개발한 실리콘-게르마늄 응력완화층의 열산화 공정에 의해 생성된 Ge Rich layer 를 이용할 경우에는 이러한 문제들을 해결할 수 있었으며 이중채널의 두께 및 농도도 원하는 수준으로 유지가 가능하다.

셋째, 실리콘-게르마늄 MOSFET 은 고온 에피성장을 기반으로 제조되므로 제조공정 시간이 감소하며 이로 인한 생산성 향상과 우수한 thermal budget 을 기대할 수 있다.

넷째, 실리콘-게르마늄 MOSFET 의 게이트 산화막 형성시 기존의 SiO₂ 산화막 공정이 가능함은 물론, 본 연구의 SiO₂ 기반의 SiON 산화막 공정도 적용이 가능하여 게이트 산화막 특성을 향상시킬 수 있다.

제 6 장 결론 그리고 건의사항

제 6 장 결론 그리고 건의사항

현재 반도체소자의 주류를 이루고 있는 Si MOSFET 는 1958 년 노벨상 수상자인 Kilby 에 의해서 집적기술이 적용되면서 매 12~18 개월마다 Moore 법칙에 따라 2 배씩 트랜지스터 집적도가 증가되어 왔으며 십 년마다 1000 배씩 성능향상을 이루어 왔다. 트랜지스터의 게이트 길이가 45nm 이하로 줄어들면 전자숫자의 불균일에 따른 오작동, 배선 길이가 길어지고 선평이 좁아짐에 따른 RC 지연, 게이트 절연막 터널링에 의한 허용치 이상의 누설전류 등과 같은 기술적 한계와, 10nm 에 이르면 열적 진동 및 양자역학적 진동에 의한 오작동 등과 같은 현재의 기술로는 극복할 수 없는 물리적 한계에 도달하게 된다. 따라서 이를 극복하기 위해서는 현존하는 기술과는 전혀 다른 현상 및 원리에 기초한 새로운 공정에 의한 소자 개발이 필수적이며 새로운 물질을 이용하고자 하는 여러 노력들도 함께 진행되어 왔는데 그 대표적인 것이 게르마늄의 높은 운반자 이동도를 이용하거나 낮은 밴드 갭을 이용하여 기존의 소자에 적용하기 위한 시도이다. 본 연구에서는 높은 운반자 이동도를 갖는 실리콘-게르마늄 MOSFET 신소자를 연구하였다.

본 연구에서는 상기 신소자의 성능을 극대화하기 위하여 높은 수율을 갖는 AP/RPCVD 시스템을 이용하여 고온에서의 실리콘-게르마늄 단결정 성장, 높은 운반자 이동도를 갖는 실리콘-게르마늄 MOSFET 소자 구조 및 운반자 채널 특성 최적화, 실리콘-게르마늄 MOSFET 소자 집적화 방안에 대하여 중점적으로 연구하였다.

먼저, 높은 수율을 갖는 AP/RPCVD 시스템을 이용하여 저온 및 고온에서 고농도의 실리콘-게르마늄 단결정 성장에 대한 연구를 수행하였다. RPCVD 시스템에서 저온 및 고온에서 실리콘-게르마늄 단결정을 매우 우수한 특성으로 성장시키는 기술을 확보하였으며, 특히 고온에서의 단결정 성장은 소자 제조시간의 단축과 열적 안정성 측면에서 그 기술적 가치를 높였다고 할 수 있다.

실리콘-게르마늄 이중채널 MOSFET 채널구조에 따른 최적화 결과, 게르마늄 40% 조성인 실리콘-게르마늄 층의 두께가 12 nm, 실리콘 층의 두께가 20~25 nm 인

실리콘-게르마늄 NMOSFET 와 PMOSFET 에서 동일한 크기와 구조의 실리콘 NMOSFET 와 PMOSFET 과 비교하여 100% 이상 (2 배 이상) 이동도가 향상하는 것을 확인할 수 있었다. 이와 같이 본 연구에서는 실리콘-게르마늄 NMOSFET 와 PMOSFET 모두에서 동시 최적화된 채널 구조와 공정기술을 확보하였으며, 이러한 결과는 세계적으로 보고된 연구 결과에서보다 우수한 결과이다. 본 연구에서 확보한 실리콘-게르마늄 MOSFET 채널구조 최적화 및 공정기술은 실리콘 MOSFET 소자가 scale down 됨으로 인하여 직면하고 있는 한계를 극복할 수 있을 것으로 사료된다.

또한, 응력이 인가된 실리콘/실리콘-게르마늄 채널을 실리콘-게르마늄 응력 완화층 상부에 형성하여 운반자의 이동도를 증가하기 위한 실리콘-게르마늄 MOSFET 소자 집적화 공정을 연구하였으며, 그 특징을 요약하면 다음과 같다. 첫째, 기존 실리콘 CMOS 공정의 공정흐름과 공정방법을 준수하며, 이로 인하여 기존 실리콘 CMOS 공정에 쉽게 접목 될 수 있다. 둘째, 일반적으로 이중채널을 형성하는 경우에는 고온 열처리 공정 등을 통해 계면에 게르마늄의 응집현상이 발생한다는 것을 알 수 있으며 문턱 전압 이온주입 후의 활성화 공정 시 게르마늄의 확산에 의해 최적의 이중채널 두께 및 게르마늄 농도를 유지 할 수 없다. 그러나 본 연구에서 개발한 실리콘-게르마늄 응력완화층의 열산화 공정에 의해 생성된 Ge Rich layer 를 이용할 경우에는 이러한 문제들을 해결할 수 있었으며 이중채널의 두께 및 농도도 원하는 수준으로 유지가 가능하다. 셋째, 실리콘-게르마늄 MOSFET 은 고온 에피성장을 기반으로 제조되므로 제조공정 시간이 감소하며 이로 인한 생산성 향상과 우수한 thermal budget 을 기대할 수 있다. 넷째, 실리콘-게르마늄 MOSFET 의 게이트 산화막 형성시 기존의 SiO₂ 산화막 공정이 가능함은 물론, 본 연구의 SiO₂ 기반의 SiON 산화막 공정도 적용이 가능하여 게이트 산화막 특성을 향상시킬 수 있다.

본 연구에서 상기 개발된 기술들은 고동도 SiGe/Si 에피성장 기술, 고이동도 SiGe SFET 채널구조 및 공정기술 최적화, SiGe SFET 집적화 기술 등이 기존 실리콘 CMOS 소자의 성능을 향상시키는데 활용될 것이며, 실리콘 CMOS 소자의 성능 향상으로 인하여 장차 IT-SoC 부품의 성능을 높일 것으로 기대된다. 뿐만 아니라, 본

기술은 유무선 통신소자 및 광소자 성능을 향상시키는데 응용될 수 있을 것으로 기대된다. 또한, 국내의 실리콘 반도체에 대한 기술력과 인프라를 감안할 때 산업체에 지적재산권 이전 등을 통한 상용화 및 공동연구에 활용될 것으로 기대된다.

참 고 문 헌

1. R. Delhougne, P. M.-Beillard, M. Caymax, R. Loo and W. Vandervorst, *Applied Surface Science* 224, 91 (2004).
2. H. J. Herzog, T. Hackbarth, U. Seiler, et al, *IEEE Electron Device Letters* 23(8), 485 (2002).
3. J. Kuchenbecker, H. Kibbel, P. Muthsam and U. Konig, *Thin Solid Films* 389, 146 (2001).
4. S. H. Kim, K. H. Shim and J. Y. Kang, 3rd International Conference on SiGe(C) Epitaxy and Heterostructures proceeding, 203 (2003).
5. K. Sawano, S. Koh and Y. Shiraki, *Applied Physics Letters* 82, 412 (2003).
6. L. J. Huang, J. O. Chu, D. F. Canaperi, C. P. D’Emic, R. M. Anderson, S. J. Koester, and H.-S. P. Wong, *Applied Physics Letters* 78, 1267 (2001).
7. Guangrui Xia, Oluwamuyiwa O. Olubuyide, and Judy L. Hoyt, *Applied Physics Letters* 88, 013507 (2006).
8. Saurabh Gupta, Minjoo L. Lee, David M. Isaacson, Eugene A. Fitzgerald, *Materials Science and Engineering B* 124–125, 102–106 (2005).
9. S.H. Olsen, P. Dobrosz, E. Escobedo-Cousin, S.J. Bull, A.G. O’Neill, *Materials Science and Engineering B* 124–125, 107–112 (2005).
10. L. K. Bera, M. Mukherjee-Roy, B. Abidha, A. Agarwal, W. Y. Loh, C. H. Tung, R. Kumar, A. D. Trigg, Y. L. Foo, S. Tripathy, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, *IEEE Electron Device Letters* 27(5), 350 (2006).
11. J-L. Everaert, T. Conard, M. Schaekers, 13th IEEE International Conference on Advanced Thermal Processing of Semiconductors - RTP (2005).
12. R.K. Pandey, L.S. Patil, J.P. Bange, D.R. Patil, A.M. Mahajan, D.S. Patil, D.K. Gautam, *Optical Materials* 25, 1–7 (2004).
13. Martin von Haartman, B. Gunnar Malm, and Mikael Östling, *IEEE Trans. on Electron Devices* 53, 836-843 (2006).
14. Olivier Weber, Jean-François Damlencourt, Françoise Andrieu, Frédérique Ducroquet, Thomas Ernst, Jean-Michel Hartmann, Anne-Marie Papon, Olivier Renault, Bernard Guillaumot, and Simon Deleonibus, *IEEE Trans. on Electron Devices* 53, 449-456

- (2006).
15. Tae Joo Park, Seong Keun Kim, Jeong Hwan Kim, Jaehoo Park, Moonju Cho, Suk Woo Lee, Sug Hun Hong, and Cheol Seong Hwang, *Microelectronic Engineering* 80, 222-225 (2005).
 16. H. J. Cho, C. S. Kang, S. Rhee, Y.H. Kim, R. Choi, C. Y.Kang, C. Choi, M. Abkar., *IEEE IEDM*, 441-444 (2003).
 17. K. Rim, J. Chu, H. Chen, K.A. Jenkins, T. Kanarsky, K. Lee, A. Mocuta, H. Zhu, J. Newbury, J. Ott, K. Petrarca, P. Mooney, D. Lacey, S. Koester, K. Chen, D. Boyd, M. Jeong, H.-S. Wong, *Symposium on VLSI Technology Digest of Technical Papers*, 98-99 (2002).
 18. K. Rim, E.P. Gusev, C. D'Emic, T. Kanarsky, H. Cheu, J. Ott, K. Chan, D. Boyd, V. Mazzeo, B.H. Lee, A. Mocuta, J. Welsler, S.L. Cohen, M. Jeong, H.-S. Wong, *Symposium on VLSI Technology Digest of Technical Papers*, 12-13 (2002).
 19. T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, M. Bohr, *IEDM*, 978-980 (2003).
 20. K. Mistry, M. Armstrong, C. Auth, S. Cea, T. Coan, T. Ghani, T. Hoffmann, A. Murthy, J. Sandford, R. Shaheed, K. Zawadzki, K. Zhang, S. Thompson, M. Bohr, *Symposium on VLSI Technology Digest of Technical Papers*, 50-51 (2004).
 21. P. Bai, C. Auth, S. Balakrishnan, M. Bost, R. Brain, V. Chikarmane, et al, *IEDM*, 657-660 (2004).
 22. S. Tyagi, C. Auth, P. Bai, G. Curello, H. Deshpande, S. Gannavaram, O. Golonzka, R. Heussner, R. James, C. Kenyon, S-H Lee, N. Lindert, M. Liu, R. Nagisetty, S. Natarajan, C. Parker, J. Sebastian, B. Sell, S. Sivakumar, A. St Amour, K. Tone, *IEDM*, 245-247 (2005).
 23. H. J. Herzog, T. Hackbarth, U. Seiler et al, *IEEE Electron Device Letters* 23(8), 485 (2002).
 24. J. Kuchenbecker, H. Kibbel, P. Muthsam and U. Konig, *Thin Solid Films* 389, 146 (2001).
 25. S. H. Kim, K. H. Shim and J. Y. Kang, *3rd International Conference on SiGe(C) Epitaxy and Heterostructures proceeding*, 203 (2003).
 26. K. Sawano, S. Koh and Y. Shiraki, *Applied Physics Letters* 82, 412 (2003).
 27. L. J. Huang, J. O. Chu, D. F. Canaperi, C. P. D'Emic, R. M. Anderson, S. J. Koester, and

- H.-S. P. Wong, *Applied Physics Letters* 78, 1267 (2001).
28. Guangrui Xia, Oluwamuyiwa O. Olubuyide, and Judy L. Hoyt, *Applied Physics Letters* 88, 013507 (2006).
 29. Saurabh Gupta, Minjoo L. Lee, David M. Isaacson, Eugene A. Fitzgerald, *Materials Science and Engineering B* 124–125, 102–106 (2005).
 30. S.H. Olsen, P. Dobrosz, E. Escobedo-Cousin, S.J. Bull, A.G. O’Neill, *Materials Science and Engineering B* 124–125, 107–112 (2005).
 31. L. K. Bera, M. Mukherjee-Roy, B. Abidha, A. Agarwal, W. Y. Loh, C. H. Tung, R. Kumar, A. D. Trigg, Y. L. Foo, S. Tripathy, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, *IEEE Electron Device Letters* 27(5), 350 (2006).
 32. J-L. Everaert, T. Conard, M. Schaekers, 13th IEEE International Conference on Advanced Thermal Processing of Semiconductors - RTP (2005).
 33. R.K. Pandey, L.S. Patil, J.P. Bange, D.R. Patil, A.M. Mahajan, D.S. Patil, D.K. Gautam, *Optical Materials* 25, 1–7 (2004).
 34. Mitsuhiro Togo, Koji Watanabe, Toyoji Yamamoto, Nobuyuki Ikarashi, Toru Tatsumi, Haruhiko Ono, and Tohru Mogami, *IEEE Tran. on Electron Devices* 49(11), (2002).
 35. Martin von Haartman, B. Gunnar Malm, and Mikael Östling, *IEEE Trans. on Electron Devices* 53, 836-843 (2006).
 36. Olivier Weber, Jean-François Damlencourt, Françoise Andrieu, Frédérique Ducroquet, Thomas Ernst, Jean-Michel Hartmann, Anne-Marie Papon, Olivier Renault, Bernard Guillaumot, and Simon Deleonibus, *IEEE Trans. on Electron Devices* 53, 449-456 (2006)
 37. Tae Joo Park, Seong Keun Kim, Jeong Hwan Kim, Jaehoo Park, Moonju Cho, Suk Woo Lee, Sug Hun Hong, and Cheol Seong Hwang, *Microelectronic Engineerins* 80, 222-225 (2005).
 38. H. J. Cho, C. S. Kang, S. Rhee, Y.H. Kim, R. Choi, C. Y.Kang, C. Choi, M. Abkar., *IEEE IEDM*, 441-444 (2003).
 39. Martin von Haartman, B. Gunnar Malm, and Mikael Östling, “Comprehensive Study on Low-Frequency Noise and Mobility in Si and SiGe pMOSFETs With High- κ Gate Dielectrics and TiN Gate,” *IEEE Trans. on Electron Devices* 53, 836-843 (2006).
 40. Olivier Weber, Jean-François Damlencourt, Françoise Andrieu, Frédérique Ducroquet, Thomas Ernst, Jean-Michel Hartmann, Anne-Marie Papon, Olivier Renault, Bernard

Guillaumot, and Simon Deleonibus, "Fabrication and Mobility Characteristics of SiGe Surface Channel pMOSFETs With a HfO₂/TiN Gate Stack" IEEE Trans. on Electron Devices 53, 449-456 (2006).

41. Tae Joo Park, Seong Keun Kim, Jeong Hwan Kim, Jaehoo Park, Moonju Cho, Suk Woo Lee, Sug Hun Hong, and Cheol Seong Hwang, "Electrical properties of high-k HfO₂ films on Si_{1-x}Ge_x substrates," Microelectronic Engineerings 80, 222-225 (2005).
42. H. J. Cho, C. S. Kang, S. Rhee, Y.H. Kim, R. Choi, C. Y.Kang, C. Choi, M. Abkar., "High-K Dielectrics and MOSFET Characteristics," IEDM, 441-444 (2003).

약 어 표

- HBT: Hetero-junction Bipolar Transistor
- MOSFET: Metal Oxide Semiconductor Field Effect Transistor
- CMOS: Complementary Metal Oxide Semiconductor
- RFIC: Radio Frequency Integrated Circuit
- MMIC: Monolithic Microwave Integrated Circuit
- VCO: Voltage-Controlled Oscillator
- SFET: Strained Field Effect Transistor
- AP/PCVD : Atmosphere Pressure/Reduced Pressure Chemical Vapor Deposition
- TEM : Transmission Electron Microscope
- EDS : Energy Dispersive Spectrometer
- SIMS : Secondary Ion Mass Spectroscopy
- AFM : Atomic Force Microscope
- RTA : Rapid Thermal Annealing
- SGOI : Silicon-Germanium On Insulator
- SOI : Silicon On Insulator
- RAON: Radical-assisted Oxy-Nitridation
- SiON: Silicon Oxy-Nitridation
- ALD: Atomic Layer Deposition
- MIS: Metal Insulator Semiconductor
- EOT: Equivalent Oxide Thickness
- SIMS: Secondary Ion Mass Spectrometry
- HRTEM: High Resolution TEM
- PDA: Post-deposition Annealing

기술문서 구성표

● 특허등록/출원 (국내등록 4 건/국내출원 2 건/국제출원 2 건)

순번	구분	발명자	특허명	등록일 또는 출원일 (또는 제출일)	등록번호 또는 출원번호 (또는 관리번호)
1	국내 등록	김상훈 외 2명	게르마늄 반도체 소자 및 그 제조방법	'08.03.20	0817217
2	국내 등록	이지열 외 2명	직교신호 발생 콜피츠 전압 제어 발진기	'08.07.01	0844457
3	국내 등록	배현철 외 2명	분기구조를 갖는 대칭형 인덕터 및 그 제조방법	'08.07.24	0849428
4	국내 등록	이상홍 외 5명	광 배선 전자소자	'08.10.16	0864869
5	국내 출원	이상홍 외 2명	광배선 소자	'08.11.29	2008-0120191
6	국내 출원	이상홍 외 9명	고속 광배선 소자	'08.11.29	2008-0120192
7	국제 (미국) 출원	이상홍 외 9명	High-speed optic interconnection device	'08.10.23	IP20080976
8	국제 (일본) 출원	이상홍 외 9명	High-speed optic interconnection device	'08.10.23	IP20080977

● 발표논문 (국제게재 5 건/국제발표 1 건)

순번	구분	발표자	논문명	발표일	발표지
1	국제 게재	이상홍 외 3 명	Effect of silicidation on silicon-based thin film resistor in SiGe integrated circuits	'08.04 (on line)	Journal of Materials Science: Materials in Electronics
2	국제 게재	이지열 외 3 명	A 23GHz capacitive degeneration LC VCO with a FOM of -199 dBc/Hz	'08.06	Microwave and Optical Technology Letters, vol. 50, no. 6, pp. 1688-1690
3	국제 게재	김상훈 외 2 명	New fabrication of a strained Si/Si _{1-y} Ge _y dual channel on a relaxed Si _{1-x} Ge _x virtual substrate using a Ge-rich layer formed by oxidation	'08.07	Applied Surface Science, vol. 254, no. 19, pp. 6025-6029
4	국제 게재	이승윤 외 3 명	Emitter scaling dependence of mixed-mode reliability degradation in silicon-germanium heterojunction bipolar transistors	'08.07	Japanese Journal of Applied Physics, vol. 47, no. 7, pp. 5309-5313
5	국제 게재	이상홍 외 2 명	A 60 GHz mixer using 0.25 μm SiGe BiCMOS technology	'08.12	Microwave and Optical Technology Letters, vol. 50, no. 12, pp. 3007-3009
6	국제 발표	이상홍 외 2 명	A fully integrated 60 GHz SiGe BiCMOS mixer	'08.10	Proceedings of The 3rd European Microwave Integrated Circuits Conference, pp. 410-413

● 기술문서 (총 19 건)

순번	작성자	TDP/TM 명	등록일	등록번호
1	이상홍 외 5 명	SiGe Technology of ETRI	'08.01.21	TM200800172
2	이상홍 외 1 명	실리콘-게르마늄 이중접합 트랜지스터의 AC 측정결과	'08.01.30	TM200800231
3	이상홍 외 3 명	'07년도 실리콘-게르마늄 양자채널 나노 신소자 기술 연구산출물	'08.01.30	TM200800232

4	이상훈 외 1명	실리콘-게르마늄 양자채널 나노 신소자 기술 기본사업 '08년도 연구수행평가위원회 및 연구사업심의위원회 발표자료	'08.04.18	TM200800601
5	이상훈 외 2명	SiGeSFET 최적화 기술 및 특성평가	'08.07.21	TM200801476
6	이상훈 외 3명	실리콘-게르마늄 신소자 요구사항정의서	'08.11.05	TM200803461
7	이상훈 외 2명	60GHz detector 설계서 I	'08.11.17	TM200804169
8	이상훈 외 2명	60GHz detector 설계서 II	'08.11.18	TM200804238
9	이상훈 외 2명	SiGeSFET 제조공정 기술서(흐름도) 및 특징	'08.11.25	TM200805332
10	이상훈 외 1명	SiGe 기본사업 2008년도 추진실적 보고서	'08.12.02	TM200807529
11	김상훈 외 2명	실리콘실리콘-게르마늄 이중채널의 집적 연구	'08.12.12	TM200812745
12	김상훈 외 4명	실시간 보론 도핑된 게르마늄 증착법	'08.12.12	TM200812573
13	김상훈 외 4명	저온 순수 게르마늄 박막 성장	'08.12.12	TM200812611
14	김상훈 외 3명	게르마늄 박막의 세코 에칭법	'08.12.12	TM200812647
15	김상훈 외 4명	RPCVD 법을 이용한 3단계 게르마늄 단결정 성장법	'08.12.12	TM200813368
16	김상훈 외 4명	낮은 침투전위 밀도를 갖는 순수 게르마늄 박막 성장법	'08.12.12	TM200813384
17	김상훈 외 4명	선택적 게르마늄 단결정 성장법	'08.12.12	TM200812714
18	김상훈 외 3명	게르마늄 시드층의 최적화 연구	'08.12.12	TM200812629
19	김상훈 외 4명	고온 순수 게르마늄 박막 성장	'08.12.12	TM200812592

주 의

1. 이 연구보고서는 한국전자통신연구원의 기본사업으로 수행한 연구결과입니다.
2. 이 보고서의 내용을 발표할 때에는 반드시 한국전자통신연구원에서 수행한 기본사업 연구결과임을 밝혀야 합니다.