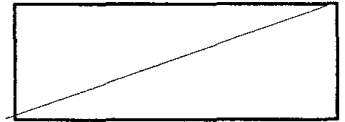


2006 년 1 월

05ZB1200-01-1205P



실리콘-게르마늄 양자채널 나노신소자
SiGe Quantum-Well Channel Nano Device Technology

한국 전자통신연구원

인 사 말 씀

최근 국가적으로 일인당 국민소득 2만불 시대를 견인할 핵심동력의 중심에 차세대 반도체 기술개발 전략을 수립하고 있으며, 반도체 산업의 극심한 경쟁과 기술적 한계를 타파할 기반기술 분야로 정보통신 System-on-Chip (IT-SoC)을 선정했습니다. 본 연구는 IT-SoC의 핵심기반이라 할 수 있는 차세대 반도체 소자기술의 중심인 실리콘-게르마늄 반도체에 관한 것으로 최근 10년간 ETRI는 이 분야의 국내기술을 주도해 왔습니다. 반도체의 기술개발에 있어서 요소분야는 소재/소자, 장비, nano-공정 및 분석기술 등인데 본 연구는 이러한 분야의 핵심기술을 개발하여 추후 제품화의 초석이 되는 것입니다. 마지막으로 본 과제 수행을 위해 후원해 주신 여러분께 깊이 감사를 드립니다.

2006 년 1 월 20일

한국전자통신연구원 원장 임 주 환

여백

제 출 문

본 연구보고서는 내부연구과제인 "실리콘-게르마늄 양자채널 나노신소자에 관한 연구"의 결과로서, 본 과제에 참여한 아래의 연구팀이 작성한 것입니다.

2006 년 1 월

연구책임자 : 선임연구원 송영주 (SiGe 소자팀)

연구참여자 : 연구원 민봉기 (SiGe 소자팀)

여백

요 약 문

I. 제 목

: 실리콘-게르마늄 양자채널 나노신소자 기술

II. 연구목적 및 중요성

본 연구는 IT-SoC 산업의 핵심기반인 차세대 반도체 소자기술 확보를 위하여 실리콘-게르마늄 양자채널을 이용한 나노신소자 원천기술을 개발하는 것이다. “NTRM 2002 반도체 나노신소자 기술개요”에서 고성능 SoC의 효과적인 개발을 위해서 고속화, 저전력화, 고밀도화 특성을 갖는 실리콘 기반의 반도체 나노소자 기술이 필수적임이 강조되었다. 그러나 50nm 이하 급 소자기술에서 종래의 실리콘 CMOS (Classical CMOS) 소자로는 동작속도 향상과 소비전력/발열문제의 해결이 불가능할 뿐 아니라 저주파 잡음의 증가도 감당하기 어려운 문제로 알려져 있다. 따라서 기존의 실리콘 CMOS반도체 소자의 물리적 한계를 극복하기 위한 여러 형태의 Non-Classical CMOS 구조가 제안되고 있는데, 이중 가장 유력한 후보가 실리콘-게르마늄 양자채널을 이용한 CMOS소자이다. 본 연구는 이 SiGe(C)/Si 양자채널의 물리적 특성, 동작현상의 이해를 통한 나노 소자 제작기술개발 및 측정기술 개발을 연구목표로 삼은바 있다. 초고속-저전력 실리콘-게르마늄 양자채널 나노 신소자는 본 연구실이 보유하고 있는 SiGe/Si 에피기술과 저온-라디컬 산화막성장기술 및 저잡음 소자기술을 기반으로 한다. 세계의 실리콘 반도체 기술을 선도하는 인텔의 경우, 실리콘 기반의 200GHz 급 나노소자를 이용하여 12GHz 클럭으로 동작하는 프로세서를 2010년까지 상업화한다고 발표한 바 있으며, 이를 위해 SiGe SFET 기술을 개발 중이다. 본 과제의 목표는 인텔과 대등하거나 우월한 수준의 고속-저전력 실리콘-게르마늄 양자채널 나노 신소자의 원천특허와 기술력을 달성하는 것이 본 연구의 목적이다.

III. 연구내용 및 범위

본 연구실이 확보하고 있는 SiGe 반도체 기술 resource로 나노 신소자의 기반기술을 개발하여 향후 부딪히게 될 특허분쟁, 기술료 등의 문제를 공략하기 위해 원천기술의 발굴 및 특허확보, 국내의 학계와 산업체와 긴밀한 협조에 의한 연구 저변확대, 독창적 아이디어의 발굴, 실용화 체계강화에 역점을 두어 추진한다.

1. 원천기술 발굴 및 지적재산권 확보

: 기존의 SFET 구조관련 특허의 기능해석, 문제점 분석, 한계특성 해석을 통한 새로운 SFET 구조제안 및 핵심 원천기술개발

- 고이동도 SiGe/Si QW on SOI 구조 성장기술($X_{Ge}=0.2$)
- SiGe SFET 구조 최적화 연구
- 저온 래디컬 게이트 절연막 기술 (RAON)개발
- 1/f 잡음 측정분석 연구

2. 국내연구 실리콘-게르마늄 반도체 기술저변 확대

: 학계(초빙교수), 산업체등과 실리콘-게르마늄 반도체 신소자 기술(가칭) 협의체를 구성 및 워크샵 개최

3. 국외정보 수집 및 기술교류 확대

: IQE, Intel, UNAXIS 등의 해외업체 등과 협력관계 유지 및 정보교류

IV. 연구결과

실리콘-게르마늄 양자채널 나노신소자 제작을 위해 필요한 단위공정으로 SiGe/Si 양자층 에피 on SOI, 저온 고청정 게이트 산화막 기술(RAON)이 확보되었으며 소자 최적화 연구로는 Si-cap 두께를 달리한 SiGe CMOS가 제작되었다. 측정 및 분석 기술로는 나노신소자의 신뢰성을 예민하게 분석이 가능한 1/f 잡음 측정기술이 Gate 누설전류 및 NBTI분석과 관련되어 제안되었다. 아래는 주요 연구결과이다.

- $X_{Ge}=20\%$ 의 SiGe 양자채널 EPI on SOI 기술개발, 소자제작 평가 (이동도 증가율~10%)
- 고성능 저온 래디컬 게이트 산화막 (RAON) 장비 구축 및 샘플제작 (온도 < 700 C, 산화막 두께 < 2nm)
- C-V 나 DLTS 보다 나노소자 산화막 계면 분석이 예민한 1/f 잡음 분석법 제안 (Gate 누설 전류 및 NBTI에 적용)
- 고성능 Different Si-cap SiGe SFET 제작 및 평가

V. 기대성과 건의

과제 성격상 원천기술에 속하지만 국내의 실리콘 반도체에 대한 기술력과 인프라를 감안할 때 산업체에 조기 상용화 및 공동연구 등이 가능할 것으로 기대됨. 현재 CMOS Image Sensor Application을 위해 연구결과 접목 협의 중에 있음.

여백

ABSTRACT

It was shown that the present SiGe quantum-well channel nano-device technology is very promising one to solve the problems of conventional Si CMOS devices, such as operation speed, power consumption and noise limits. One of the most important parts on SiGe technology is considered to be epitaxial growth, which can be divided into SiGe relaxed buffer and quantum-well channel growths. In this study, we could successfully grow a high-performance channel on SOI wafer. By utilizing a specially-designed ozone source (RAON), high-purity and high-quality gate oxides were grown and then successfully applied to SiGe device fabrication. Finally, the 1/f noise measurement technique was proposed as a high-sensitivity nano-device reliability test tool for gate leakage detection and NBTI measurement..

여백

CONTENTS

Chapter 1. Overview of the Research	15
1. Goal of the Research	17
2. Necessity of the Research	19
Chapter 2. Research Trends	21
1. International Trends	23
2. Domestic Trends	24
Chapter 3. Contents and Results of Research	27
1. Approach and Method	29
2. Research Contents	29
3. Research Results	31
Chapter 4. Achievements and Contributions	53
Chapter 5. References	57
Abbreviation	61

여백

목 차

제 1 장	서론	15
	1. 사업목적	17
	2. 사업의 필요성	19
제 2 장	국내외 기술개발현황	21
	1. 세계 기술현황	23
	2. 국내 기술현황	24
제 3 장	연구개발수행내용 및 결과	27
	1. 이론적 실험적 접근방법	29
	2. 연구내용	29
	3. 연구결과	31
제 4 장	목표달성도 및 관련분야에의 기여도	53
제 5 장	참고문헌	57
부록	ETRI SiGe HFET 공정흐름	61

여백

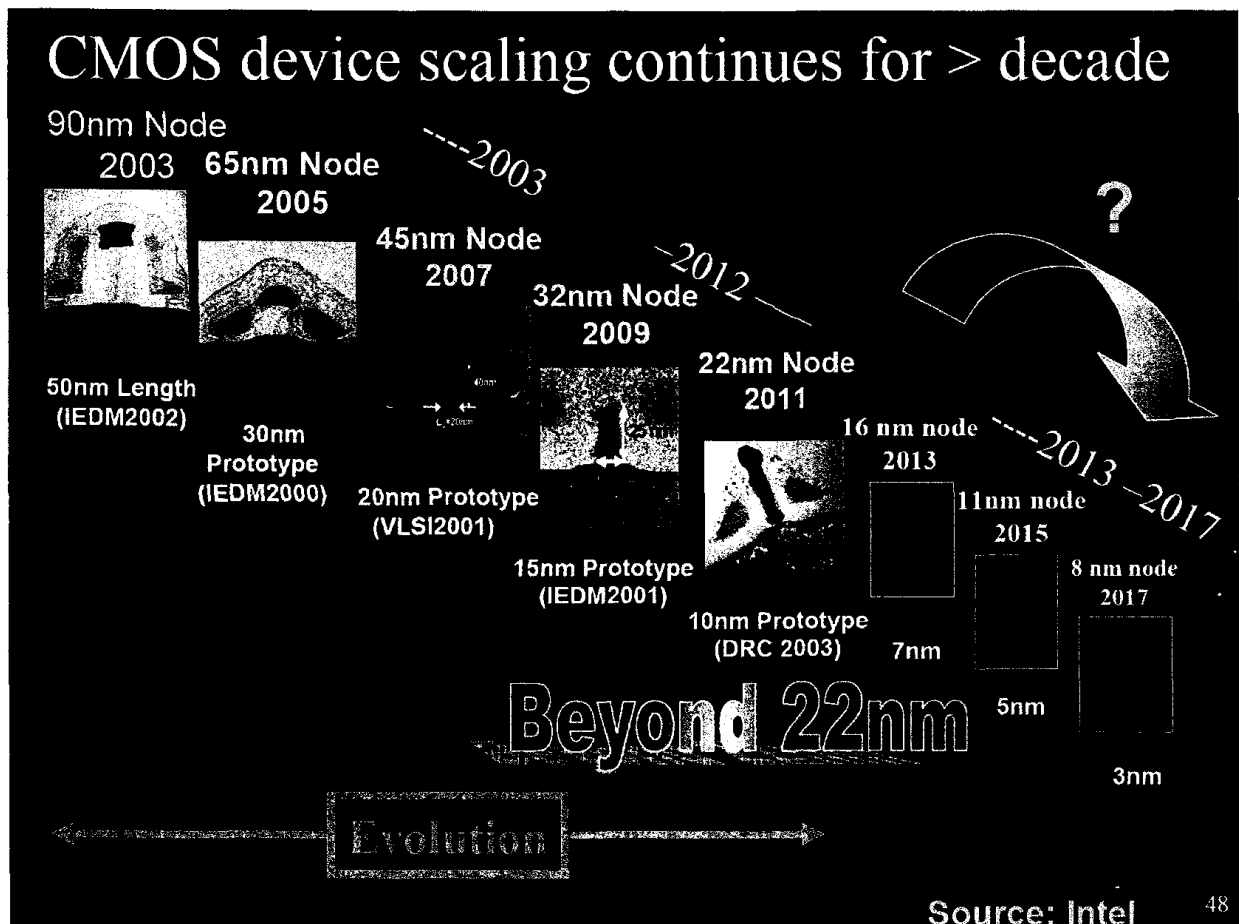
제 1 장 서론

여백

제 1 장 서론

1. 사업목적

전 세계 반도체시장의 주류를 형성하고 있는 Si CMOS (Complementary Metal-Oxide-Semiconductor) 는 지속적인 공정개발과 소자특성의 최적화를 통해 gate-length 20nm 급까지 계속 사용될 것으로 보고되고 있다. 그러나 Si CMOS가 50nm 이하 급으로 접어들면서 발생하는 여러 문제들(Mask Cost, 단채널 효과 등)로 인해 Si CMOS외의 다른 소자구조에 대한 연구도 매우 활발히 진행되고 있다. [그림1] 은 인텔에서 예측한 단위소자발전 로드맵이다.



[그림 1] 단위소자 발전 로드맵 (인텔, 2005)

특히 gate-length 90nm급 이하에서는 급속도로 얇아진 게이트 산화막으로 인해 high-k 절연막 및 metal gate의 사용이 필수적일 것으로 예상되는데 [그림 2]는 인텔에서 예측한 소자구조 예상 로드맵에 잘 나타나 있다.

Continuation of Moore's Law

Intel found a solution for High-k and metal gate

Process Name	P856	P858	Px60	P1262	P1264	P1266	P1268	P1270
1st Production	1997	1999	2001	2003	2005	2007	2009	2011
Process Generation	0.25 μ m	0.18 μ m	0.13 μ m	90 nm	65 nm	45 nm	32 nm	22 nm
Wafer Size (mm)	200	200	200/300	300	300	300	300	300
Inter-connect	Al	Al	Cu	Cu	Cu	Cu	Cu	?
Channel	Si	Si	Si	Strained Si	Strained Si	Strained Si	Strained Si	Strained Si
Gate dielectric	SiO ₂	SiO ₂	SiO ₂	SiO ₂	SiO ₂	High-k	High-k	High-k
Gate electrode	Poly-silicon	Poly-silicon	Poly-silicon	Poly-silicon	Poly-silicon	Metal	Metal	Metal

Potential candidate for introduction

Up to 22nm!

Source: Intel

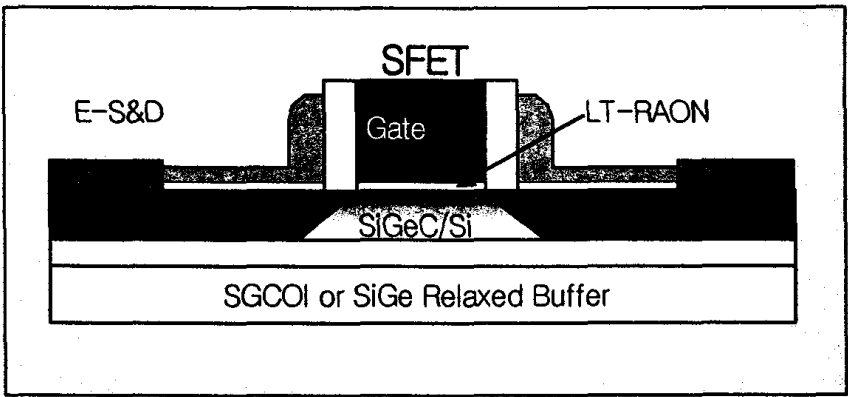
17

[그림2] Si CMOS 소자구조 로드맵 (인텔 2005)

Non-classical CMOS 나노신소자의 핵심기술로는 SOI (Silicon on Insulator), FinFET, Dual-Gate FET, SFET 등이 있는데 극미세 패터닝 기술개발을 통하여 2010년대에 50nm 이하 소자를 실용화한다는 목표를 잡고 있다. 그러나 현재 반도체 동작원리나 양산성 측면에서 볼 때 가장 실현가능한 소자구조는 SFET (Strained-Si Field Effect Transistor)로 널리 인정되고 있다. 이에 본 연구실은 그동안 본 연구실에서 수년간 축적해온 실리콘-게르마늄 양자채널 에피 기술을 기반으로 양자채널의 신소자와 새로운 나노급 회로의 기초를 마련하고자 사업을 수행하였다. 이를 통해 수백 GHz에서 동작하는 실리콘-게르마늄 양자소자를 구현하여 Terabit 초고집적메모리회로와 10GHz 클럭의 고속논리회로의 시대를 여는데 기반이 될 원천기술을 선도하게 될 것으로 기대된다.

실리콘-게르마늄 반도체는 고속-저잡음 특성때문에 초고속-저전력 마이크로프로세서, ASIC, 그리고 GaAs계 화합물반도체의 영역으로 분류되는 RFIC(Radio Frequency Integrated Circuit), MMIC(Monolithic Microwave Integrated Circuit) 기술까지 응용분야가 점차 확대되고 있다. 상술된 바와 같이 미래의 마이크로프로세서에서 고속-병렬연산을 위해 나노 신소자의 고속동작, 저전력, 저잡음 특능을 가장 필요로 한다(P. Beckett, ACSAC2002, "Towards

Nanocomputer Architecture"). 초고속 실리콘-게르마늄 양자소자의 제작에 필요한 핵심기술은 실리콘-게르마늄 양자채널 에피성장, 저온 선택성장(LT-SEG), 수 원자층의 이차원 불순물 도핑, 저저항/고신뢰성 SiGe-salicide 기술, SiGeC/SOI기술, elevated S/D, solid phase diffusion 기술 및 저온-라디컬 산화막 기술 등이 포함된다. 고품질 에피성장은 고성능 소자제작에 필요한 가장 중요한 기술이며 저온 라디컬 산화막 기술은 SiGe의 열적 불완성에 의한 소자특성 열화를 방지할 수 있는 핵심 기술이다. solid phase diffusion 기술은 나노소자의 가장 중요한 기술 중의 하나인 shallow junction을 구현하기 위해 제안된 기술이다. Channel confinement를 구현하는 SiGe(C)/Si 층으로 subthreshold-slope을 줄이고, SiGeC/SOI 기술로 I_{on}/I_{off} 를 높여 열문제를 격감시킬 수 있을 것으로 기대된다. 특히, 본 연구실이 보유하고 있는 1/f 잡음 측정기술은 자로 발전하면서 문제가 되는 신뢰성분석을 포함한 전반적인 소자특성분석의 어려움을 해결할 것이다. 최종적으로 실리콘-게르마늄 양자채널을 이용한 50nm 급 고성능 SFET 제작 및 나노소자 분석 기반기술은 국내의 반도체 기술을 세계수준의 경쟁력 있는 기술로 발전시킬 수 있는 밑거름이 될 것이다. [그림3]은 본 사업에서 수행하고 있는 최종목표 SiGe SFET의 단면도이다.



[그림 3] SiGe SFET 단면도

2. 사업의 필요성

선진국에서는 인텔과 IBM을 포함한 거의 모든 반도체회사가 실리콘-게르마늄 반도체 기술개발에 많은 투자를 하고 있으며(IEDM 2005) 이를 통한 프로세서-임베디드 SoC의 산업화를 추구하고 있다. 그러나 국내 회사들의 SiGe 반도체관련 연구진행은 전무한 실정인 상태이며, 이를 극복하고 산업체가 하루빨리 실리콘-게르마늄 반도체기술을 갖추도록 지원하기 위해 본 사업을 수행하게 되었다. SFET은 인텔 등에 의해 수년 내에 상용화가 시작될 것으로 예상되는데 이러한 소자기술은 15년 이상의 집중적인 SiGe 에피기술을

통해 이룩된 결과이다. 앞으로 실리콘-게르마늄 양자채널 나노 신소자를 기반으로 하는 고성능 회로 제품은 실리콘 반도체산업의 발전에 필수적인 요소로 자리 잡을 전망이다.

그리고 반도체 나노 신소자 기술은 반도체 장비, 소재 부품, 화공 등 관련산업과 바이오, 의학, 생명, 에너지, 환경, 문화 등 주변 산업에도 큰 영향을 미치는 기술이므로 이것의 확보는 국가경제의 원동력이 될 것으로 기대된다(NTRM2002, p.296). 특히 유비쿼터스 21C 멀티미디어 정보화 사회를 앞두고 방송, 통신, 컴퓨터, 그리고 가전부분의 융합이 가속화 되면서 여러 가지 형태의 상품과 서비스가 속속 출현하고 있다. 이런 가운데 다양한 서비스를 제공하는 프로세서와 메모리가 임베디드된 IT-SoC 및 응용제품이 차세대 (4G 및 5G) 통신서비스의 이동성을 최대한 보장하고, 사람-사람, 사람-사물, 사물-사물의 네트워크로 정보통신사회의 변혁을 유도할 것이다.

실리콘-게르마늄 양자채널을 이용한 나노신소자 제작기술 도입은 국내의 미진한 기술 성숙도와 해외기업의 기술보호로 인하여 현실적으로 거의 불가능하다. 만일 기술도입이 되는 경우를 가정한다면, 2010년 SiGe 반도체시장(Strategies Unlimited) 60조원에 점유율 10%와 기술료 4%를 추정하여 적용하면, 연간 2,400억원의 로열티를 지급해야 한다는 결론이 나온다. 결국 국가적으로 자체 기술개발에 의한 경쟁력 확보방안이 기술도입보다 경제성에 있어서 비교할 수 없을 정도로 높다. [표 1]과 같이 실리콘-게르마늄 반도체 세계 시장의 규모가 2005년에는 18억불로 성장할 것으로 Strategies Unlimited (1999)사에 의해 예측되었다. 2007년도 세계시장 규모는 33억불, 국내 (세계시장 7% 적용) 시장창출규모는 277억불에 달할 것이다. 상술된 바와 같이 기술을 확보하지 못함으로써 외국의 Foundry를 이용하여 첨단 통신기술의 핵심 IC를 제작하는 경우에는 모든 설계기술이 외국회사에 노출되고, 연구결과가 노출되는 약점을 면할 수 없으며, 기술적인 종속관계를 면하지 못할 것이다. 또한, 실리콘-게르마늄 양자채널 SFET은 범용 프로세서나 40Gbps 이상의 테라비트 광통신용과 같이 H/W dedicated된 디지털 프로세서 핵심부품의 막대한 시장을 점유할 것이다.

[표 1] 실리콘-게르마늄 반도체소자의 연도별 시장규모 (단위: 1,000\$)

시장	분야	2001년	2002년	2003년	2004년	2005년	CAGR
세계시장	통신용	182,545	350,495	636,458	993,221	1,506,773	179%
	민생용	7,262	20,547	23,618	39,197	44,925	30%
	컴퓨터	77,471	71,200	135,026	153,336	208,793	51%
	산업용	1,966	5,650	10,098	11,465	13,850	35%
	군사용	174	1,040	1,069	1,069	1,069	37%
	합계	269,418	448,933	806,269	1,198,289	1,775,409	177%
국내시장		18,859	31,425	56,439	83,880	124,279	177%

(출처: 세계시장은 Technology Status and Applications Analysis, Strategies Unlimited, 1998
국내시장은 세계시장의 7% 적용.)

제 2 장 국내외 기술개발현황

여백

제 2 장 국내외 기술개발현황

1. 세계 기술현황

SiGe 반도체의 기술개발은 HBT 소자를 선두로 진행되었다. 1987년도에 IBM의 Meyerson 박사가 최초로 HBT소자를 구현하였고, 1998년부터 상품화를 발표하였다. 현재는 HBT의 성능을 300GHz 대에서 더욱 높이는 기술개발을 추진하고 있으며, CMOS를 대체할 SFET와 RTD, PD 같은 기능성 소자의 기술개발로 연계되고 있다.

미국은 CPU, DSP, 통신칩 등과 같은 고부가가치 비메모리 생산에 주력하여 2001년 세계반도체 시장의 52.5%를 점유하고 있으며, [표 2]와 같이 선행공정과 장비개발을 위해 민관공동으로 프로젝트를 추진하고 있다. 일본의 MIRAI, 유럽의 IMEC(Esprit), 대만의 ERSO와 같은 프로젝트에서 SiGe 반도체의 기술개발 프로그램을 가동시키고 있다. 인텔과 IBM을 위시하여 대만의 TSMC, UMC까지 SiGe 반도체 기술경쟁이 매우 치열하게 이어지고 있다.

[표 2] 국가별 반도체 연구개발 현황 (NTRM2002, p.304)

	미국	일본		유럽	대만
사업명/기관	SEMATECH	ASUKA	MIRAI	IMEC	ERSO
목표	공정/장비 기술개발	100-70nm 공정기술 개발	70-50nm SoC 기술개발	설계공정 기술개발	산업계 필요기술 개발
사업기간	1996-	2001-2006	2001-2008	1984-	1994-
사업예산	140만불('00년)	760억엔	38억엔('01년)	130백만유로	487백만불

[표 3]에 정리된 실리콘-게르마늄 반도체의 상품화 현황에 따르면 세계적으로 SiGe HBT를 근간으로 한 BiCMOS 기술은 상품화가 대거 진행되었음을 알 수 있다. 최근의 발표에서 인텔의 펜티엄4 프로세서는 SiGe SFET의 52Mbits SRAM(IEDM Dec. 2002에서 발표)를 채택할 계획임을 밝혔다. 인텔은 90nm SFET로 통신용 IC로 기가비트 이더넷, 광 네트워크, 무선통신 IC를 공급하게 될 것이라고 한다.

한편, IBM도 가장 앞서서 실리콘 양자소자기술을 선도하고 있다. HBT의 양산화 공정기술을 갖춘 IBM을 중심으로 10개 이상의 회사와 연구기관이 Consortium을 구성하여 다양한 상용 제품을 출시하였다. IBM은 Combo SFET/SOI SRAM을 개발(IEDM Dec. 2002에서 발표)하여 고성능 마이크로프로세서용으로 적용하고자 한다. IBM은 350GHz까지 가능하고, SoC의 설계에 없어서는 안되는 기술이 될 것이라고 예측한다.

[표 3] 주요 기관별 실리콘-게르마늄 고성능 반도체의 상품화 현황

회사명(국가)	제품명(Remarks & Year)*
인텔(미)	52Mbits SRAM 펜티엄IV 서버 프로세서
IBM(미)	VCO,PA(GSM, 1998), 40Gbps SONET, DSP(2002), 프로세서/FPGA(개발중)
Atmel's TEMIC(독)	Tx/Rx(Cellular, 1998), Power Amp(GSM, 1999), DECT Chip Set(2000)
Maxim(미)	LNA, Mixer(0.4-2.5GHz, 2001), Power HBT(1998), Dual band LNA
CommQuest(미)	Tri-band LNA, Power Amp, Phone-on-a Chip(2001)
Intersil(미)	WLNA Adaptor(Power Amp,IF/RF Converter,BB 프로세서, 2.4GHz, 1999)
Hitachi(일)	Optical Coupler(10Gbps~40Gbps, 1999), AGC Amp(10Gbps~40Gbps, 2000)
NEC(일)	Limiting Amp, Mux, Demux (10Gbps~40Gbps, 2000)
Qualcomm(미)	LNA, Mixer, Freq. Syn., VCO, IF Amp, CDMA 통신 프로세서
SThompson(프&이)	LNA,Mixer, PLL, Attenuator (CDMA, BiCMOS, 2001)

IMEC을 통하여 독일, 일본, 프랑스의 반도체 업체들도 앞다투어 SiGe 기술을 개발하고 있으며, TSMC와 UMC도 기술도입을 진행하고 있다. 최근 IMEC은 Stanford, Intel, ST 등과 Consortium을 결성하여 45nm급 이하에 적용할 목적으로 Ge MOSFET에 대한 연구를 시작하였다. 그리고 고성능 (FET+RTD)와 (HBT+RTD) 회로는 DARPA의 지원을 받아서 MIT 링컨랩의 고속아날로그연구실에서 HRL과 버지니아대학과 공동연구하고 있다. 미시전대에서는 TRD의 NDR을 Si FET과 복합회로로 적용하여 고속-저전력 ULSI에 응용하는 가능성을 열기 위한 시도로서 FET+RTD 회로의 기초적인 시뮬레이션을 수행하였다.

인텔과 IBM을 위시하여 SiGe 반도체 기술경쟁이 매우 치열하게 이어질 것이며, 90nm와 65nm급은 SFET과 Classical CMOS가 사용되고, 45nm급 이하에서 SGOI, SOI에 신소자를 제작하는 기술도입이 증가할 것이며, 10nm 이하에서는 Fin-FET, DG-FET, Ge-FET 등과 같이 고도의 기술이 요구되게 될 것이다. 본 연구결과는 45nm~10nm급에서 회로에 적용될 가능성이 높고, 동시에 15nm 이하의 극미소 전자소자 분야에서 미래 기술에 대한 가능성을 탐구하는데 의미가 있다.

2. 국내 기술현황

국내에서 SiGe HBT와 SFET 소자의 기술개발은 본 연구실에서 유일하게 진행되어 왔다. 상압/감압화학기상증착법으로 성장된 SiGe에피를 사용하여 77~84GHz에서 동작하는 SiGe HBT 기술이 최초로 개발되었고, 이를 이용한 10Gbps 광전송 전치증폭기, 2.4GHz WLL용 VCO, 840MHz/1.7GHz Cellular/PCS 기지국용 전력증폭기, 1.5GHz의 5.8GHz 대역의 LNA, Mixer, VCO MMIC를 개발하는 성과가 있었다. 그리고 현재는 HBT소자를 CMOS와 집적화한 BiCMOS기술로 1-10GHz Cell Library 개발이 진행되고 있다. 본 연구팀이 연구개발한 1998년 이후 5년간의 결과를 [표 4]에 요약하였다.

SiGe HBT 기술은 현재까지 2회에 걸쳐서 국내 반도체회사에 전수되고 있어 상품화에 진입하고 있다. 최근에 무선통신단말기와 관련된 다수의 사업체들이 IMT-2000에 적용할 칩들을 IBM, ST, Qualcomm 등으로부터 수입하거나 Foundry 서비스를 받고 있고, 이에 따라 외국기관은 한국의 시장으로 급속히 기술침투하고 있다. 또한, 삼성전자, 하이닉스, KEC을 방문하여 의견을 수렴한 결과 국내의 SiGe HBT 기술을 실현할 여건은 우수하며 실용화를 위해 부분적으로 노력을 기울이고 있다. 특히 삼성전자는 300nm BiCMOS의 개발을 진행하고 있다. 이러한 국내외 상황과 반도체산업에 있어서 Time-to-Market의 중요성을 고려할 때, 수 년 사이에 국내의 반도체 산업도 세계적 경쟁력을 갖추어야만 실리콘기반의 초고속 양자소자분야 선도대열에 들어설 수 있다.

[표 4] 본 연구팀의 연구실적 요약 (1998-2005)

기술분류	연구실적	비고
HBT & BiCMOS 소자 및 핵심공정 기술	<ul style="list-style-type: none"> o SiGe HBT 소자 및 공정기술 <ul style="list-style-type: none"> - 비자기정렬구조 HBT 기술 (f_t/f_{max}:70GHz/80GHz) - SiGe HBT 자기정렬구조기술: BiCMOS compatible) o HBT RFIC Library 구축 <ul style="list-style-type: none"> - 병렬분기형 인덕터(특허) - SiGe HBT 및 수동소자 Library 구축 o SiGe BiCMOS 소자공정 (진행중) <ul style="list-style-type: none"> - BiCMOS, SFET, 능/수동소자 개발 	<p>독자기술: SiGe RF 반도체 기술이전 (2002, 넥소)</p> <p>독자기술: HBT기술이전 (2000, 광전자)</p>
회로설계 및 제작기술	<ul style="list-style-type: none"> o 1~10GHz SiGe HBT Core Cell Library 설계 <ul style="list-style-type: none"> - 용도: Cellular, PCS, IMT-2000, GPS, WLL/WLAN, ITS-DSRC - 주파수대: 0.9GHz, 1.8GHz, 2.4GHz, 5.8GHz o SiGe BiCMOS RF 및 IF 통합 MMIC <ul style="list-style-type: none"> - BiCMOS RFIC 응용회로 개발 o 2.5GHz급 광수신용 IC 설계 및 제작 <ul style="list-style-type: none"> - Pre Amp 및 Limiting Amp 설계 및 제작 - SiGe/Si MQW PD(f_{3dB}=1.9GHz, 980 nm) 소자제작 	<p>국내논문 40편 국제논문 22편 (SCI 18편) 국제발표 19건</p> <p>특허출원 (국내 35건, 국제 17편) 특허등록 (국내 8건, 국제 3편)</p>
선행기술	<ul style="list-style-type: none"> o 실리콘기반의 p-type SFET 고속소자 원천기술 창출 <ul style="list-style-type: none"> - 1/f 잡음특성이 탁월한 SiGe p-SFET 소자기술 o SiGe modulation-doped MOSFET 원천기술 o Veri thin SiGe (Ge=20% max) relaxed buffer 형성기술 o 저온 고청정 래디컬 산화막 (RAO) 형성기술 	

국내대학의 경우 전북대의 SS-MBE를 이용한 SiGe 양자구조연구, 연세대의 SiGe 다결정 게이트 CMOS 연구, 서울대의 GS-MBE를 이용한 SiGe 금속접합에 대한 연구가 진행되고 있다. 최근 이 기술분야에 대한 국내 연구개발 투자를 보면, 정보통신부의 주관하에 1993년 이래로 매년 3억원 이상을 투자하여 기술개발을 추진할 수 있었다. 최근 ETRI의 기술을 전수 받은 광전자가 대략 10억원 이상을 투자하여 제품개발에 몰두하고 있다.

그리고 DRAM의 다결정 SiGe 게이트 증착에 관한 선행기술연구를 하이닉스와 주성엔지니어링이 수행하고 있다. 현재 삼성전자와 하이닉스 뿐만 아니고, KEC가 ETRI의 기술지원을 통하여 SiGe 반도체기술의 도입을 검토하고 있다. 벤처업체로 ASB와 FCI는 SiGe 전력증폭기 제품을 출하하고 있다.

국제적으로 SiGe HBT, SFET에 대한 기술개발의 경쟁이 치열하지만 국내의 연구기반은 미약하다(NTRM2002, p.312). 반도체 나노소자의 기반연구로서 21세기 프론티어사업의 테라급 나노 기능소자 사업단을 중심으로 SET, Nano-CMOS, Tbps 집적회로 연구를 수행하고 있으며, SET회로(충북대), Fin-FET(경북대)의 기술개발이 이루어지고 있다. 산자부의 시스템IC2010에서는 차세대 나노공정 기술로 50nm급 SoC의 신제조기술, 멀티미디어용 256M FeRAM 등이 추진되고 있다(시스템IC2010 2단계기획).

제 3 장 연구개발수행내용 및 결과

여백

제 3 장 연구개발수행내용 및 결과

1. 이론적 실험적 접근방법

본 연구사업의 접근방법은 향후 경쟁이 치열해질 것으로 예상되는 실리콘-게르마늄 양자 채널 나노 신소자 분야의 단위공정 및 측정관련 핵심기술을 개발하여 개발된 기술을 확산시키기 위한 근본적인 국가 기술경쟁력을 확보하는데 둔다. 본 연구실은 기존의 연구개발과 기술적 차별성 및 상호 보완하는 관계를 가지고 아래와 같이 추진한바 있다.

- 원천기술 확보에 주력 : SiGe SFET의 특성을 최대한 활용하는 새로운 구조개발에 초점을 두고 고성능 SFET 개별소자기술 개발을 진행하면서, 실리콘-게르마늄 실용화를 가능하게 하는 핵심단위공정 위주로 원천기술과 특허를 확보하고, 이에 근거하여 신소자를 직접 제작하여 응용가능성 확인
- 연구개발 방법의 차별화 : 고이동도 채널구조의 실리콘-게르마늄 양자채널 소자의 SiGe/Si 에피기술을 기반으로한 밴드갭 엔지니어링을 통해 고이동도 및, 저잡음 특성을 갖는 Nano SoC 구현의 근간이 되는 소자구조로 연구개발 추진
- 창의적 Idea 수렴 체계 강화 : 본 사업의 특성상 본 연구실은 실리콘 양자구조소자 기술분야의 선도적 역할을 수행해야하는 만큼, 국내연구인력(학계, 산업체)을 최대한 활용, 1단계에서 핵심요소기술의 개발에 창의적인 아이디어를 구체화하여 검증하고, 2단계에는 소자의 구조 및 단위공정 기술 등을 제공하여 산학연 연구체계 운용

2. 연구내용

본 사업에서 수행했던 연구내용은 nano SoC 적용 SiGe 양자채널 SFET 신소자제작을 위한 단위공정기술, 측정기술 등의 원천기술의 개발이었으며 최종적으로는 이종구조 (heterogeneous) nano SoC (CMOS image sensor) 제작을 위한 소자레벨 제작기술을 개발 검증하는 것이다. 그 외 국내 산업체나 연구소와 기술교류를 통해 실리콘-게르마늄 반도체의 저변을 확대해 나가며 해외업체 방문과 기술교류를 통해 최신의 정보를 습득하여 기술경쟁력을 키우는 일들도 포함되었다.

가. 원천기술 발굴 및 지적재산권 확보

: 새로운 SFET 구조제안 및 핵심요소 기술개발 중점

(1) 고이동도 SiGe/Si QW on SOI 구조 성장기술

: ETRI 가 보유하고 있는 RPCVD/APCVD (ASM Epsilon 1) 장비를 이용하여 다음과 같은 에피층 성장기술을 중점 개발

- 고이동도 channel (Si 대비 이동도 증가율 10%)을 위한 strained-Si/SiGe 에피층 (SQW) on SIMOX wafer 성장기술 확보

(2) SFET 소자 최적화

: Si-cap 두께 조절 실험을 통한 SiGe SFET 소자구조 최적화

- Si-cap 층 두께 최적화를 통한 소자구조 최적화 실시

(3) 저온 래디컬 게이트 산화막 기술(RAON) 개발

: 저온 산화막 공정이 절대적으로 요구되는 SiGe 소자제작을 위해 오존 래디컬 산화막 성장장비를 구축하고 전기적 특성 및 소자특성까지 검증

- Ozone source 관련 원천특허 확보 및 반응챔버 디자인 연구
- 장비제작 및 공정조건 확립을 위한 기초실험
- 산화막 전기적 특성검증 및 소자 적용 후 분석

(4) 1/f 잡음특성 연구

: 1/f 잡음 측정을 위한 분석장비 시스템을 구축하고 이를 이용 나노신소자의 새로운 분석방법을 개발

- 1/f 잡음 측정시스템 구축 및 기초 테스트
- 소자분석(신뢰성) 및 물성분석 원리 원천기술 연구 (Gate 전류 및 NBTI)

나. 국내연구 실리콘-게르마늄 반도체 기술저변 확대

: 국내 연구인력의 활용: 초빙교수, 위촉연구원, Post-Doc제도 적극 활용 및 실리콘-게르마늄 반도체 신소자 기술(가칭) 협의체 구성

- NRL 기술교류회 참석 (2005. 10)

다. 국외정보 수집 및 기술교류 확대

: ESSDERC 2005 (프랑스 Grenoble) 학회참석 및 SOITEC, LETI등 반도체업체와 방문/기술교류

3. 연구결과

가. SiGe 양자채널 적용 신소자 구조 연구

1) Si-cap 두께 최적화를 이용한 SiGe SFET NMOS/PMOS 특성 동시향상 기술

가) 목표대비 실적

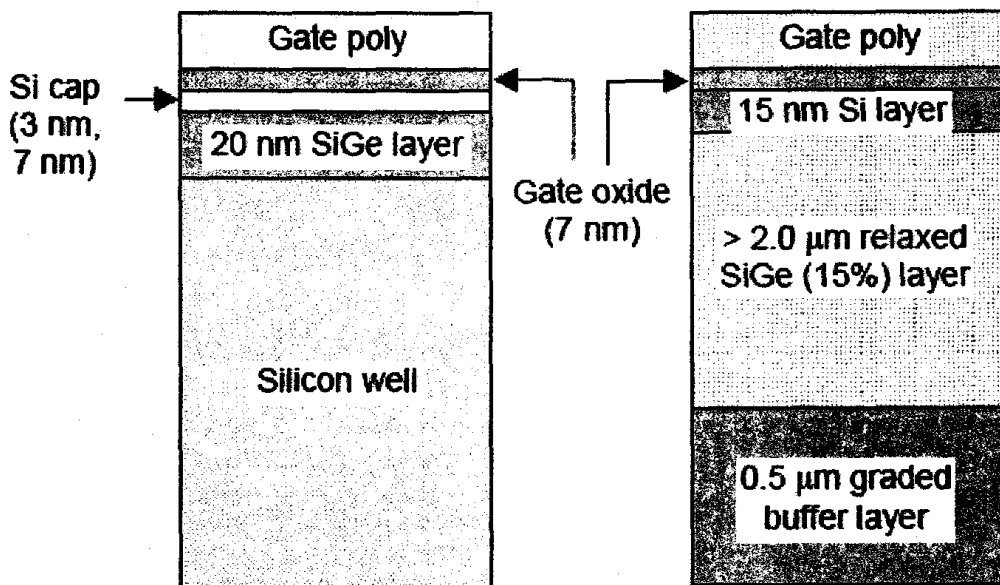
- 당초목표: $X_{Ge} > 15\%$, I_{on_NMOS} 증가율 $> 10\%$, I_{on_PMOS} 증가율 $> 20\%$
- 연구성과: $X_{Ge} = 20\%$, I_{on_NMOS} 증가율 = 6.2%, I_{on_PMOS} 증가율 = 72%
- 본 연구를 통해 얻어진 결과는 I_{on_PMOS} 증가율 기준으로 72%가 상승하여 기존의 Si CMOS의 고질적인 문제였던 hole mobility 감소특성과 이로 인한 NMOS/PMOS layout asymmetry를 혁신적으로 개선 가능. 다만 I_{on_NMOS} 증가율은 목표치인 10%에 미달한 6.2%를 나타냈는데 이것은 Si-cap 두께 향상을 통해 추가적인 개선이 예상된다.

나) 실험 배경

- 기존의 SiGe relaxed buffer를 이용한 구조의 SFET은 SiGe relaxed buffer의 상대적으로 높은 결함밀도로 인해 VLSI 양산에 적합지 않은 것으로 판명됨.
- SiGe relaxed buffer를 이용한 SFET은 thermal dissipation 특성이 매우 열악하여 최근의 processor에서 이슈가 되고 있는 열 발생 문제에 취약함.
- 그리고 이 구조는 NMOS의 이동도만을 주로 향상시키며 PMOS의 향상을 위해서는 Ge 농도 50%이상의 고농도 buffer가 요구되어 실제 소자제작에 어려움

이 있음.

- PMOS 특성을 향상시키는 방법은 얇은 SiGe 양자채널 층을 Epi로 기른 후 위에 Si-cap 층을 덮어 소자를 제작하는 방법임. 그러나 이 방법은 PMOS 특성을 개선할 수는 있으나 NMOS는 오히려 이동도가 감소하는 특성을 보이는 것으로 알려져 있음.
- 본 연구에서는 얇은 SiGe 양자채널을 이용하면서도 PMOS/NMOS 특성이 동시에 향상되는 신소자 구조를 제안함.
- [그림4]는 SiGe 양자채널을 이용한 SFET 및 SiGe buffer를 이용한 SFET의 단면도를 나타내고 있음.



[그림4] 두가지 형태의 SiGe SFET 단면도

다) 소자제작

- 기본적으로 Si-cap 두께를 SiGe SFET의 NMOS/PMOS에 대해 다르게 적용하여 NMOS/PMOS 이동도를 동시에 향상시키고자 함.
- 뿐만 아니라 기존의 Si CMOS공정을 그대로 적용하고 공정이 복잡하지 않아 양산성이 확보되어야 함.
- [표6]은 본 실험에서 사용된 소자의 구성요소를 나타냄.

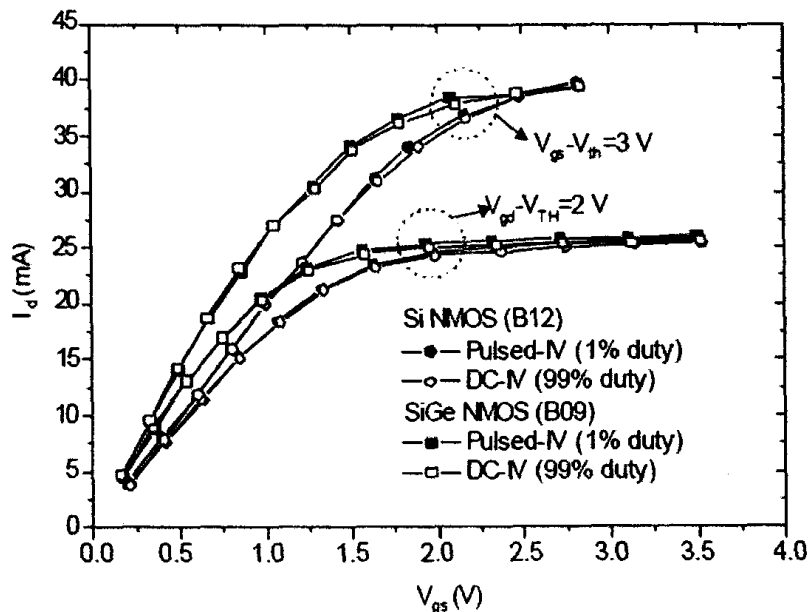
[표6] SiGe SFET Si-cap, SiGe channel 및 Gate oxide 두께 비교표

Species		Si cap (nm)	SiGe (nm)	T_{ox} (nm)	Notes
Si	B12	X	X	7	Conventional Si MOSFET
	B08	4	20	7	Standard strained-SiGe MOSFET
$Si_{0.8}Ge_{0.2}$	B09	7	20	7	B08 with approx. 3 nm thicker Si cap

라) 소자측정결과

○ Pulsed I-V 측정

- 본 실험에서 제작된 소자의 thermal dissipation 특성을 측정하기 위해서 duty cycle (=1%)를 기준으로 통상적인 Si NMOS와 SiGe NMOS의 드레인 전류를 비교함.
- 만약 thermal dissipation 특성이 나쁘면 격자의 열진동에 의해 이동도의 감소가 수반되므로 전류의 감소를 야기할 것임.
- 그러나 [그림5]에서 나타난 바와 같이 pulsed I-V 특성은 Si와 SiGe NMOS 모두 DC 측정의 경우와 차이가 없었음.
- 본 결과는 이 실험에서 제작된 SiGe NMOS의 경우 SiGe층이 충분히 얇아 thermal dissipation의 문제가 전혀 없음을 의미함.



[그림5] Si 과 SiGe NMOS의 pulsed I-V 비교

○ 소자 output I-V 측정

- 주어진 소자구조에 대해 측정된 소자 파라미터들은 [표7]에 나타나 있음.

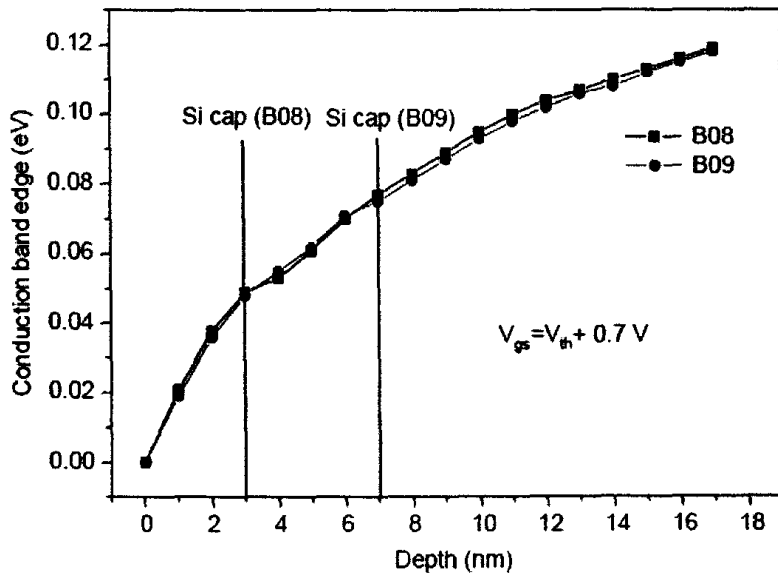
[표7] Si 및 SiGe CMOS의 DC특성 비교

Type	Parameters	Unit	Si	Si _{0.8} Ge _{0.2}		
			B12	B08	B09	
NMOS	gm (sat.)	mS	1.71	1.50	1.83	
	DIBL	mV/V	36.69	10.45	12.52	
	S.S.	V _{ds} =0.1V	mV/dec	72.0	72.1	69.5
		V _{ds} =3.0V		80.5	71.5	68.3
	I _d (sat.)	mA	5.82	4.81	6.18	
PMOS	gm (sat.)	mS	0.73	1.00	0.72	
	DIBL	mV/V	19.31	4.69	10.45	
	S.S.	V _{ds} =0.1V	mV/dec	75.8	82.8	83.0
		V _{ds} =3.0V		73.4	82.4	81.7
	I _d (sat.)	mA	1.45	2.50	1.61	

DIBL: drain induced barrier lowering. S.S.: sub-threshold slope

- 위의 표에서 나타난 바와 같이 Si-cap 두께에 따라 SiGe CMOS는 NMOS, PMOS 종류별로 특성변화가 두드러짐.
- PMOS의 경우는 알려진 바와 같이 SiGe층이 양자채널로 작용되므로 산화막 계면에서 발생하는 scattering이 감소되어 이동도가 향상됨.
- 그리고 PMOS는 기본적으로 buried channel operation을 따르므로 Si-cap 두께가 클 경우 산화막 계면과 채널과의 거리가 멀어져 이득이 감소할 수 있으므로 이동도가 개선되는 조건을 전제로 Si-cap 두께는 최소화 되어야 함.
- 실험결과 4nm Si-cap 두께인 B08 PMOS가 7nm Si-cap 두께인 B09 PMOS 대비 훨씬 증가한 Ion 특성을 나타냄.
- 즉, 4nm Si-cap은 충분히 buried channel 동작을 보장하면서도 이득도 높은 최적화된 소자구조임이 드러남.
- NMOS의 경우는 PMOS와는 반대의 양상을 보이는데, Si-cap 두께가 큰 경우 오히려 향상된 특성을 보임.
- 즉, B09의 경우 B08대비 28% 정도의 Ion 향상율을 보였는데, 발생원인은 [그

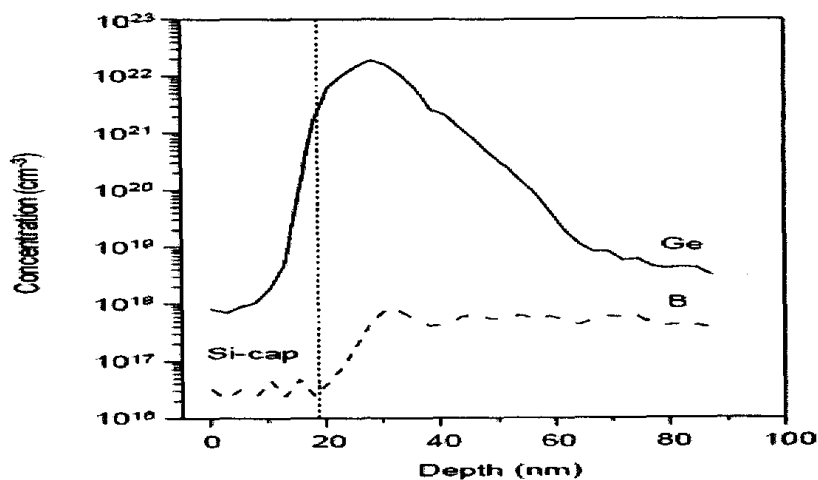
림6]에 나타난 대로 low-doped Si channel에 얼마큼의 channel carrier가 존재하느냐에 기인함. Thinner Si-cap의 경우 채널의 대부분이 SiGe층에 형성되므로 전자의 이동도 측면에서 불리하여 thicker Si-cap의 경우가 유리함.



[그림6] Si-cap 두께에 따른 전자분포 비교

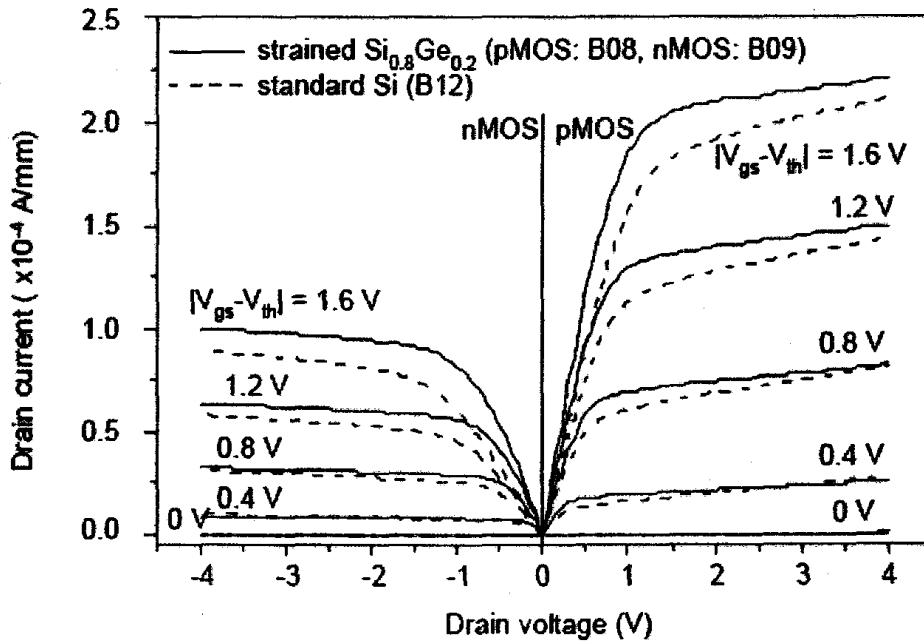
SiGe NMOS의 경우 Si-cap이 low-doped를 유지시키면서 채널의 이동도를 향상시키는데 그 이유는 아래의 SiGe층이 boron의 확산장벽으로 작용하기 때문이다. SiGe은 잘 알려진 바와 같이 Ge농도가 20%가량만 되면 아주 우수한 boron diffusion barrier로서 작용함.

[그림7]은 이것을 증명하는 SIMS profile을 나타냄.



[그림7] SIMS data 비교

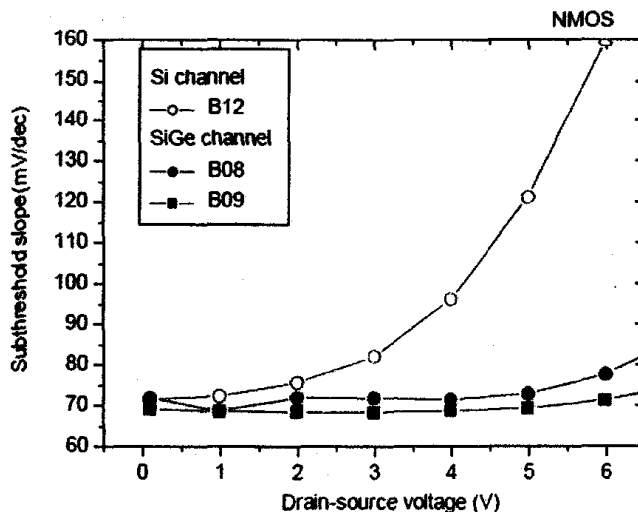
- [그림8]은 최종적으로 NMOS는 B09, PMOS는 B08을 적용한 SiGe CMOS와 Si CMOS의 output 특성을 비교한 그래프임.

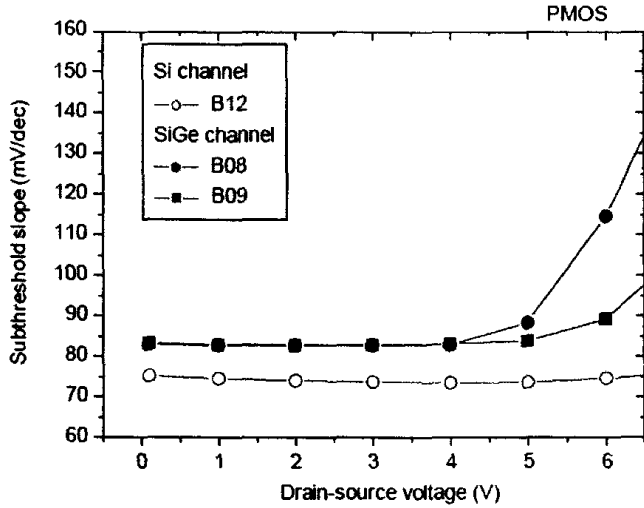


[그림8] Si & SiGe CMOS output 특성 비교

○ Subthreshold 및 Gate 전류 특성

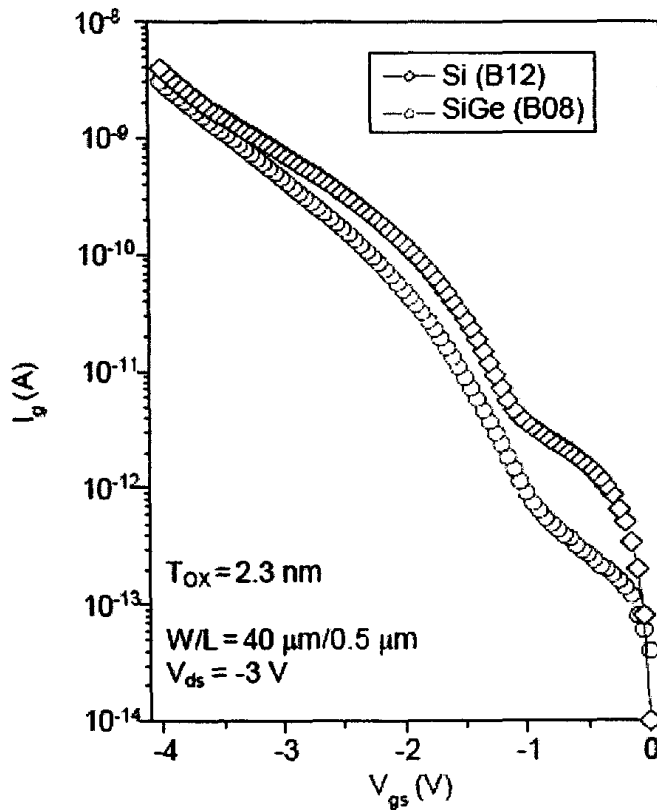
- NMOS의 경우는 SiGe이 Si대비 향상된 특성을 보였는데 이는 low-doped Si channel에 의한 retrograde 구조형성에 따른 것으로 추정됨.
- PMOS는 buried channel operation으로 인해 오히려 Si 대비 약간 열화된 특성을 보이지만 소자 동작에 문제가 되는 수준은 아니어서 무시될 수 있음.
- [그림9]는 V_{ds}별 Si 및 SiGe NMOS/PMOS의 subthreshold 특성을 도시한 것임.





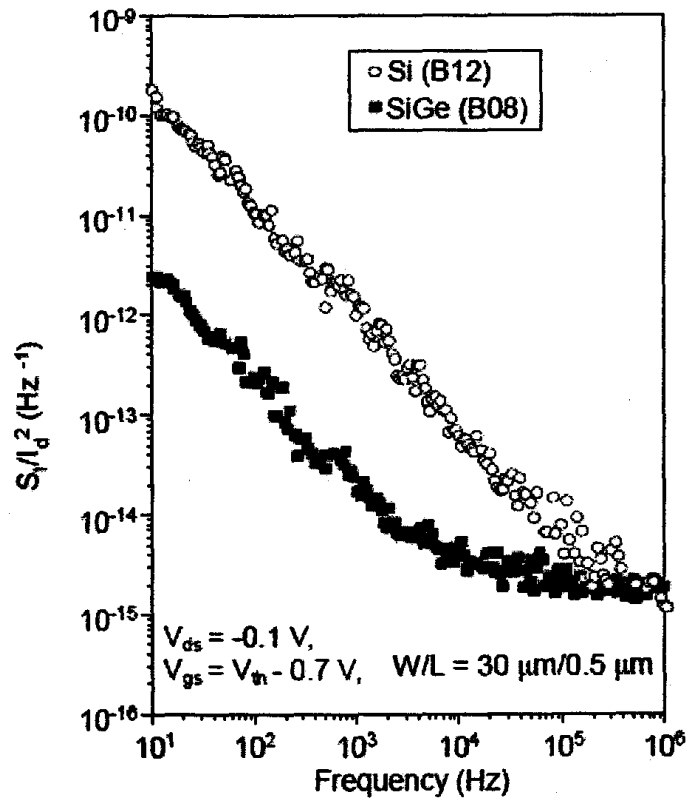
[그림9] NMOS/PMOS의 subthreshold 특성비교

Gate leakage의 경우 PMOS는 기본적으로 buried channel operation을 하므로 gate poly과 channel간의 effective 거리가 증가하여 gate leakage 감소효과가 수반됨 [그림10].



[그림10] Gate leakage 특성 비교

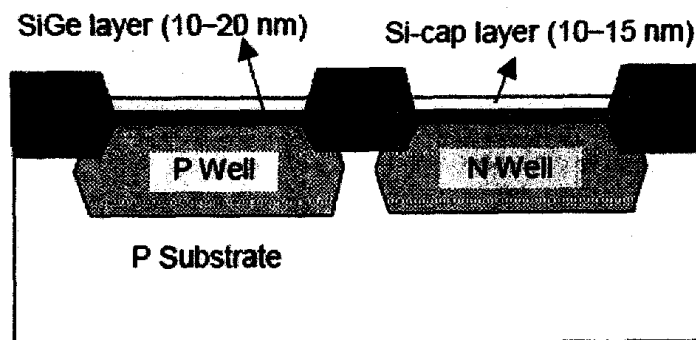
- 마지막으로 SiGe PMOS는 산화막계면과 channel간의 직접적인 interaction이 없으므로 1/f 잡음 특성이 탁월함 [그림11].



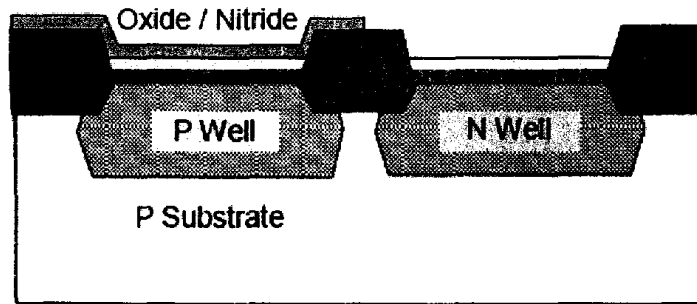
[그림11] 1/f 잡음특성 비교

마) 결론

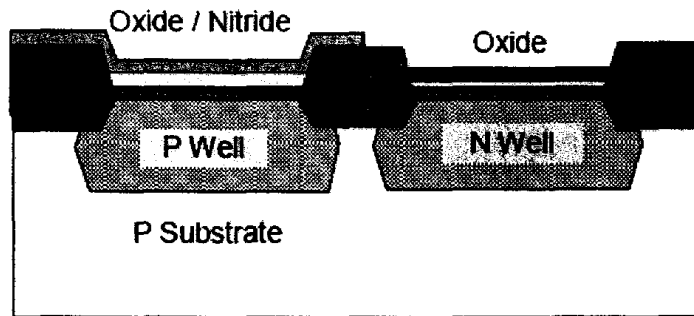
- Si-cap층 두께를 조절하여 SiGe NMOS/PMOS 특성 모두를 개선할 수 있음.
- 본 process는 양산성이 우수하고 이동도외에 gate leakage 및 잡음특성까지의 개선도 가능하여 미래의 소자기술로 기대됨.
- [그림12]는 양산 적용시 사용가능한 하나의 공정흐름의 예를 나타냄.



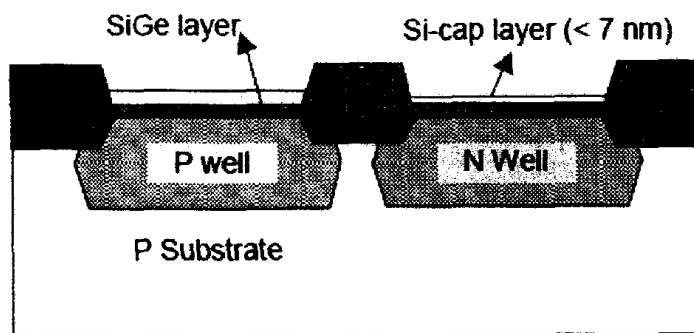
(a)



(b)



(c)



(d)

[그림12] SiGe CMOS 공정 흐름도 예

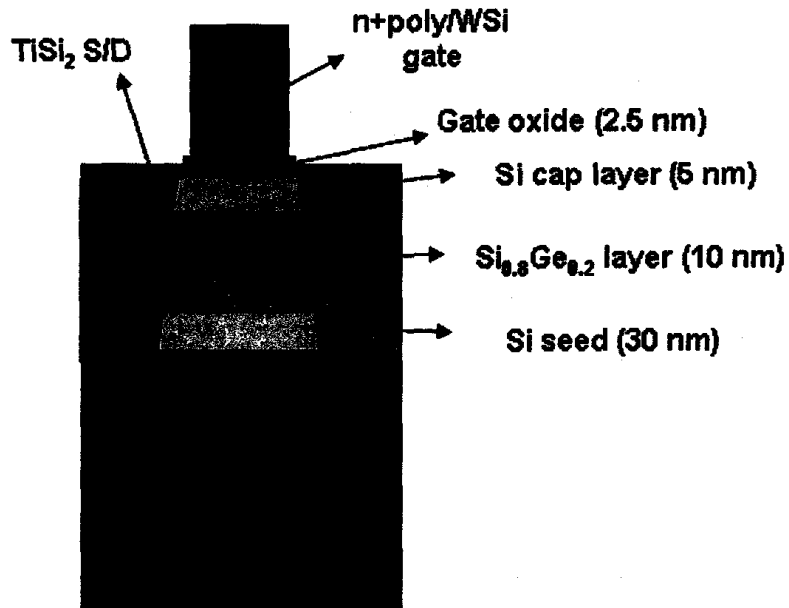
2) SiGe 양자채널 에피 on SIMOX wafer를 통한 고성능 SiGe SOI 소자 제작

가) 목표대비 실적

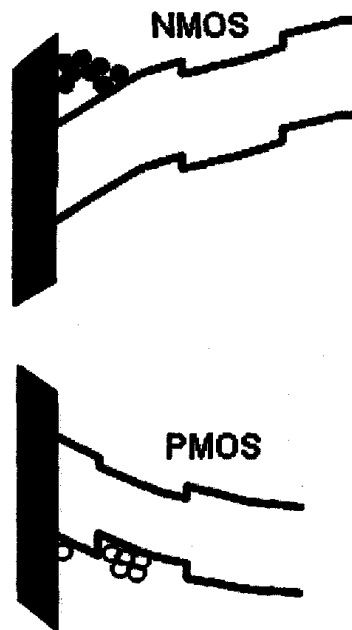
- 당초목표: NMOS 이동도 15% 증가
- 연구성과: NMOS 이동도 10.5% 증가

나) 성장 및 소자제작

- 5" SIMOX wafer (SOI=50nm, BOS=0.3um) 위에 10nm/10nm의 Si-cap/SiGe 에 피공정 후 0.5um급 소자제작.
- 기존의 실리콘 CMOS 소자와 이동도를 비교 검증.
- [그림 13]은 사용된 소자의 단면도를 나타내고 [그림14]는 해당소자의 에너지 밴드 다이어그램을 나타냄.



[그림13] SiGe SOI 소자 단면도



[그림14] 에너지 밴드 다이어그램

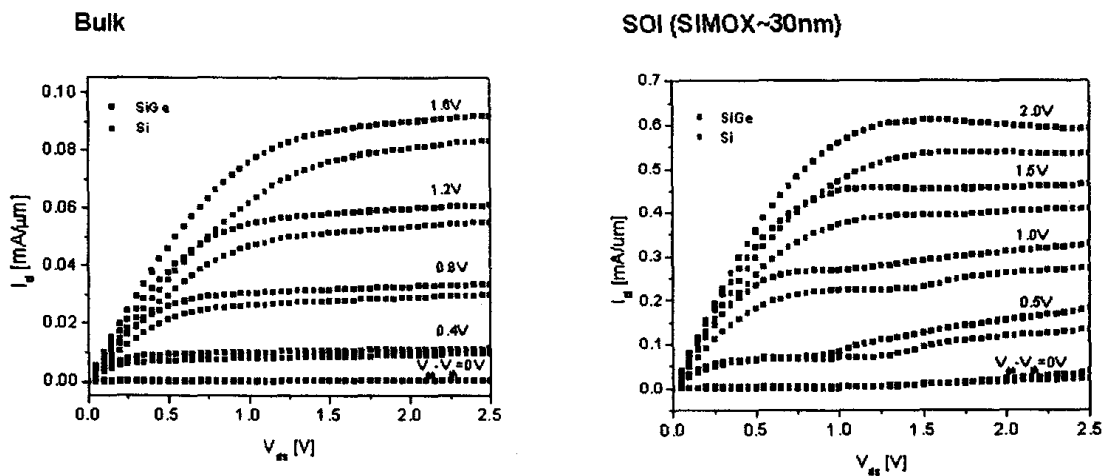
다) 측정결과

- [표8]에 나타난 바와 같이 동일 run기준 Bulk 대비 SOI구조의 Ion 증가율이 11.4% 및 10.5%로 거의 동일함.

[표8] Bulk 및 SOI구조의 Si & SiGe 소자특성 비교

항목	Bulk		SOI	
	Si	SiGe	Si	SiGe
Gm	1.10mS	2.60mS	3.80mS	4.60mS
Vth	0.13V	-0.29V	0.71V	0.30V
Ion	8.07	8.99 (+11.4%)	5.36	5.99 (+10.5%)

- 즉, SiGe 양자채널의 에피공정이 bulk의 경우대비 비슷한 수준으로서 SOI의 경우도 동일한 수준의 이동도 향상이 예상됨.
- [그림15]는 bulk와 SOI로 제작된 Si & SiGe MOSFET의 output 특성을 비교한 것임.



[그림15] Bulk/SOI SI & SiGe MOSFET output특성비교

라) 결론

- SOI의 경우도 Bulk에서와 같이 SiGe의 경우 거의 동일한 Epi 품질을 기대할 수 있으며 이동도 향상 또한 거의 같은 수준임.
- 차세대 SOI 및 FINFET등의 구조에서도 SiGe은 공통적으로 적용될 수 있음을 확인함.

나. 고충정 저온공정 RAON Process 연구

1) RAON 공정의 배경 및 특징

반도체 소자의 제조 기술이 발전됨에 따라 고집적화를 이루며 고속 및 저전력으로 동작할 수 있는 소자의 구현을 위해 많은 연구가 진행되고 있다. 이에 따라 소자의 극미세화를 위한 연구가 주류를 이루고 있으며, 특히, 핵심 반도체 소자인 금속-절연막-반도체 전계효과 트랜지스터(MOSFET)의 경우 이미 게이트 길이가 50nm 이하로 감소된 초미세 구조로 발전하고 있다. 기존의 반도체 소자 제조에 사용되던 실리콘 산화막(SiO_2)은 상대적으로 낮은 유전율(3.9) 때문에 초미세 구조의 반도체 소자에 더이상 적용이 어려운 실정이다. 그러므로 안정적으로 동작할 수 있는 극미세 MOSFET 소자의 제조를 위해서는 두께가 1-3nm 정도로 얇으며 막질이 우수한 초박형 게이트 절연막의 형성이 무엇보다 중요하다. 그러나 게이트 절연막을 얇게 형성하면 게이트 절연막을 통한 누설전류가 발생되어 소비 전력이 증가하고 전기적 특성이 열화되는 치명적인 문제점이 발생된다. 반면, 유전율이 높은 물질로 게이트 절연막을 형성하면 두꺼운 고유전율막으로 얇은 실리콘 산화막을 대신할 수 있기 때문에 트랜지스터의 전기적 특성을 그대로 유지시키며 누설전류를 크게 낮출 수 있다.

현재 널리 사용되는 고유전율의 게이트 절연막으로는 실리콘 산화막에 질소(N) 성분을 함유시킨 옥시나이트라이드막을 들 수 있다. 옥시나이트라이드막은 순수한 실리콘 산화막에 비해 유전율이 높을 뿐 아니라 폴리실리콘(poly Si)으로 이루어진 게이트(gate)로부터의 보론(boron)의 확산을 억제하여 트랜지스터의 특성 저하를 방지할 수 있는 것으로 알려져 있다. 그러나 옥시나이트라이드막은 실리콘과의 계면 특성이 실리콘 산화막과 실리콘의 계면 특성보다 열악하다. 이는 옥시나이트라이드막과 실리콘 계면에 존재하는 질소(N) 성분이 옥시나이트라이드막 근처에 트랩(trap)을 형성하여 계면 특성을 열화시키기 때문이다. 특히, N_2O , NO , NO_2 , NH_3 , O_2 가스나 이들 가스들의 조합을 이용하는 일반적인 열성장법(thermal oxidation)으로 옥시나이트라이드막을 형성하면 대부분의 질소(N) 성분이 실리콘 계면에 집중되어 계면 특성을 열화시킨다. 이와 같은 문제점을 극복하기 위해서는 실리콘 계면 근처의 질소(N) 함유량을 최소화시켜야 한다. 대부분의 경우 실리콘 산화막을 먼저 성장시킨 후 열분해나 플라즈마를 이용하여 실리콘 산화막 위에 옥시나이트라이드막이나 나이트라이드막(SiN 또는 Si_3N_4)을 직접 형성하거나, 또는 실리콘 산화막의 상층부를 질화(nitridation)시켜 적층 구조를 형성한다. 그러나 열분해만을 이용하면 여전히 옥시나이트라이드막이나 나이트라이드막 내의 질소 프로

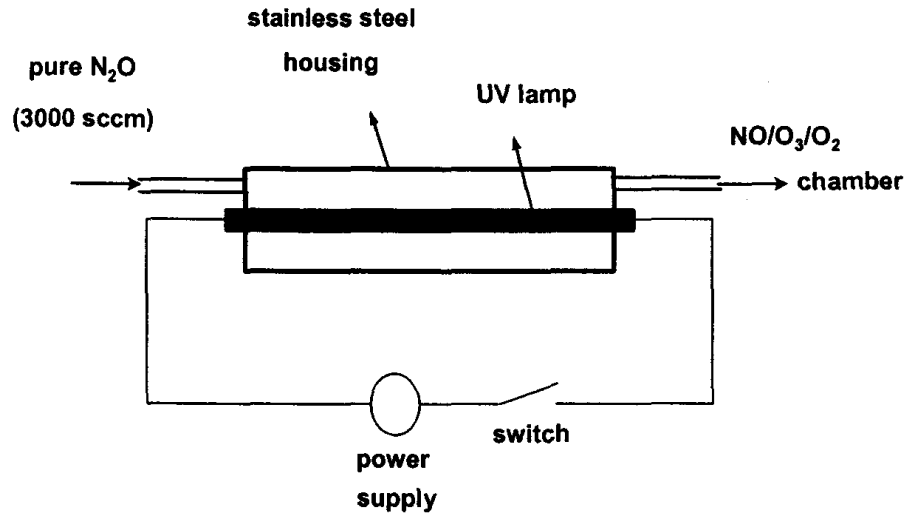
파일을 최적화시키기 어려우며, 플라즈마 질화법을 이용하면 공정이 복잡하고 플라즈마로 인한 불순물 함유량이 증가되는 위험이 따른다. 그러므로 공정이 단순하면서도 불순물 함유량이 적고 저온에서 성장이 가능한 방법의 개발이 요구된다. 더욱이, 최근들어 각광을 받고 있는 응력이 가해진 실리콘 채널 소자의 경우 높은 온도에서 절연막을 형성하면 채널층 하부로부터의 게르마늄 확산이나 편석, 또는 응력 완화 등의 문제가 발생하는데, 이에 따라 낮은 온도에서 고품질의 게이트 절연막을 얻을 수 있는 새로운 기술이 절실히 요구되고 있다. 실리콘 산화막의 성장 온도를 낮추기 위해 오존(O₃)을 이용한 산화법이 도입되었다. 오존을 사용하면 산소만을 사용하는 경우보다 더 낮은 온도에서도 실리콘 산화막을 원활히 성장시킬 수 있다고 보고되었다.

2) RAON 공정의 장비구성 및 원리

RAON 고정은 산소 및 질소 원소를 포함하는 가스 또는 이들의 혼합 가스에 자외선(UV)을 조사하여 분자 구조를 분해 및 변형시키므로써 저온 및 고청정 조건에서 고품질의 옥시나이트라이드막이 성장되도록 하거나, 또는 이미 형성된 실리콘 산화막을 효과적으로 질화(nitridation)시킨다. 반응로에는 기존의 RTO(rapid thermal oxidation) 또는 RTN(rapid thermal nitridation) 시스템과 같이 기판에 열을 가하기 위한 수단으로서 예를 들어, 할로겐 램프가 구비된다. 가스 소스들로부터 산소(O₂) 및 질소(N)를 포함하는 소스 가스가 UV 램프 모듈로 공급되고, UV 램프 모듈에 설치된 다수의 UV 램프로부터 조사되는 자외선(UV)에 의한 상기 소스 가스의 분해에 의해 오존(O₃)과 래디컬 산소(O)가 생성되며, 질소(N)와 산소(O) 원소를 포함하는 분자들의 구조가 변형된다. 생성된 오존(O₃)과 래디컬 산소(O) 및 변형된 질소(N)와 산소(O) 원소를 포함하는 분자들은 상기 반응로로 공급된다. 반응로에는 기판에 열을 가하기 위한 수단으로서 예를 들어, 열선이 구비된다. 가스 소스들로부터 산소 및 질소성분을 포함하는 소스 가스가 UV 램프 모듈로 공급되고, UV 램프 모듈에 설치된 다수의 UV 램프로부터 조사되는 자외선(UV)에 의한 상기 소스 가스의 분해에 의해 오존(O₃)과 래디컬 산소(O)가 생성된다. 생성된 오존(O₃)과 래디컬 산소(O) 및 질소(N)와 산소(O) 원소를 포함하는 분자들은 상기 반응로로 공급된다. 반응로의 내부에는 기판에 열을 가하기 위한 할로겐 램프 및 자외선(UV)을 조사하기 위한 다수의 UV 램프가 구비된다. 가스 소스들로부터 산소(O₂) 및 질소(N)를 포함하는 소스 가스가 상기 반응로로 공급되면 반응로 내부에 설치된 다수의 UV 램프로부터 기판으로 조사되는 자외선(UV)에 의해 공급된 소스 가스가 분해되

어 오존(O₃)과 래디컬 산소(O)가 생성되며, 질소(N)와 산소(O) 원소를 포함하는 분자들의 구조가 변형된다.

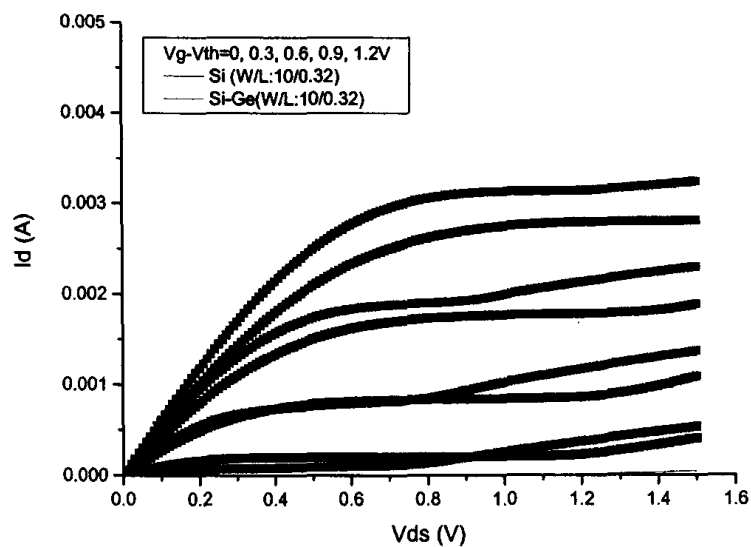
반응로 내부로 실리콘 기판을 로드한 후 산소 및 질소 원소가 포함된 가스 또는 이들의 혼합 가스를 상기 반응로 내부로 공급하는 동시에 UV 램프를 이용하여 자외선을 조사하면 상기 가스의 분해에 의해 오존 및 래디칼 산소가 생성되고, 생성된 오존 및 래디칼 산소에 의해 상기 실리콘 기판 상에 옥시나이트라이드막이 성장된다. 산소 원소 및 질소 원소를 포함하는 가스 또는 이들의 혼합 가스에 자외선(UV)을 조사하면 산소가 분해되면서 산소 원소와 질소 원소가 형성하는 분자의 구조가 변형된다. 질소 원소가 산소 원소와 결합하여 형성할 수 있는 분자 구조로는 N₂O, NO, NO₂ 등이 있는데, 각각의 분자 구조는 실리콘과의 반응 메카니즘이 다르므로 반응온도, 성장속도, 질소 함유량, 질소 프로파일 등에서 차이를 보인다. 예를 들면, NO 는 N₂O 보다 낮은 온도에서 실리콘과 반응하므로 성장속도는 느리지만 질소 함유량은 높다. 한편, 본 발명에 따르면 초기 성장 과정에서 자외선(UV) 조사에 의해 생성되는 오존(O₃)이나 래디컬 산소(O)의 일부가 실리콘 기판의 표면에 성장되는 실리콘 산화막과 먼저 결합하여 고밀도의 실리콘 산화막을 형성한다. 그러므로 초기에 성장되는 실리콘 산화막에 의해 질소(N) 성분이 실리콘 계면으로 확산되지 못하여 계면 특성의 열화가 효과적으로 방지된다. 본 발명에서는 다양한 파장을 가진 UV 램프들을 사용하고, 특정한 파장을 갖는 램프의 파워를 독립적으로 제어할 수 있다. 그러므로 오존과 래디컬 산소의 농도 및 질소 원소가 형성하는 가스의 분자 구조 등을 실시간으로 변화시킬 수 있다. 따라서 기계적인 스위칭(switching)을 이용하여 소스 가스의 공급을 제어하지 않고도 질소 프로파일 등의 막질 조건을 자유롭게 조절하여 특성을 최적화시킬 수 있는 장점이 있다. 이 때 공정 온도와 압력 조건도 중요한 변수이므로 공정 진행시 함께 고려되어야 한다. 사용되는 소스 가스의 종류에 따라 생성되는 래디컬, 분자의 종류, 농도비 등이 다르므로 최적의 조건을 위해서는 사용될 가스의 종류를 적절히 선택하여야 하며, 여러 가지 가스를 혼합해서 사용할 수도 있다. 특히, NO₂의 경우는 O₂를 섞지 않아도 자외선(UV)에 의해 NO 및 산소 래디컬이 동시에 생성됨을 알 수 있다. [그림16]은 RAON 공정을 위해 제작된 Radical 소스 발생기의 도면이다.



[그림16] RAON 래디컬 소스발생기 도면

3) RAON 적용 SiGe 소자특성

- RAON적용 산화막 (~ 2.5nm)을 이용한 Si & SiGe MOSFET 제작 및 특성평가.
- [그림17]에서 나타난 바와 같이 SiGe NMOS가 Si NMOS대비 14.5% 이동도 향상.
- 저온 RAON 공정을 적용하면 SiGe MOSFET의 장점을 더욱 살릴 수 있음을 증명



[그림17] RAON적용 Si & SiGe NMOS 특성비교

다. 1/f 잡음측정을 이용한 나노소자 분석

1) Gate 전류가 드레인 전류 1/f 잡음에 미치는 영향 분석

가) 목표대비 실적

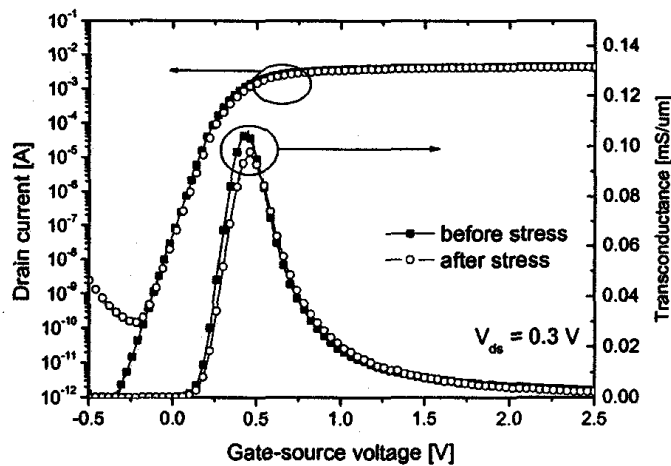
- 당초목표: sub 3nm 급 gate oxide의 reliability 특성 정량적 분석
- 연구성과: Gm 변화량 10% 이하의 작은 변화를 1/f 잡음으로는 1 decade 이상의 차이로 감지가능 (oxide 계면특성 고정밀 분석에 유리)

나) 실험배경

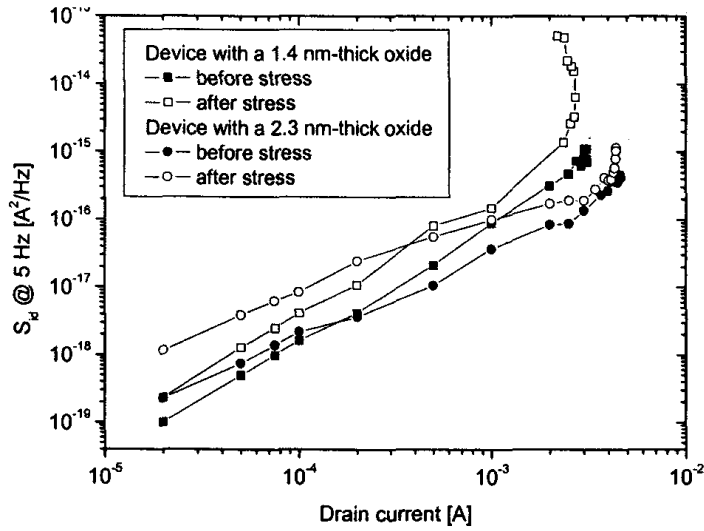
- Nano MOSFET의 경우 sub 1.5nm급의 gate 산화막 채용으로 인한 gate leakage 증가 및 그에 따른 신뢰성문제 발생 가능성 존재.
- 특히 매우 약한 electrical stress에도 oxide 계면의 열화가 예상되는 바 DC 및 1/f 잡음관련 정량적 실험결과가 필요함.
- 본 연구에서는 2.3nm 와 1.4nm 급의 산화막에 대하여 stress 전후 DC 및 1/f 잡음특성을 비교하고 nano 소자의 신뢰성한계를 예측하고자 함.

다) 실험결과

- Gm 기준 감소율 7% 수준으로 electrical stress를 가하여 드레인 전류별 1/f 잡음을 측정함.
- [그림18]은 stress 전후 DC 특성을 나타내고 [그림19]는 Id 별 1/f 잡음특성을 나타냄.



[그림18] stress 전후 DC 특성 비교 (1.4nm)



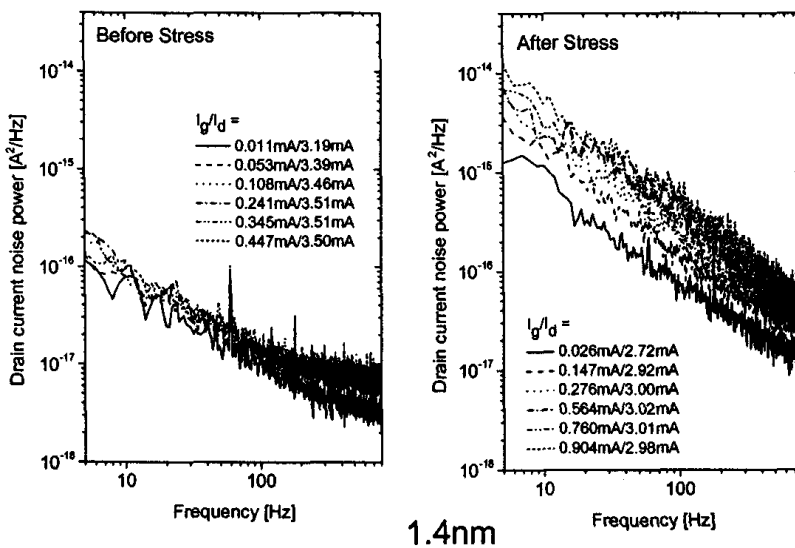
[그림19] Id별 1/f 잡음특성 비교

Thinner oxide (1.4nm)의 경우 일정한 Id 이상에서 breakdown-like 증가특성을 보임.

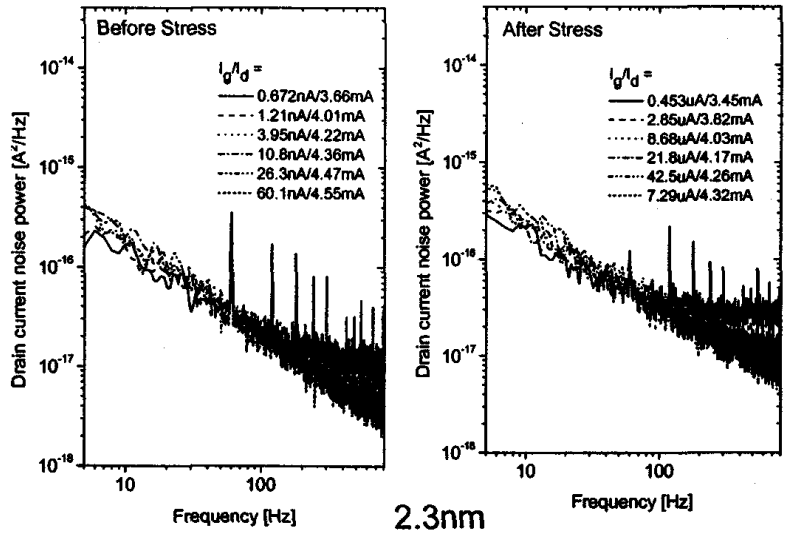
이러한 특성은 Id의 뚜렷한 증가 없이 발생하고 있으므로 Id외의 다른 잡음소스에 의해 좌우되고 있음을 반연함.

원인분석을 위해 각각의 Id조건에 대해 gate 전류의 1/f 잡음을 측정함.

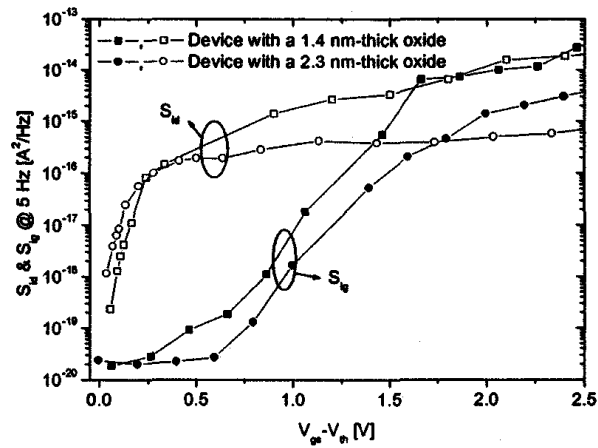
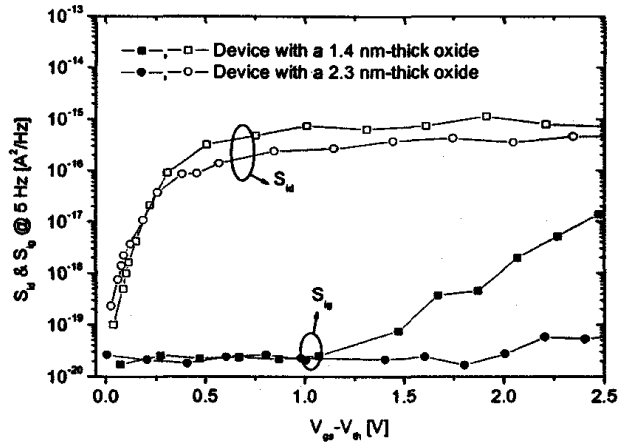
[그림20]은 주어진 소자의 gate 전류 1/f 잡음 raw data이며 [그림21]은 5Hz에서의 1/f 잡음 값을 plotgks 것임.



1.4nm

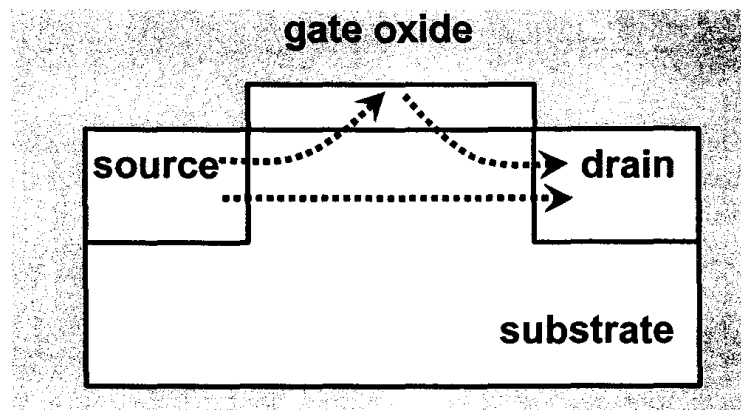


[그림20] 산화막 두께별 1/f data



[그림21] 1/f data at 5Hz

- 1/f 잡음의 급격한 증가는 gate 전류 증가 및 그에 수반되는 1/f 잡음의 증가가 Id 1/f 잡음에 coupling 되어 나타나는 것으로 추정됨.
- 즉, stress에 의해 gate 전류 및 Ig 1/f 잡음이 동시에 증가 할때 Id 1/f 잡음이 급격히 증가함.
- 본 결과는 sub 1.5nm 급 산화막이 채용되는 nano MOSFET에서 신뢰성 불량 이 DC 특성의 열화가 아닌 1/f 잡음의 증가로 인해 문제가 될 수 있음을 의미함.
- [그림22]는 gate leakage가 존재하는 nano MOSFET에서의 전류 paths를 나타낸 것임.



[그림22] 전류 paths in a nano MOSFET

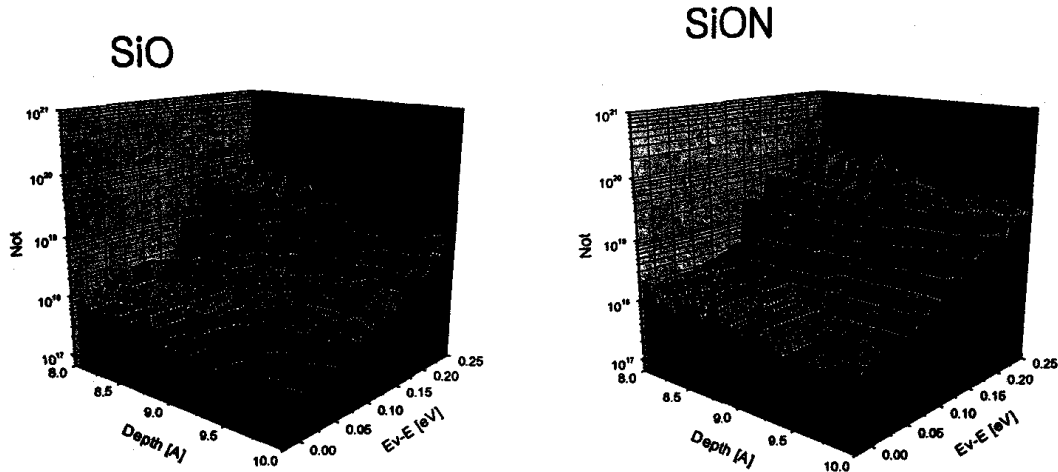
2) 1/f 잡음분석을 이용한 oxide 결함분포 및 NBTI 발생 원인분석

가) 목표대비 실적

- 당초목표: oxide depth, energy 별 oxide 결함분포 3차원 분석법 개발
Negative Bias Temperature Instability (NBTI) 원인분석
- 연구성과: Number fluctuation model 이용 3차원 oxide 결함분포 분석법 개발
Pure SiO 및 SiON 산화막 적용 MOSFET 이용 NBTI 원인분석 완료

나) 3차원 oxide 결함분포 연구

- 1/f 잡음 data와 Number fluctuation model 이용 depth 8-10A 내의 trap 밀도의 정량적분석 측정법 개발
- [그림23]은 SiO 및 SiON 적용 MOSFET의 3차원 trap 분포를 나타냄.



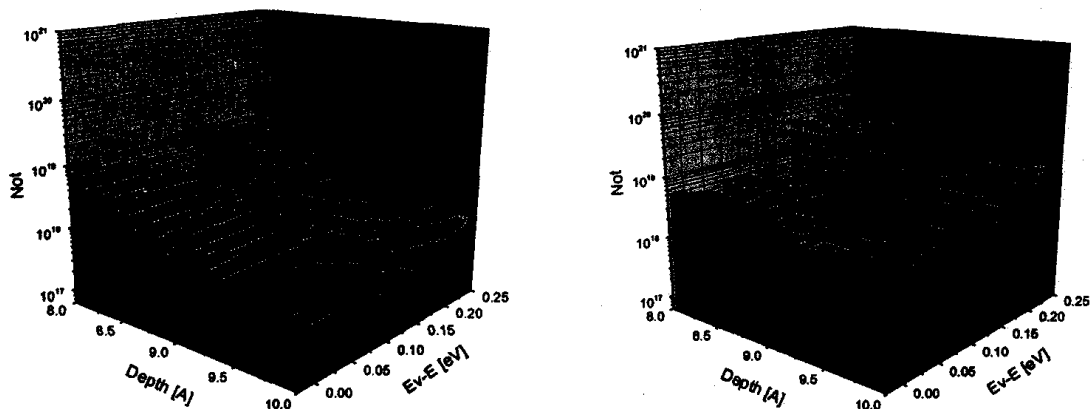
[그림23] 산화막별 oxide trap 3차원 분포도

다) NBTI 발생 원인분석 연구

- FN stress 및 Annealing 조건을 혼용하여 NBTI 발생이 주로 oxide defect에 증가될 수 있음을 정량적으로 분석함 (SiON의 경우 NBTI가 심함).
- H trap 및 H diffusion process에 의해 계면조건이 변화하고 이에 따라 Vth shift가 발생함.
- [그림24]는 NBTI 조건별 3차원 oxide trap 분포를 나타냄.

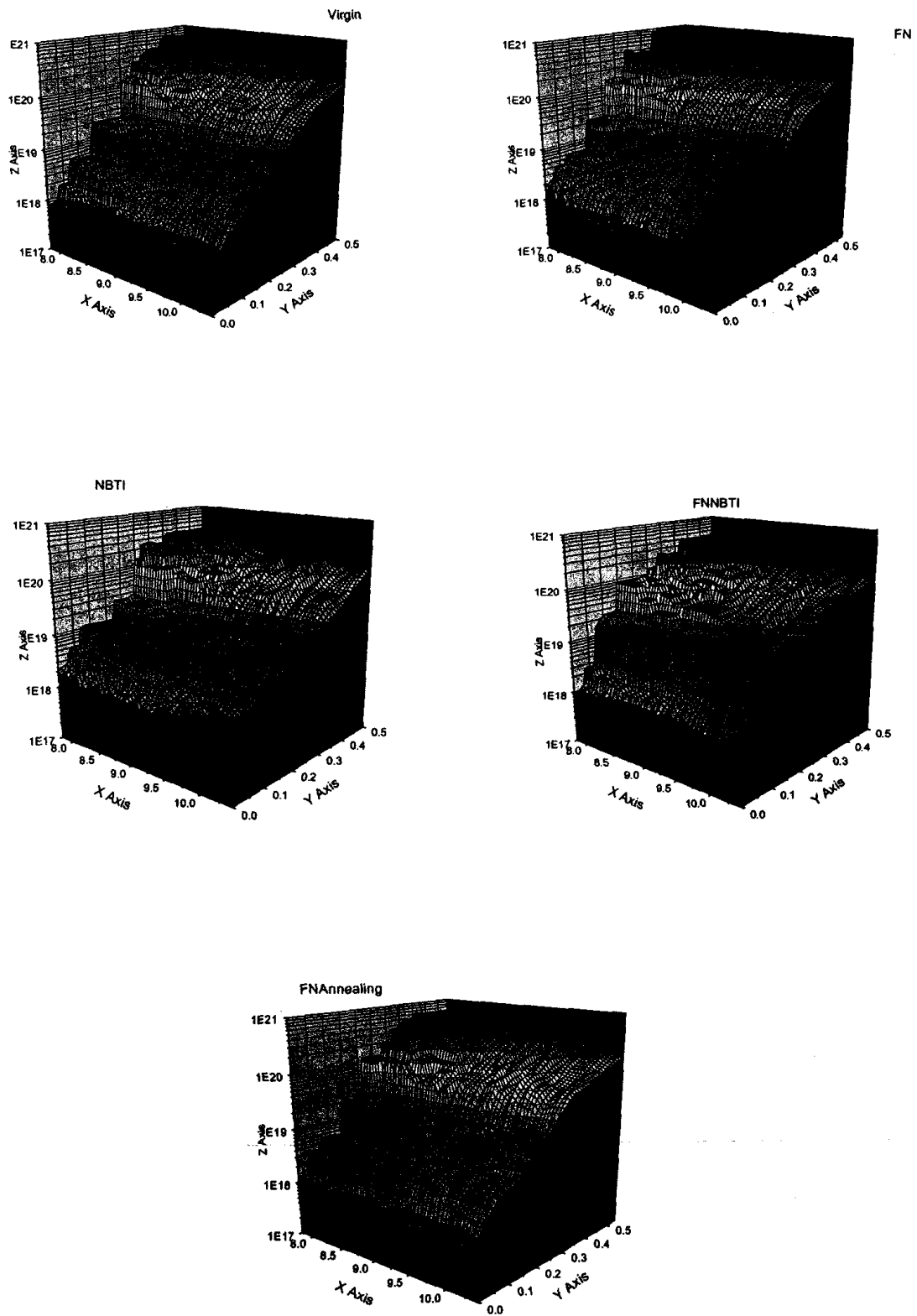
SiO -2.7Vg, 200°C, 3Ksec

SiON -2.7Vg, 200°C, 3Ksec



[그림24] NBTI 후 산화막별 oxide trap 분포

· [그림25]는 FN stress 및 annealing 조건 조합별 3차원 결함분포를 나타냄.



[그림25] 조건별 3차원 결함분포 비교

다) $1/f$ 잡음 분석법의 효용성

- 기존의 C-V, DLTS 등의 MOSFET 관련 결함분석법 대체 및 정밀도 향상
- NBTI 등의 신뢰성관련 예측 및 원인분석 연구에 활용

제 4 장 관련분야에의 기여도

여백

제 4 장 관련분야에의 기여도

고성능 실리콘-게르마늄 양자채널 나노신소자 원천기술의 확보는 개인 휴대용 단말기, 전화망을 이용한 데이터, 음성, 그래픽 자료 등의 다양한 정보의 송수신이 가능하게 하는 멀티미디어 시대를 조기에 정착시킬 뿐 아니라 멀티미디어용 부품, 프로세서 및 시스템 시장을 선점하게 할 것으로 기대된다. 또한 50nm 급 양자소자의 제작 공정을 자체 기술로 개발함으로써 미래의 국내 정보통신 및 반도체 산업분야의 국제 경쟁력에도 큰 기여를 할 것으로 보인다. 반도체 소자 및 회로의 세계시장 규모는 1990년도에 450억 달러에서 2000년도에는 3500억 달러(약 420조원)로 경이적인 성장을 지속하고 있으며, 이 가운데 총 시장 규모의 97%는 실리콘 반도체가 점유하고 있다. 이에 기존의 실리콘 반도체기술을 기반으로 하고 있는 실리콘-게르마늄 양자채널 기술은 앞으로 큰 부가가치를 창출할 것이 확실하다. 특히, 이 기술은 DRAM, CPU, ASIC 기술을 개량시키면서 기억소자, 정보처리, 무선통신, 컴퓨터 통신 등의 반도체 시장의 90%이상을 계속해서 주도할 것으로 보인다. 그리고 프로세서를 중심으로 하는 비메모리 반도체의 비중은 2005년도에 77% 이상으로 증대되고, 부가가치가 가장 높은 SoC 제품군 생산이 가능할 것이다.

현재의 국내 반도체기술은 주로 메모리나 디스플레이에 집중되어 있으므로, 세계반도체 시장의 70% 해당하는 고 부가가치의 비메모리 시장으로 기술전환을 하는 것이 국가 경쟁력 확보를 위해 필수적이다. SoC 기반의 DSP는 기지국 네트워크, 교환기 및 이동통신단말기, 개인휴대단말기 등 각종 통신기기에 없어서는 안 될 핵심 부품으로 2003년 기준 세계시장 규모 130-140억 달러에 이른다. 이에 기존의 실리콘 반도체에 비해 동작속도, 전력소모, 잡음 특성을 향상시킨 실리콘-게르마늄 양자채널 SFET은 다양한 통신용 회로를 구현시키는 것은 물론 다양한 형태의 SoC를 실현할 수 있을 것으로 기대된다.

원천기술 개발인 관계로 추후 기술개발이 추가되어야 하는 점이 있으나 SiGe 반도체의 잠재력을 감안할 때 산업체와의 공동연구 등이 바람직한 추진 방향이며, 현재 하이닉스반도체, 동부아남 반도체등이 SiGe SFET 기술의 필요성을 깨닫고 사업추진 기관인 ETRI에 기술이전을 의뢰하여 검토 중에 있다. SiGe 나노 CMOS 기술을 일단 CMOS Image Sensor를 시작으로 비메모리 반도체 위주의 제품에 적용할 계획이다. 아직 원천기술 개발의 여지가 남아 있으므로 추가적인 원천기술의 확보를 통해 기존의 국내 실리콘 반도체 생산의 20%이상을 대체하도록 지속적인 기술개발을 추진할 예정이다.

여백

제 5 장 참고문헌

여백

제 5 장 참고문헌

- (1) 국가기술지도위원회, NTRM, 2002.
- (2) D.J. PWI, *Advanced Materials*, Vol. 11, 191, 1999.
- (3) D.L. Hareme, J.H. Comfort, J.D. Cressler, E.F. Crabbe, J.Y.C. Sun, B.S. Meyerson, and T.T. Tice, *IEEE Tans. on Electron Device*, Vol. 42, 455, 1995.
- (4) F. Aniel, N. Zerounian, M. Zeuner, T. Hackbarth, and U. Konig, *IEEE Trans. on Electron Dev.* 47, 1477, 2000.
- (5) J. D. Cressler, *IEEE Trans. on Microwave Theory and Techniques*, Vol. 46, 572, 1998.
- (6) J.A. Hutchby et al., "Extending the Road Beyond CMOS," *IEEE Circuits & Devices Magazin*, Mar. 28, 2002.
- (7) J.E. Brewer, *IEEE Circuits and Devices Magazine*, Mar. 2002.
- (8) J. D. Cressler, *IEEE Trans. on Electron Devices*, Vol. 44, 404, 1997.
- (9) P. Beckett, "Towards Nanocomputer Architecture," *ACSAC*, 2002.
- (10) R.H. Mathews, J.P. Sage, T.C.L. Gerhard Sollner, S.D. Calawa, C.-L. Chen, L. J. Mahoney, P.A. Maki, and K. M. Molvar, *Proceedings of the IEEE*, Vol. 87, 596, 1999.
- (11) Strategies Unlimited, "Silicon Germanium-1999: Technology Status and Applications Analysis," Sept. 1998.
- (12) "Silicon Germanium Materials 문 Devices. A Market & Technology Overview to 2006" Elsevier 2002.

여백

부 록

SE Q.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET & MEASURE.	DA. TE.	I/O.	OPER.	RE. MARK.
1.	Wafer Scribe & Cleaning. DIW.	WT02-D001.	J01-J16.	p-type wafer. (가체 투입).
2.	Cleaning, STD3.	WT03-S003.	J01-J16.
3.	Initial Oxidation. H2/O2. 950 C.	FN12-W293.	J01-J16.	T=400Å.
.	Measure. Tox (Target=400±20Å).	.	Monitor.	C B. T L. R Avg.
4.	LPCVD. Nitride.	LP32-N710.	J01-J16.	T=1000Å.
.	Measure. Tri (Target=1000±50Å).	.	Monitor.	C B. T L. R Avg.
Nwell Photo Mask (RFTV97 -NWL), First Print, Filename: RF97.								
5.	HMDS/ Coat/Bake(90C/60sec). PR (PFI 38A , 1.23 μm).	TR01-P001.	J01-J16.	RPM : 2800.
.	Exposure (DF = - 0.3 μm).	ST02-I001.	J01-J16.	Exp. : 600ms.
.	Bake.PEB(110C/90sec) Develop.	TR01-D001.	J01-J16.	DVT : 60sec.
.	Inspection.	.	J01.
6.	Bake.Hard(120°C).	OV03-C001.	J01-J16.
7.	Nwell Dry Etch. Nitride.	DR03-N002.	J01-J16.	T=1000Å+20%.
.	Measure. Tox (Target=250±100Å). (on NWL).	.	J01.	C B. T L. R Avg.
.	Inspection.	.	J01.
8.	Nwell Ion Implantation. P31.	IM01-P001.	J01-J16.	150keV, 2.2E13.
9.	Plasma Strip.PR.	PS01-P001.	J01-J16.
10.	Acid Strip.PR.	WT02-R002.	J01-J16.
11.	Clean, STD 3.	WT04-S003.	J01-J16.
.	Inspection.	.	J01.

Pwell Photo Mask (RFTV97 -PWL), Align to NWL, Filename: RF97.								
12.	HMDS/ Coat/Bake(90C/60sec). PR (PFI 38A , 1.23 μm).	TR01-P001.	J01-J16.	RPM : 2800.
.	Exposure (DF = - 0.3 μm).	ST02-I001.	J01-J16.	Exp. : 600ms.
.	Bake.PEB(110C/90sec) Develop.	TR01-D001.	J01-J16.	DVT : 60sec.
.	Inspection.	.	J01.
13.	Bake.Hard(120°C).	OV03-C001.	J01-J16.

SE Q.	PROCESS.	P.CODE.	WAFER. INSTRUCTN.	TARGET & MEASURE.	DA TE.	I/O.	OPER.	RE. MARK.
14.	Pwell Dry Etch. Nitride.	DR03-N002.	J01-J16.	T=1000Å+20%.
	Measure. Tox (Target=250±100Å). (on PWL).	.	J01.	C B. T L. R Avg.
15.	Pwell Ion Implantation.B11.	IM01-B001.	J01-J16.	75keV,1.2E13.
16.	Plasma Strip.PR.	PS01-P001.	J01-J16.
17.	Acid Strip.PR.	WT02-R002.	J01-J16.
	Inspection.	.	J01.
18.	Clean, STD3.	WT03-S003.	J01-J16.
19.	Well Drive in 1150 C.	FN22-A296.	J01-J16.	Time=9 HR.
	Measure. Tox (Target=200±30Å).	.	Monitor.	C B. T L. R Avg.
	Inspection.	.	J01.
20.	Block Oxidation. H2/O2. 950C.	FN12-W293.	J01-J16.	T=1900Å.
	Measure. Tox (Target=1900±150Å).	.	Monitor.	C B. T L. R Avg.
21.	Clean HF (6:1).	WT02-J001.	J01-J16.	Time=15sec.
22.	Acid Strip. Nitride.	WT05-R001.	J01-J16.	Time=70min.
	Measure. Tox on HWL. (Target=1700±300Å).	.	J01.	C B. T L. R Avg.
23.	Wet Etch Oxide, 6:1 BHF.	WT02-J001.	J01-J16.	Time=160sec.
	Measure. Tox (Target=0±30Å).	.	J01.	C B. T L. R Avg.
24.	Clean, STD3.	WT03-S003.	J01-J16.
25.	Buffer Oxidation H2/O2. 850 C.	FN12-W291.	J01-J16.	Time=15min.
	Measure. Tox (Target=150±20Å).	.	Monitor.	C B. T L. R Avg.
26.	LPCVD Nitride.	LP32-N710.	J01-J16.	T=1600 Å.
	Measure Thickness. (Target=1600 ±80 Å).	.	Monitor.	C B. T L. R AVG.
	Inspection.	.	J01.

SE Q.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET &. MEASURE.	DA. TE.	I/O.	OPER.	RE. MARK.
Active Photo Mask (RFTV97 -ACT), Align to NWL, Filename: RF97.								
27.	HMDS/ Coat/Bake(90C/60sec). PR (PFI 38A , 1.02 μ m).	TR01-P001.	J01-J16.	RPM : 4000.
.	Exposure (DF; -0.3 μ m).	ST02-ID01.	J01-J16.	Exp. = 480 ms.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT:60sec.
.	Measure.CD (Target=0.6 \pm 0.1 μ m).	.	J01.	C B. T L. R Avg.
.	Inspection.	IM01-B002.	J01.
28.	Bake.Hard(120°C).	OV03-C001.	J01-J16.
29.	Active Dry Etch.Nitride.	DR03-N002.	J01-J16.	T=1600+10%.
.	Measure.Tox (Target=65 \pm 20Å) (on Field).	.	J01.	C B. T L. R Avg.
.	Inspection.	.	J01.
30.	Plasma Strip.PR.	PS01-P001.	J01-J16.
31.	Acid Strip.PR.	WT02-R002.	J01-J16.
.	Inspection.	.	J01.
.	Measure.Tox (Target=50 \pm 20Å) (on Field).	.	J01.	C B. T L. R Avg.
32.	Clean, STD3. (100:1 HF 100s et).	WT03-S003.	J01-J16.
33.	Buffer Oxidation.H2/O2.850 C.	FN12-W291.	J01-J16.	Time=15min.
.	Measure.Tox (Target=150 \pm 20Å) (on Field).	.	J01.	C B. T L. R Avg.
N-CH Field implant Photo Mask (RFTV97 -PWL), Align to ACT, Filename: RF97.								
34.	HMDS/ Coat/Bake(90C/60sec). PR (PFI 38A , 1.23 μ m).	TR01-P001.	J01-J16.	RPM : 2800.
.	Exposure (DF; -0.3 μ m).	ST02-ID01.	J01-J16.	Exp. = 600ms.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT:60sec.
.	Inspection.	.	J01.
35.	Bake hard (120°C).	OV03-C001.	J01-J16.
36.	N-CH Field Implantation. BF2.	IM01-B002.	J01-J16.	70keV, 5.0E13.
37.	Plasma Strip. PR.	PS01-P001.	J01-J16.
38.	Acid Strip. PR.	WT02-R002.	J01-J16.

SE Q.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET & MEASURE.	DA. TE.	I/O.	OPER.	RE. MARK.
38.	Clean, STD3.	WT03-S003.	J01-J16.					
39.	Field Oxidation, H2/O2, 950°C.	FN14-W454.	J01-J16.	Time=190min.				
	Measure.Tox (Target=5200±500 Å).		Monitor.	C B. T L. R Avg.				
	Measure.Tox (Target=5200±500 Å). (on Field).		J01.	C B. T L. R Avg.				
40.	Cleaning, BHF.	WT02-3D01.	J01-J16.	Time=15 sec.				
41.	Acid Strip.Nitride.	WT05-R001.	J01-J16.	1600 A. Temp=160 °C.				
	Measure.Tox (Target=20±20 Å). (on Active).		J01.	C B. T L. R Avg.				
	Measure.Tox (Target=4900±200 Å). (on Field).		J01.	C B. T L. R Avg.				
	Inspection.		J01.					
42.	Clean, STD3.	WT03-S003.	J01-J16.					
43.	Oxidation, H2/O2, 850°C.	FN12-W452.	J01-J16.	Time=35min.				
	Measure.Tox (Target=300±50 Å).		Monitor.	C B. T L. R Avg.				
N-CH VT Implant Photo Mask (RFTV97 - NSD), Align to ACT, Filename: RFTV97.								
44.	HMD5/ Coat/Bake(90C/60sec). PR (PFI 38A, 1.23 µm).	TR01-P001.	J01-J16.	RPM : 2800.				
	Exposure (DF; -0.3 µm).	ST02-D01.	J01-J16.	Exp.= 600ms.				
	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT:60sec.				
	Inspection.		J01.					
45.	Bake hard (120°C).	OV03-C001.	J01-J16.					
46.	N-CH VT Ion Implantation. BF2.	IM01-B002.	J01-J16.	80keV, 3.8E12.				
	Deep Ion Implant. B11.	IM01-B001.	J01-J16.	80keV, 2.5E12.				
47.	Plasma Strip. PR.	PS01-P001.	J01-J16.					
48.	Acid Strip. PR.	WT02-R002.	J01-J16.					
49.	6:1 BHF.	WT02-3D01.		Time=30sec.				
	Measure.Tox (Target <15Å). (on Active).		J01.	C B. T L. R Avg.				

SE Q.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET & MEASURE.	DA. TE.	I/O.	OPER.	RE. MARK.
50.	Clean, STD3.	WT04-S003.	J01-J16.					
	Inspection.		J01.					
	Fab-out.							

SEQ.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET &. MEASURE.	DA. TE.	I/O.	OPER.	RE. MARK.
1.	Cleaning. BHF.	WT02-XD01.	R01-R14.	Time=15 sec.	.	.	.	일단 hold.
2.	Cleaning. STD1. (100:1 HF 100 sec.)	WT04-S001.	R01-R14.
.	APCVD/RPCVD Epi.	.	R01-R14.	SiGe 검역.
Active Photo Mask (EI-RFTV97-04-ACT-R1: 기존 Mask업니다), Align to ACT, filename: RFTV97.								
3.	HMDS/ Coat/Bake(90C/60sec). PR (PFI 38A, 1.02 μm).	TR01-P001.	R01-R14.	RPM : 4000.
.	Exposure (DF; 0μm).	ST02-ID01.	R01-R14.	Exp. = 480 ms.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	R01-R14.	DVT:60sec.
.	Measure. CD. (Target=0.6±0.1μm).	.	R01.	C B. T L. R Avg.
.	Inspection.	.	R01.
4.	Bake hard (120°C).	OV03-C001.	R01-R14.
5.	Dry Etch Poly.	DR03-P001.	.	T=x00Å+20%.
6.	Dry Etch Poly.	DR03-P001.	.	T=x00Å+20%.
.	Inspection.	.	R01.
7.	Plasma Strip.PR.	PS01-P001.	R01-R14.
8.	Acid Strip.PR.	WT02-R002.	R01-R14.
9.	Clean. STD1.	WT04-S001.	R01-R14.	Call.
10.	Oxidation. N2/O2 .800 C. (시간변경).	FN12-W286.	R01-R14.	Time=7min.	.	.	.	No time. delay.
.	Measure.Tox. (Target=20±10Å).	.	Monitor.	C B. T L. R Avg.
.	Gate APCVD. Poly.	.	.	T=1200±300Å.	.	.	.	No time. delay.
11.	Cleaning 100:1 HF.	WT04-HD01.	R01-R14.	Time=1min.
12.	WSi Dep.	WS01-W001.	R01-R14.	T=1200Å.
.	Measure.Rs (Target=70 ±5 Ω/sq.).	.	Monitor.	C B. T L. R Avg.
13.	Cap-Oxide(PE-Oxide).	PE02-XD10.	R01-R14.	T=400Å.
.	Measure (Target=400±100 Å).	.	Monitor.	C B. T L.

				R	Avg..				
Poly Photo Mask (RFTV97- PLY 기 존 Mask임) Align to ACT, Filename: RF97..									
14..	HMD S/ Coat/Bake (90C/60sec).. PR(QFI 38A, 1.02µm)..	TR01-P001..	R01-R14..	RPM : 4000..	Call..
..	Exposure (DF; 0µm)..	ST02- I001..	R01-R14..	Exp.=400ms..
..	Bake.PEB(110C/90sec)Develop..	TR01-D001..	R01-R14..	DVT:60sec..
..	Measure.CD.. (Target=0.6±0.05µm)..	..	R01..	C B.. T L.. R Avg..
..	Inspection..	..	R01..
15..	Bake. Hard (120°C)..	OV03-C001..	R01-R14..
16..	DESCUM..	DR03-R010..	..	Time=..
..	Measure.CD (0.5CD).. (Target=0.2±0.05µm)..	..	R08..	C B.. T L.. R Avg..
17..	DESCUM..	DR03-R010..	..	Time=..
..	Measure.CD (0.5CD).. (Target=0.2±0.05µm)..	..	R09..	C B.. T L.. R Avg..
16..	Dry Etch Cap-Oxide..	DR03-N002..	R01-R14..	Time=30sec..
17..	Dry Etch. Polycide..	DR03-W030..	R01-R14..	WSi etch..
..	Measure.Tpoly (Target=700±300Å).. (on Active)..	..	R01..	C B.. T L.. R Avg..
..	Inspection..	..	R01..
18..	Plasma Strip.PR..	PS01-P001..	R01-R14..
17..	Acid Strip.PR..	WT02-R002..	R01-R14..
19..	Dry Etch Polycide..	DR03-P030..	R01-R14..	Poly etch..
..	Measure.Tox (Target=0Å).. (on Active)..	..	R01..	C B.. T L.. R Avg..
20..	Acid Strip.PR..	WT02-R002..	R01-R14..
21..	Clean, STD3..	WT04-S003..	R01-R14..
22..	Clean (NH4 OH:H2O2:H2O=1:1:5)..	WT07-SC01..	R01-R14..	3-2, 10min..
..	Inspection..	..	R01..
N-LDD IMP Photo Mask (RFTV97 -NSB). Align to PLY, Filename: RF97..									

SEQ.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET &. MEASURE .	DA. TE.	L/O.	OPER.	RE.. MARK.
23.	HMDS/ Coat/Bake (90C/90sec). PR(PFI 38A, 1.23µm).	TR01-P001.	R01-R14.	RPM : 2800.
.	Exposure (DF; - 0.3µm).	ST02- D001.	R01-R14.	Exp.=600ms.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	R01-R14.	DVT:60sec.
.	Inspection.	.	R01.
24.	Bake. Hard (120°C).	OV03-C001.	R01-R14.
25.	N-LDD Ion Implantation. P31.	IM01-P001.	R01-R14.	40keV, 2.5E13.	.	.	.	0° tilt.
26.	Plasma Strip.PR.	PS01-P001.	R01-R14.
27.	Acid Strip.PR.	WT02-R002.	R01-R14.	100:1 HF 10sec.
.	Inspection.	.	R01.
P-LDD IMP Photo Mask (RFTV97 -PSB), Align to PLY, Filename: RF97.								
28.	HMDS/ Coat/Bake (90C/90sec). PR(PFI 38A, 1.23µm).	TR01-P001.	J01-J16.	RPM : 2800.
.	Exposure (DF; - 0.3µm).	ST02- D001.	J01-J16.	Exp.=600ms.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT:60sec.
.	Inspection.	.	J01.
29.	Bake. Hard (120°C).	OV03-C001.	J01-J16.
30.	P-LDD Ion Implantation.BF2.	IM01-B002.	J01-J16.	65keV, 3E13.	.	.	.	0° tilt.
31.	Plasma Strip.PR.	PS01-P001.	J01-J16.
32.	Acid Strip.PR.	WT02-R002.	J01-J16.
33.	Inspection.	.	J01.
34.	Clean, STD3.	WT04-S003.	J01-J16.	100:1 HF 20sec.
35.	Spacer Oxide Depo. TEOS.	LP31-0910.	J01-J16.	T=2150±200Å.
.	Measure. Tox (Target=2150±200 Å).	.	Monitor.	C B. T L. R Avg.
.	Inspection.	.	K01.
36.	Spacer Oxide Dry Etch.	DR03-3D01.	J01-J16.	T=2150Å±15%.
.	Measure Tox (Target<50 Å) (on Active).	.	J01.	C B. T L. R Avg.
.	Inspection.	.	J01.
37.	Clean, H2SO4.	WT03-P001.	J01-J16.

SEQ.	PROCESS.	P.CODE.	WAFER. INSTRUC TN.	TARGET &. MEASURE.	DA. TE.	L/O.	OPFR.	RE- MARK.
N+SB IMP Photo Mask (RFTV97 -NSD), Align to FLY, Filename: RF97.								
38.	HMDS/ Coat/Bake (90C/90sec). PR(PFI 38A, 1.23µm).	TR01-P001.	J01-J16.	RPM : 2800.
.	Exposure (DF; - 0.3µm).	ST01- D01.	J01-J16.	Exp.=600ms.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT:60sec.
.	Inspection.	.	J01.
39.	Bake. Hard (120°C).	OV03-C001.	J01-J16.
40.	NSD Ion Implantation.As.	.	J01-J16.	78keV, 6E15.	.	.	.	외부.
41.	Plasma Strip.PR.	PS01-P001.	J01-J16.
42.	Acid Strip.PR.	WT02-R002.	J01-J16.
.	Inspection.	.	J01.
P+SB IMP Photo Mask (RFTV97 -PSB), Align to ACT, Filename: RF97.								
43.	HMDS/ Coat/Bake (90C/90sec). PR(PFI38A, 1.23µm).	TR01-P001.	J01-J16.	RPM : 2800.
44.	Exposure (DF; - 0.3µm).	ST02- D01.	J01-J16.	Exp.=600ms.
45.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT:60sec.
46.	Inspection.	.	J01.
47.	Bake. Hard (120°C).	OV03-C001.	J01-J16.
48.	PSD Ion Implantation.BF2.	.	J01-J16.	50keV, 3E15.	.	.	.	외부.
49.	Plasma Strip.PR.	PS01-P001.	J01-J16.
50.	Acid Strip.PR.	WT02-R002.	J01-J16.
.	Inspection.	.	J01.
51.	Activation. RTA 850°C. (Ar ambient).	RT01-A001.	J01-J16.	Time=30sec.
Feb-out and hold for sildidation.								

SEQ.	PROCESS.	P. CODE.	WAFER. INSTRUCTION	TARGET & MEASUREMENT	DA. TE.	I/O.	OPER.	RE. MARK.
1.	Clean, STD1.	WT04-S001.	J01-J16.					
2.	RF clean Ti/TiN + Alloy.	SP02-K323.	J01-J16.	Ti/TiN=230/230Å.				
	Measure R_s (Target=14.5±0.5 ohm/sq.).		Monitor.	C L. R B. T Avg.				
3.	RTP Anneal (Ar ambient) pyro-mode.	RT01-A001.	J01-J16.	830°C, 10 sec.				
	Measure R_s (Target=7±1 ohm/sq.).		Monitor.	C L. R B. T Avg.				
4.	Wet etch. Ti(NH ₄ OH:H ₂ O:H ₂ O=1:1:5).	WT07-R001.	J01-J16.	Time=10min, 45°C				
	Measure R_s (Target=14±1 ohm/sq.).		Monitor.	C L. R B. T Avg.				
5.	RTP Anneal (Ar ambient) pyro-mode.	RT01-A001.	J01-J16.	850°C, 30 sec.				
	Measure R_s (Target=7±1ohm/sq.).		Monitor.	C L. R B. T Avg.				
6.	Wet etch. Ti(NH ₄ OH:H ₂ O:H ₂ O=1:1:5).	WT07-R001.	J01-J16.	Time=1min, 30°C.				
	Measure R_s (Target=7±2 ohm/sq.).		Monitor.	C L. R B. T Avg.				
7.	LPCVD. LTD.	LP34-O981.	J01-J16.	T _{ox} =6000Å.				
	Measure T _{ox} (Target=6000±500 Å).		Monitor.	C L. R B. T Avg.				
	Measure T _{ox} (Target=10000±1000 Å). (on Field).		J01.	C L. R B. T Avg.				
Contact Photo Mask (RFTV97 -CNT), Align to ACT File Name : RF97.								
8.	HMDS/Coat/Bake(90C/60sec). PR(PFI-38A, 1.02 μm).	TR01-P001.	J01-J16.	RPM:4000.				
	Exposure (DF= -0.3).	ST02-D01.	J01-J16.	EXP: 600 msec.				
	Bake PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT = 60 sec.				
	Measure, CD (Target=0.6±0.1 μm).		J01.	C B. T L. R Avg.				
	Inspection.		J01.					

SEQ.	PROCESS.	F. CODE.	WAFER. INSTRUCTION	TARGET & MEASUREMENT	DA. TE.	L/O.	OPER.	RE. MARK.
9.	Hard Bake (120°C).	OV03-C001.	J01-J16.	Time=30min.
10.	Dry PR DESCUM.	DR03-R010.	J01-J16.	Time=20sec.
11.	Dry Etch, Oxide.	DR03-3D02.	J01-J16.	Oxide(6000Å. +20%).
.	Measure Top on Window (active). (Target=0Å).	.	J01.	C B. T L. R Avg.
12.	Plasma Strip, PR.	PS01-P001.	J01-J16.
.	Measure, CD (Target=0.6±0.1µm).	.	J01.	C B. T L. R Avg.
.	Inspection.	.	J01.
13.	NH ₄ OH:H ₂ O ₂ :H ₂ O=1:1:5.	WT07-SC01.	J01-J16.	3-5, 10min.	.	.	.	No time Delay.
14.	Sputter, Ti 400°C.	SP02-T004.	J01-J16.	Ti=300Å.	.	.	.	No Time Delay.
.	Sputter, TiN 400°C.	SP02-T002.	J01-J16.	TiN=700Å.	.	.	.	No Time Delay.
15.	Alloy, 450°C, N ₂ .	FN24-A684.	J01-J16.	60 min.
16.	Sputter, Al-1%Si 200C/TiN 400°C.	SP02-A005.	J01-J16.	Al(6000Å). TiN(250Å).
.	Measure R _s . (Target=45±10 ohm/sq).	.	Monitor.	C L. R B. T Avg.
.	Metal I Photo Mask (RFTV97 -MR1), Align to CNT File Name: RF97.							
17.	HMD5/Coat/Bake(90C/60sec). PR(GA2, 1.63µm).	TR01-P003.	J01-J16.	RPM:4000.
.	Exposure (DF= -0.3).	ST02-3001.	J01-J16.	EXP: 650 msec.
.	Bake.PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT = 60 sec.
.	Measure, CD (Target=0.6±0.05µm).	.	J01.	C B. T L. R Avg.
.	Inspection.	.	J01.
18.	Hard Bake (120°C).	OV03-C001.	J01-J16.

SEQ.	PROCESS.	F. CODE.	WAFER. INSTRUCTION.	TARGET & MEASUREMENT.	DA. TE.	L/O.	OPER.	RE. MARK.
19.	Dry Etch, Metal. TiN/Al-1% Si/TiN/Ti.	DR06-M002.	J01-J16.	TiN(250Å). Al-1% Si(6000Å). TiN(700Å). Ti(300Å).	.	.	.	end point. 6 box.
20.	Microwave Strip. PR.	DR06-R002.	J01-J16.
21.	PR Strip. Solvent.	WT01-R001.	J01-J16.
	Inspection.	.	J01.
22.	Cleaning. D.I. water.	WT06-D001.	J01-J16.
23.	Alloy N2/H2 400°C.	FN24-A682.	J01-J16.	Time=30min.
	Inspection.	.	J01.
24.	PECVD. Oxide.	PE02-M010.	J01-J16.	T=2500Å.
	Measure Tox (Target=2500±250 Å).	.	Monitor.	C B. T L. R Avg.
25.	SOG Coating /2 Cycle.	SC01-C001.	J01-J16.	T=4000Å.	.	.	.	No time delay.
	Measure Tox (Target=4000±400 Å).	.	Monitor.	C B. T L. R Avg.
	Inspection.	.	J01.
26.	SOG. Cure. N2. 400°C.	FN24-A683.	J01-J16.	Time=40min.	.	.	.	No time delay.
	Measure Tox (Target=3700±200 Å).	.	Monitor.	C B. T L. R Avg.
27.	PECVD. Oxide.	PE02-M010.	J01-J16.	T=5000Å.
	Measure Tox (Target=5000±250 Å).	.	Monitor.	C B. T L. R Avg.
	Measure Tox (Target=11200±600 Å) (on Al).	.	J01.	C B. T L. R Avg.
	Via Photo Mask (RFTV97 -VIA), Align to CNT File Name: RF97.							
28.	HMD5/Coat/Bake(90C/60sec). PR(P6-38A, 1.02 μm).	TR01-P001	J01-J16.	RPM=4000.
	Exposure(DF=-0.2).	ST02-M01.	J01-J16.	Exp. Time=650 ms.
	Bake. PEB(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT=60 sec.
	Measure, CD (Target=0.6±0.05 μm).	.	J01.	C B. T L. R Avg.

SEQ.	PROCESS.	P. CODE.	WAFER INSTRUCTION	TARGET & MEASUREMENT.	DA. TE.	I/O.	OPER.	RE. MARK.
.	Inspection.	.	J01.
29.	Bake Hard(120 C).	OV03-C001.	J01-J16.	Time=30 min.
30.	Dry PR.DESCU.	DR06-R010.	J01-J16.	Time=15 sec.
31.	Wet Etch Oxide 6:1 BHF.	WT07-X002.	J01-J16.	T=3000±400Å.
.	Measure Tox(Target=8200±600Å). (on Al)	.	J01.	C B. T L. R Avg.
32.	Bake Hard(120°C).	OV03-C001.	J01-J16.	Time=10 min.
33.	Dry Etch Oxide.	DR06-X050.	J01-J16.	T=8200Å+30%.	.	.	.	305 ⁹⁷ .
.	Measure Tox (Etch ㉔). (on VIA).	.	J01.	C B. T L. R Avg.
.	Measure Tox (Etch ㉕). (on VIA).	.	J01.	C B. T L. R Avg.
34.	Plasma Strip PR.	PS01-R001.	J01-J16.	Time=50min.
35.	Solvent Strip PR.	WT01-R001.	J01-J16.
.	Inspection.	.	J01.
36.	D.I.Water Rinse.	WT01-D001.	J01-J16.	Time=10min.
37.	NMD-3(polymer removal).	DT02-R007.	J01-J16.
38.	D.I.Water Rinse.	WT01-D001.	J01-J16.	Time=10min.
39.	Dehydrate N2/H2.400°C.	FN24-A682.	J01-J16.	15 min.
40.	RF Etch/Ti depo. 400°C.	SP02-T001.	J01-J16.	Ti=300Å.
41.	TiN depo. 400°C.	SP02-T002.	J01-J16.	TiN=700Å.
42.	Al 1% Si 200°C.	SP02-A003.	J01-J16.	Al=8000Å.
.	Measure Rs (Target=31±5 ohm/sq).	.	Monitor.	C B. T L. R Avg.
.	Metal 2 Photo Mask (RFIV97 -ME2), Align to VIA File Name: RF97.							
43.	HMD S/Coat/Bake(90C/90sec). PR(GA2, 1.63 μm).	TR01-P003.	J01-J16.	RPM=4000.
.	Exposure(DF=0.3).	ST02-D01.	J01-J16.	Exp. Time=700ms.
.	Bake PR(110C/90sec)/Develop.	TR01-D001.	J01-J16.	DVT=60 sec.
.	Measure CD(Target=0.8±0.2um).	.	J01-J16.	C B. T L. R Avg.
.	Inspection.	.	J01.

SEQ	PROCESS	P CODE	WAFER INSTRUCTION	TARGET & MEASUREMENT	DA. TE.	I/O.	OPER.	RE. MARK
44.	Bake Hard(120°C).	DV03-C001.	J01-J16.	Time=30 min.
45.	Dry Etch. TiN/Al1% Si/TiN/Ti.	DR06-M002.	J01-J16.	Al(8000Å). TiN(700Å). Ti(300Å).	.	.	.	6 box.
46.	Microwave Strip PE.	DR06-F002.	J01-J16.
47.	Solvent Strip PE.	WT01-R001.	J01-J16.
.	Inspection.	.	J01.
48.	Cleaning DIW.	WT06-D001.	J01-J16.
49.	Alloy N2/H2 400°C.	FN24-A682.	J01-J16.	30 min.
.	Inspection.	.	J01.
.	Fab-out.							