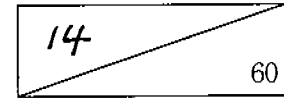


2002년 12월

02ZM1110-01-6306P



반도체 Foundry 운영사업

The Service Project of Semiconductor Foundry

인 사 말 씀

반도체 소자 및 제조공정 기술의 급속한 발전으로 Giga Bit DRAM의 메모리 기술이 실현되고 있으며, 현재 CMOS 소자기술은 0.11 μm 에서 0.13 μm 소자를 이용한 반도체 집적회로가 상품화 되고 있습니다. 그러나 국내 반도체 산업은 메모리 분야에 편중되어 있어 비메모리 분야의 각종 시스템 개발의 연구기반을 구축하고 활성화가 요구되고 있으며, 이를 위해 Application Specific Integrated Circuits (ASIC)의 비중이 더욱 높아지고 있는 추세입니다.

본 반도체 foundry 운영사업은 반도체종합시험실 연구시설과 기보유중인 foundry 기술을 활용하여, 산.학.연에 foundry 기술을 지원하여 ASIC 산업의 활성화를 통한 국내 비메모리 반도체 분야의 활성화를 도모하기 위하여 3차 년도를 수행하였습니다. 사업수행 기간 중 보유 연구장비의 성능에 대한 활용성 제고와 기술개발을 지속적으로 수행한 결과 0.5 μm CMOS 소자 및 모듈 공정기술 개발하여 국책 연구수행에 필요한 고부가가치, 첨단 반도체소자 제작 지원과 아울러 관련 산.학.연에 0.8 μm 및 1.0 μm 급 ASIC의 소량 생산지원 및 각종 공정 제작지원을 하였습니다.

본 사업을 위하여 협조하여 주신 연합이사회 산업기술연구회 관계자 및 한국전자통신연구원 관계자 여러분께 깊은 감사를 드리며, 연구업무 수행에 참여한 연구원의 노고를 치하하는 바입니다.

2002 년 12월

한국전자통신연구원 원장 오길득

여백

제 출 문

본 연구보고서는 기관고유사업인 "반도체 Foundry 운영사업"의 결과로서, 본 사업에 참여한 아래의 연구팀이 작성한 것입니다.

2002년 12월 31일

연구책임자 : 책임연구원 김 보 우

참여연구원

1. 반도체 소자 및 공정기술 분야

책임연구원	김보우	(반도체공정운영팀)
책임연구원	구진근	(반도체공정운영팀)
책임연구원	백규하	(반도체공정운영팀)
책임연구원	윤용선	(반도체공정운영팀)
책임연구원	박종문	(반도체공정운영팀)
선임연구원	권성구	(반도체공정운영팀)
선임연구원	유성욱	(반도체공정운영팀)
선임연구원	박건식	(반도체공정운영팀)

2. 반도체시설운영 및 유지기술 분야

책임기술원	임병원	(반도체공정운영팀)
책임기술원	배윤규	(반도체공정운영팀)
기술기능원	이병택	(반도체공정운영팀)
기술기능원	신동석	(반도체공정운영팀)
기술기능원	김규열	(반도체공정운영팀)
기술기능원	박병무	(반도체공정운영팀)
기술기능원	이효현	(반도체공정운영팀)

요 약 문

1. 연구제목

반도체 Foundry 운영사업

2. 연구사업의 목적 및 중요성

반도체 제조기술이 메모리에서 비메모리 반도체 산업으로 옮겨 오면서 비메모리 반도체 산업의 발전을 가속화 시키고 있는 실정이다. 최근에는 저전력 및 고속 CMOS 소자기술의 발전을 바탕으로 RF 회로에의 응용도 포함하는 넓은 영역의 비메모리반도체 소자들이 활발하게 논의되고 그 일부가 실현되고 있다.

비메모리 반도체 소자는 소량이지만 다품종, 다기능 및 고성능을 요구하는 제품으로, 제품의 부가가치 측면이나 시스템 경쟁력 면에서 보면 그 파급효과가 매우 크기 때문에 연구소는 반도체 개발에 필요한 설계, 공정, 시험 및 물성 분석을 할 수 있는 일괄 시설을 운영하면서 주문형 반도체 소자를 개발하는 장기적인 투자와 계획이 무엇보다도 필요하다. 그리고 전송, 교환, 단말기 분야의 각종 시스템 개발자들도 이제까지 시스템 설계 기술에 치중하여 반도체 부품을 기존 상용 소자를 이용하여 시스템을 개발하였으나, 향후 경쟁력을 높이기 위해서는 반도체 부품을 적기에 개발할 수 있는 연구환경 조성이 중요하며, 특히 중소기업의 경쟁력 강화를 위해선 필수적으로 고려되어야 할 것이다.

따라서, 국내적으로 취약한 비메모리 반도체 분야의 연구기반을 구축, 개선하여 국책연구수행에 필요한 고부가가치 및 첨단 반도체 소자 제작을 위한 연구생산성을 도모하고, 관련 중소기업, 연구기관 및 대학에 이

연구시설과 Foundry 기술을 제공, 지원하여 기술경쟁력 향상과 고급인력 양성에 기여하고자 한다.

3. 연구내용 및 범위

A. 반도체 소자 및 공정기술 개발

- 0.5 μm 소자 기술 개발
- 1.0/0.8 μm ASIC 수율 향상
- 사진전사 공정 기술 개발
- 소자분리막 공정기술 개발
- Contact 형성 공정기술 개발
- Via 형성 공정기술 개발
- 화합물반도체 MMIC 공정기술 개선

B. 반도체 시설 운영 기술 개발

- 실리콘 및 화합물 반도체 실험실 운영
- 반도체 연구장비 유지 보수
- 반도체 유틸리티 시설 운영
- 반도체 유틸리티 시설 유지 및 보수
- 환경 관리
- 원.부 자재 재고관리

4. 연구결과

비메모리 반도체 소자제작 지원 범위를 확장하기 위하여 3.3 V 와 5.0 V 의 두 종류의 0.5 μm CMOS 소자 기술을 개발을 완료하였다. 개발 결과로 각종 0.5 μm CMOS 소자의 전기적 특성, process parameter, electrical

parameter, SPICE parameter 와 design rule 이 포함된 설계지침서를 제시 하였다. 사진전사공정을 비롯한 몇 종류의 취약한 공정들을 도출하고 관련 공정기술을 개발.개선함으로써 1.0/0.8 μm CMOS ASIC 제작 수율을 약 12% 향상시켜 약 60%로 안정화 시킬 수 있었으며, 이렇게 개발된 공정기술 들은 원.내외 각종 반도체 소자제작에 활용되고 있다. 2002 년도 원내 초고주파소자팀등 22 개팀에 총 961 Run, 28,892 공정을 지원하였으며, 원외에도 (주) 알에프세미 등 총 23 개 업체 및 기관에 97 건의 반도체 소자 및 공정을 제작지원 하였다. 또한, 반도체 실험실 운영 현황을 분석하여 정리하였으며, 장비 가동률 및 반도체 유틸리티, 오.폐수관리등 전반적인 반도체 시설운영 현황도 파악하여 궁극적으로는 안전하고 효율적인 반도체시설 운영이 되도록 하였다.

5. 활용에 대한 건의

1.0/0.8 μm CMOS ASIC 기술의 안정화 통하여 수율을 1.0/0.8 μm CMOS ASIC 경우 60 %로 안정화하여 ASIC 제작에 적극적으로 활용할 수 있는 체계를 확립하였다. 금번에 개발 완료한 0.5 μm CMOS 소자 및 공정기술을 각종 반도체 소자제작에 활용할 예정이다.

- 0.8/1.0 μm CMOS ASIC 제작기술
- 0.5 μm CMOS 소자 제작기술
- 원 내외 시스템 개발용 비메모리 반도체 소자 제작지원
- 반도체 시설운영 기술 개발

6. 기대효과

- 비메모리 반도체산업의 연구기반 구축과 기술지원으로 국가 경쟁력 향상

- 연구기관/학계에서 반도체 Foundry 시설 활용에 따른 반도체 기술력 향상 및 고급인력 양성에 기여
- 중소기업에 비메모리 반도체 개발 및 제작 지원함으로써 제품개발, 원가절감, 기술보호 및 수입대체 등의 효과를 기대

ABSTRACT

1. TITLE

The Service project of Semiconductor Foundry

2. THE OBJECTIVES

The development of non-memory semiconductor industry has been accelerated as the semiconductor technology shifts from memory semiconductor industry to the non-memory semiconductor industry. Currently, various non-memory devices even applicable to the RF devices have been intensively investigated with the development of low power and high-speed CMOS device and several non-memory devices have been produced.

Although the non-memory devices have been produced in a small volume, there are many kinds of products requiring multi-functions and high performance. Therefore, non-memory device development by ETRI requires long-term plans and investments to systematically implement design, process, testability, and analysis environments because of its large potentials for system capability and value added capability.

So far the system designers developing electrical transmission and exchange of data, and terminal technology have only concentrated on the system design technology research and utilized the commercial ICs. From now on, however, they think that timely development of non-memory devices with the establishment of better research condition is the most

important factor to enhance the competitive power of the small and medium-sized enterprises.

Therefore, the productivity that is needed for fabricating the high valued and newest semiconductor devices can be achieved by improving and building up the foundation of research in the field of domestically weakened non-memory semiconductor. In addition, we'd like to contribute to enhance the competitive power of technology and educate the high-grade engineers by offering semiconductor facility and foundry service to the medium and small-sized enterprises, universities, and institutes.

3. CONTENTS AND SCOPE

A. Development of ASIC process technology

- Development of 0.5 μm CMOS device technology
- 1.0/0.8 μm ASIC yield improvement
- Development of photolithography process technology
- Development of isolation process technology
- Development of contact formation process technology
- Development of Via formation process technology
- Improvement of compound semiconductor MMIC process

B. Development of semiconductor facility technology

- Operation of silicon and compound semiconductor laboratory
- Maintenance and repair of process equipment
- Operation of semiconductor utilities

- Maintenance and repair of utilities
- Management of environment
- Management of stock materials

4. RESULTS

We have developed a 0.5 μ m CMOS device operating at 3.3V and 5.0V to extend the foundry service to the fabrication of non-memory device. We have presented many outcomes such as electrical characteristics of CMOS device, process parameters, electrical parameters, SPICE parameters, design guides including a design rule. Several non-established processes including a photolithography have been extracted and developed and improved. The production yield of 0.8 μ m CMOS ASIC chip has been increased by 12% and stabilized at around 60%. This developed process has been used for fabricating semiconductor device by both inside and outside of ETRI. In 2002, ETRI laboratory has supported 961 runs and 28,892 process steps for 22 teams including microwave device team in ETRI and has also serviced 97 items of fabrication of devices and process to 23 companies or institutes including RF SEMI corporation outside of ETRI. In addition, we have analyzed and scheduled the status of run operation in semiconductor laboratory including the operational rate of equipment, utility, and sewage/waste water. Ultimately this management has made the ETRI's semiconductor facility operate effectively and safely.

5. RECOMMENDATIONS

The yield around 60 % through the process improvement of 1.0/0.8 μm CMOS ASIC technology has been maintained and the foundry service system for the fabrication of ASIC has been established. 0.5 μm CMOS device and process technology which are developed will be applied to the fabrication of several semiconductor devices.

- Fabrication technology of 0.8/1.0 μm CMOS ASIC
- Fabrication technology of 0.5 μm CMOS device
- Support for non-memory semiconductor devices, as interior or exterior of ETRI
- Development of semiconductor facility technology

6. EXPECTATIONS

- Improvement of national competitiveness by the establishment of research foundation and technical support on non-memory semiconductor industry
- Contribution in semiconductor technology improvement and bringing up the high-class manpower by utilizing semiconductor foundry facility at the research agency and academic world
- Product development, prime cost reduction, protection of technology and import transfer, etc., by the development and the fabrication of non-memory semiconductor products

CONTENTS

CHAPTER 1. INTRODUCTION.....	27
CHAPTER 2. Development of ASIC device & process technology.....	31
Section 1. Introduction.....	33
Section 2. 0.5 μ m CMOS device technology.....	35
1. Fabrication of 0.5 μ m CMOS device	35
2. Electrical characteristics and SPICE parameters for 0.5 μ m CMOS device with 5V of operating voltage.....	44
3. Electrical characteristics and SPICE parameters for 0.5 μ m CMOS device with 3.3V of operating voltage.....	61
4. Gate Oxide Integrity(GOI) of 0.5 μ m CMOS device	70
Section 3. 0.8 μ m ASIC yield enhancement.....	75
Section 4. Development of ASIC process technology.....	77
1. Development of photolithography process technology.....	77
2. Improvement of isolation process technology.....	79
3. Improvement of contact process technology.....	82
4. Improvement of via process technology.....	83
5. Improvement of process technology for compound semiconductor MMIC	85
Section 5. Conclusions.....	95
CHAPTER 3. Development of semiconductor facility technology.....	97
Section 1. Introduction.....	99
Section 2. Operation management of semiconductor laboratory.....	101
1. Process operation of semiconductor laboratory	101

2. Maintenance and repair of process equipment	105
Section 3. Operation of semiconductor utilities.....	108
1. Operation of semiconductor utilities	108
2. Maintenance and repair of utilities	113
3. Management of environment	117
Section 4. Management of stock materials.....	119
Section 5. Conclusions.....	121
CHAPTER 4. CONCLUSIONS.....	123

TABLES

<Table 2-1> Electrical target for 0.5 μ m CMOS device.....	36
<Table 2-2> Typical design rule for 0.5 μ m CMOS device.....	37
<Table 2-3> Process flow of 0.5 μ m CMOS device.....	39
<Table 2-4> Electrical characteristics of 0.5 μ m CMOS(5V) device.....	45
<Table 2-5> Parasitic capacitance of 0.5 μ m CMOS(5V) device.....	46
<Table 2-6> SPICE parameters of 0.5 μ m CMOS(5V) device.....	58
<Table 2-7> Electrical characteristics of 0.5 μ m CMOS(3.3V) device....	62
<Table 2-8> The parasitic capacitance of 0.5 μ m CMOS(3.3V) device.....	63
<Table 2-9> SPICE parameters of 0.5 μ m CMOS(3.3V) device.....	67
<Table 2-10> Quality of PECVD nitride according to deposition condition for compound semiconductor MMIC	89
<Table 2-11> Measurement results of metal sheet resistance for compound semiconductor MMIC	92
<Table 2-12> Measurement results of via resistance for compound semiconductor MMIC	92
<Table 2-13> Test results on the design limit of metal layer for compound semiconductor MMIC	93
<Table 3-1> Technical support status of semiconductor laboratory in 2002.....	102
<Table 3-2> Instances of semiconductor fabrication support for out-side	104
<Table 3-3> Repair status for the semiconductor process equipment...	107
<Table 3-4> Repair time and operational rate for main process equipments	107

<Table 3-5> Consumption status of electricity, LNG, N ₂ gas in 2002 ..	109
<Table 3-6> Monthly power consumption status in 2002.....	110
<Table 3-7> Monthly LNG consumption status in 2002.....	111
<Table 3-8> Monthly N ₂ gas consumption status in 2002	112
<Table 3-9> Status of semiconductor facility set-up and repair in 2002	114
<Table 3-10> Status of waste water treatment in 2002.....	117
<Table 3-11> Analysis for water pollution.....	118
<Table 3-12> Comparison of raw material consumption between in 2001 and 2002.....	119

FIGURES

<Figure 2-1> SEM analysis of gate profile for the extraction of SPICE parameter XL.....	49
<Figure 2-2> SEM analysis of active profile for the extraction of SPICE parameter XW.....	49
<Figure 2-3> Measurement results of gate oxide capacitance.....	50
<Figure 2-4> Measurement results of gate to S/D overlap capacitance..	50
<Figure 2-5> Extraction results of NCH and XJ(SSUPREM3 simulation)...	51
<Figure 2-6> Extraction results of junction capacitance parameters for nMOSFET.....	52
<Figure 2-7> Extraction results of junction capacitance parameters for pMOSFET.....	53
<Figure 2-8> Measurement results of S/D junction diode.....	54
<Figure 2-9> Comparison of mesured results and fitted data for 0.5 μ m nMOS(5V) device(W/L=20/0.5 μ m, symbol : mesured, solid line : fitted).....	55
<Figure 2-10> Comparison of mesured results and fitted data for 0.5 μ m pMOS(5V) device(W/L=20/0.5 μ m, symbol : mesured, solid line : fitted).....	56
<Figure 2-11> Comparison of mesured results and fitted data for 0.5 μ m nMOS(3.3V) device(W/L=20/0.5 μ m, symbol : mesured, solid line : fitted).....	64
<Figure 2-12> Comparison of mesured results and fitted data for 0.5 μ m pMOS(3.3V) device(W/L=20/0.5 μ m, symbol : mesured, solid line : fitted).....	65

<Figure 2-13> TZDB(Time Zero Dielectric Breakdown) characteristics of gate oxide for 0.5 μ m CMOS device(5.0V, gate oxide thickness=110Å).....	71
<Figure 2-14> TZDB(Time Zero Dielectric Breakdown) characteristics of gate oxide for 0.5 μ m CMOS device(3.3V, gate oxide thickness=70Å).....	72
<Figure 2-15> TDDB(Time Dependent Dielectric Breakdown) characteristics of gate oxide for 0.5 μ m CMOS device(3.3V & 5.0V).....	73
<Figure 2-16> Yield trend for 0.8 μ m CMOS ASIC in 2001.....	73
<Figure 2-17> Yield trend for 0.8 μ m CMOS ASIC in 2002.....	76
<Figure 2-18> CD variation of 0.8 μ m pattern according to old/new photoresist, exposure time and substrate.....	78
<Figure 2-19> SEM fotografies of 0.8 μ m pattern for old/new photoresist	78
<Figure 2-20> Yield map and SEM fotografies for low yield wafer.....	79
<Figure 2-21> SEM fotografies of spacer oxide addording to LDD oxide over etch.....	80
<Figure 2-22> SEM fotografies of field oxide addording to the etch conditions of LOCOS nitride.....	81
<Figure 2-23> Relationship of yield map and contact resistance.....	82
<Figure 2-24> Relationship of yield map and via resistance.....	83
<Figure 2-25> SEM fotografies of via profile.....	84
<Figure 2-26> CD uniformity of 0.5/1.0 μ m pattern according to the old/new process condition.....	86
<Figure 2-27> Gate profiles of 0.5/1.0 μ m pattern according to the	

old/new process condition.....	87
<Figure 2-28> Photography of crack according to the deposition condition of PECVD nitride.....	89
<Figure 2-29> Schematic cross-sectional view of back-end process for compound semiconductor MMIC.....	90
<Figure 3-1> Service status for each R&D laboratory in 2002.....	103
<Figure 3-2> Distribution chart on the use of analysis equipment.....	103
<Figure 3-3> Consumption comparison of electric, LNG, N ₂ gas between in '01/'02	109
<Figure 3-4> Yearly total investment status in facility.....	113
<Figure 3-5> Distribution chart on the consumption of the raw material in '01/02	120

목 차

제1장 서론.....	27
제2장 ASIC 소자 및 공정기술 개발.....	31
제1절 서론.....	33
제2절 0.5 μ m CMOS 소자기술 개발.....	35
1. 0.5 μ m CMOS 소자의 제작.....	35
2. 5.0V 용 0.5 μ m CMOS 소자의 전기적 특성 및 SPICE Parameter.....	44
3. 3V 용 0.5 μ m CMOS 소자의 전기적 특성 및 SPICE Parameter.....	61
4. 0.5 μ m CMOS 소자의 Gate Oxide 신뢰성 평가.....	70
제3절 0.8 μ m CMOS ASIC 수율 향상.....	75
제4절 ASIC 공정기술 개발.....	77
1. 사진전사 공정 기술 개발.....	77
2. 소자 분리막 형성 공정 개선.....	79
3. Contact 형성 공정 개선.....	82
4. Via 형성 공정 개선.....	83
5. 화합물 반도체 MMIC 공정기술 개선.....	85
제5절 결론.....	95
제3장 반도체 시설운영기술 개발.....	97
제1절 서론.....	99
제2절 반도체 종합실험실 운영.....	101
1. 반도체 실험실 공정 운영.....	101
2. 반도체 연구장비 유지보수.....	105
제3절 반도체 유틸리티 시설 운영.....	108
1. 반도체 유틸리티 운영.....	108

2. 시설의 유지 및 보수.....	113
3. 환경 관리.....	117
제4절 공정기술 개발용 원, 부 자재 관리.....	119
제5절 결 론.....	121
제4장 결론 및 건의사항.....	123

표 목 차

<표 2-1> 0.5 μ m CMOS 소자의 전기적 특성 목표값	36
<표 2-2> 0.5 μ m CMOS 소자의 대표적인 Design Rule	37
<표 2-3> 0.5 μ m CMOS 소자의 Process Flow	39
<표 2-4> 5.0V 용 0.5 μ m CMOS Device의 Electrical Characteristics	45
<표 2-5> 5.0V 용 0.5 μ m CMOS 공정의 Parasitic Capacitance	46
<표 2-6> 5.0V 용 0.5 μ m CMOS 소자의 SPICE Parameter	58
<표 2-7> 3.3V 용 0.5 μ m CMOS Device의 Electrical Characteristics	62
<표 2-8> 3.3V 용 0.5 μ m CMOS 공정의 Parasitic Capacitance	63
<표 2-9> 3.3V 용 0.5 μ m CMOS 소자의 SPICE Parameter	67
<표 2-10> 화합물반도체 MMIC의 PECVD 질화막 증착 공정조건에 따른 막질 특성	89
<표 2-11> 화합물반도체 MMIC의 Metal Layer Sheet Resistance 측정 결과 ..	92
<표 2-12> 화합물반도체 MMIC의 Via Hole Contact Resistance 측정 결과 ..	92
<표 2-13> 화합물반도체 MMIC의 Metal Layer Design Limit Test	93
<표 3-1> '02년도 반도체 실험실 기술지원 현황	102
<표 3-2> 원외 반도체 제작 지원 사례	104
<표 3-3> 반도체 종합실험실 주요 공정장비의 고장유형	107
<표 3-4> 주요 공정장비의 수리시간 및 가동율	107
<표 3-5> '02년도 전력, 도시가스, 질소 사용 현황	109
<표 3-6> '02년도 월별 전력 사용현황	110
<표 3-7> '02년도 월별 도시가스 사용현황	111
<표 3-8> '02년도 월별 질소가스 사용현황	112
<표 3-9> '02년도 반도체 연구시설 설치 및 보완 내용	114

<표 3-10> '02년도 반도체 종합실험실 폐수 및 폐기물 처리 현황	117
<표 3-11> 수질 오염물질 분석표.....	118
<표 3-12> '01~'02년도 실험실 및 재료별 사용액 대비표	119

그림 목 차

<그림 2-1> XL 추출을 위한 Gate CD Broken SEM 결과.....	49
<그림 2-2> XW 추출을 위한 Active CD Broken SEM 결과.....	49
<그림 2-3> Gate Oxide Capacitance 측정 결과.....	50
<그림 2-4> Gate to S/D Overlap Capacitance 측정 결과.....	50
<그림 2-5> NCH 및 XJ 추출 결과_SSUPREM3 Simulation.....	51
<그림 2-6> NMOS S/D Junction Capacitance Parameter추출 결과.....	52
<그림 2-7> PMOS S/D Junction Capacitance Parameter추출 결과.....	53
<그림 2-8> S/D Junction Diode 특성 측정 결과.....	54
<그림 2-9> 0.5 μ m nMOS(5.0V)의 측정 결과와 fitting 결과의 비교 (W/L=20/0.5 μ m, symbol : measured, solid line : fitted)....	55
<그림 2-10> 0.5 μ m nMOS(5.0V)의 측정 결과와 fitting 결과의 비교 (W/L=20/0.5 μ m, symbol : measured, solid line : fitted) ...	56
<그림 2-11> 0.5 μ m nMOS(3.3V)의 측정 결과와 fitting 결과의 비교 (W/L=20/0.5 μ m, symbol : measured, solid line : fitted) ...	64
<그림 2-12> 0.5 μ m nMOS(3.3V)의 측정 결과와 fitting 결과의 비교 (W/L=20/0.5 μ m, symbol : measured, solid line : fitted) ...	65
<그림 2-13> 5.0V용 0.5 μ m CMOS Device의 Gate Oxide TZDB(Time Zero Dielectric Breakdown) 특성_Gate Oxide Thickness=110Å	71
<그림 2-14> 3.3V용 0.5 μ m CMOS Device의 Gate Oxide TZDB(Time Zero Dielectric Breakdown) 특성_Gate Oxide Thickness=70Å	72
<그림 2-15> 0.5 μ m CMOS(5.0V & 3.3V) Device의Gate Oxide TDDB(Time Dependent Dielectric Breakdown) 특성_CVST(Constant Voltage Stress Test)	73

여백

제1장 서론

여백

제1장 서론

CMOS 소자기술은 정보통신산업 분야의 발전에 따라 집적도의 증가, 동작 속도의 고속화 요구에 부응하고, 저전압, 고집적 회로 설계가 용이하며 제조 단가가 저렴하기에 가장 많이 사용되고 있으며 디지털 회로 및 Application Specific Integrated Circuits (ASIC)에도 활용되고 있다. 국내적으로 취약한 비메모리 반도체 분야의 연구기반을 구축하고 활성화를 도모하기 위하여 ETRI 반도체종합실험실의 일부 연구시설을 활용하여 중소기업 및 학계, 연구기관이 필요로 하는 비메모리 반도체분야의 기술지원이 요구되고 있는 실정이다. 오늘날 정보통신 시스템 및 전자기기의 기술경쟁력을 확보하고, 정보통신 관련 중소기업의 기술경쟁력을 강화하기 위해서는, 제품의 핵심기능을 담당하는 CMOS 소자 및 공정기술을 이용한 주문형반도체(ASIC)의 사용이 필수적이다. 특히 중소기업이 반도체 Foundry 운영사업을 통하여 비메모리 반도체를 개발, 활용함으로써 신제품 개발, 원가절감, 기술보호 및 수입대체 등의 효과를 기대할 수 있다.

본 연구에서는 동작전압이 3.3 V 와 5.0 V 인 두 종류의 0.5 μm CMOS 소자 기술을 개발하였다. 연구 결과물로 CMOS 소자의 전기적 특성과 process parameter, SPICE parameter, electrical parameter 등을 추출하여, design rule과 함께 설계지침서를 제시하였으며, 설계자가 금번 개발된 0.5 μm CMOS 공정 및 소자를 이용하여 제품을 설계할 수 있는 기반을 마련하였다. 사진전사공정기술 과 소자분리막 형성기술, 그리고 contact 및 via 접촉저항에 관련된 금속패션형성기술 등에 공정개선 및 개발을 통하여 0.8 μm ASIC 제작 수율을 전년도 대비 12% 정도 향상시킬 수 있었다.

반도체종합실험실의 '02년도 원내 각종 국책연구과제에 활용은 실리콘 관련 실험실에서 463 run, 14,711 step, 그리고 화합물 관련 실험실에서 523

run, 14,544 step을 각각 수행하였다. 국가 경쟁력 확보차원에서 중소기업 및 학계, 연구기관 측, 원외 foundry service 제공은 23개 업체(기관)에 97건을 지원하였다.

또한 이를 위한 반도체 시설운영 기술의 효과적인 지원이 필수적이다. 집중 근무제를 통한 효율적인 공정운영체계의 확립, 장비유지 보수의 신속성, 정확성, 기술력, 적절한 예방점검조치등을 통한 장비 가동률 향상, 그리고 각종 시설장비의 운영, 각종 안전시설에 대한 안전한 운영이 Foundry 사업의 바탕이 되고 있다.

제2장 ASIC 소자 및 공정기술 개발

여백

제2장 ASIC 소자 및 공정기술 개발

제1절 서론

CMOS 소자기술의 발전은 집적도의 증가, 동작 속도의 고속화로 이어져 통신, 컴퓨터 분야를 포함하는 정보통신산업 분야의 발전에 그 전인차 역할을 하고 있다. CMOS 소자기술의 빠른 발전 속도는 3년을 주기로 DRAM 칩의 크기는 1.5 배, 셀의 크기는 0.4 배로 증가되고 있으며, 이에 따라 소자의 크기는 감소하게 되어 이제는 $0.13\mu\text{m}$ 이하의 설계규칙이 적용되고 있는 실정이다. 특히 비메리분야 반도체분야에 있어서도 저전압, 고집적 회로 설계가 용이하며 ULSI가 가능하고 제조 단가가 저렴한 CMOS 기술을 주로 사용하고 있다.

본 연구에서는 비메모리 반도체 소자제작에 활용이 가능한 CMOS 소자의 특성을 연구하였으며 동작전압이 3.3 V 와 5.0 V 인 $0.5\mu\text{m}$ ASIC 제작지원이 가능하도록 관련 공정 및 소자기술을 개발 완료하였다. 특히 연구결과로 각종 CMOS 소자의 전기적인 특성 과 process parameter, SPICE parameter, electrical parameter 등을 추출하여, design rule과 함께 설계지침서를 제시함으로써 설계자가 금번 개발된 $0.5\mu\text{m}$ CMOS 공정 및 소자를 이용하여 제품을 설계할 수 있는 기반을 마련하였다. 아울러 각종 고부가가치 및 첨단국책 연구과제 수행에 기반기술로서 활용될 수 있을 뿐만 아니라 외부 foundry 지원범위 확대에 기여할 수 있을 것이다.

한편, 본 연구에서는 국가 경쟁력 확보차원에서 반도체 종합실험실 연구시설을 활용하여 학계, 연구기관 및 관련 중소기업 등에 foundry service를 제공하고 있다. 특히 $0.8\mu\text{m}$ 및 $1.0\mu\text{m}$ 실리콘 베이스 어레이 원판을 개발하여 $1.0/0.8\mu\text{m}$ ASIC을 서비스 기술 과 $0.5\mu\text{m}$ GaAs MESFET 제작기술을 확보하고 foundry service를 제공하고 있다. 본 연구에서는 기

개발된 반도체기술인 0.5/0.8 μm CMOS 공정기술을 근간으로 제작되는 ASIC 소자의 수율 향상을 도모하기 위해 수율 저하의 요인들을 분석하고 문제점들을 도출하였다. 그리고 도출된 문제의 공정들에 대해서 각종 공정개선 또는 개발이 이루어져 2002년도 0.8 μm ASIC소자의 경우 2001년도에 비해 약 12% 정도의 수율을 향상시킬 수 있었다. 또한 화합물 관련 반도체기술로 표준화된 GaAs MESFET 소자의 안정화를 위해 일부 단위공정을 개선하였다. 이렇게 수율향상 및 공정의 안정화를 위해 개발 및 개선된 공정기술들은 원내,외 각종 반도체소자 제작에도 활용될 수 있을 뿐만 아니라 좀더 효율적인 실험실운영에도 기여하고 있다.

제2절. 0.5 μ m CMOS 소자 기술 개발

각종 고부가가치 및 첨단국책 연구과제 수행에 기반기술로서 활용될 수 있을 뿐만 아니라 외부 foundry 지원범위 확대를 도모하기 위해 0.5 μ m CMOS 소자기술을 개발하였다. 동작전압이 3.3 V 와 5.0 V 인 두 경우에 대한 0.5 μ m CMOS의 개발이 이루어져 있으며, 3.3 V의 경우 gate oxide(Gox) 두께가 70Å, 5.0V 동작전압의 경우 110Å이다. 본 개발된 기술은 각 device에 대한 process parameter, SPICE parameter, electrical parameter를 추출하고, design rule과 함께 설계지침서를 제시함으로써 설계자가 금번 개발된 0.5 μ m CMOS 공정 및 소자를 이용하여 제품을 설계할 수 있는 기반을 마련하였다.

1. 0.5 μ m CMOS 소자의 제작

0.5 μ m CMOS 소자의 5.0V 및 3.3V용 electrical target을 <표 2-1>에 나타내었다. Electrical target은 현재 시장에 출시되고 있는 0.5 μ m CMOS ASIC 제품과 유사하게 정하여 제작공정의 호환 등 실효성 있는 foundry 지원이 가능하도록 하였다. Design rule의 경우 5.0V 용과 3.3V용 CMOS ASIC에 대하여 동일하며, <표 2-2>에 0.5 μ m CMOS ASIC을 설계 및 제작하기 위한 design rule중 중요한 부분을 발췌하여 나타내었다. 사진전사공정이 까다로운 critical layer로는 Active, Poly, Contact, Metal, Via layer 등을 들 수 있다. <표 2-2>에 나타낸 값 외의 수많은 design rule 값(ex. layer간 overlap margin 등)들이 있으며, 이들을 설계지침서에 포함하여 설계자가 제품 design시 참고가 될 수 있도록 하였다. 한편 0.5 μ m CMOS ASIC을 제작하기 위한 process flow를 <표 2-3>에 나타내었다. 5.0V 용과 3.3V용 CMOS 소자 제조 공정간에는 device 특성을 만족시키기 위한 이온주입공정, gate oxidation 공정, 열처리 공정등에서 다소 차이가 있으며, 차이가 있는 부분에 대하여 음영으로 표시하여 구분하였다.

<표 2-1> 0.5 μ m CMOS 소자의 전기적 특성 목표값

Parameter		Unit	0.5 μ m (5V) Target	0.5 μ m (3.3V) Target	Remark
NMOS	2 Δ L	μ m	0.10 \pm 0.05	0.10 \pm 0.1	
	2 Δ W	μ m	0.35 \pm 0.10	0.30 \pm 0.10	
	Vt (50/50)	V	0.75 \pm 0.10	0.61 \pm 0.10	@ 20/20
	Idsat	μ A/ μ m	550 \pm 50	420 \pm 50	@ L=0.5 μ m
	BVDSS	V	> 8	> 8	@ 20/0.45
PMOS	2 Δ L	μ m	0.10 \pm 0.05	0.10 \pm 0.1	
	2 Δ W	μ m	0.40 \pm 0.10	0.40 \pm 0.10	
	Vt (50/50)	V	-0.85 \pm 0.10	-0.86 \pm 0.10	@ 20/20
	Idsat	μ A/ μ m	285 \pm 30	190 \pm 30	@ L=0.5 μ m
	BVDSS	V	> -8	> -8	@ 20/0.45
Field Tr	Vtn	V	> 10	> 10	@ 20/0.7
	BVdssn	V	> 10	> 10	@ 20/0.7
	Vtp	V	> 10	> 10	@ 20/0.7
	BVdssp	V	> 10	> 10	@ 20/0.7
Rs	N-Well	Ohm/sq.	850 \pm 150	500 \pm 150	
	N+ S/D	Ohm/sq.	55 \pm 15	55 \pm 15	
	P+ S/D	Ohm/sq.	160 \pm 30	160 \pm 30	
	Poly 1	Ohm/sq.	6 \pm 2	6 \pm 2	
	Poly 2	Ohm/sq.	85 \pm 10	85 \pm 10	
	Metal 1	Ohm/sq.	0.065 \pm 0.01	0.065 \pm 0.01	
	Metal 2	Ohm/sq.	0.05 \pm 0.01	0.05 \pm 0.01	
Metal 3	Ohm/sq.	0.05 \pm 0.01	0.05 \pm 0.01		
Rc	Poly Contact	Ohm/ea.	4 \pm 2	4 \pm 2	
	N+ S/D	Ohm/ea.	55 \pm 10	55 \pm 10	
	P+ S/D	Ohm/ea.	140 \pm 40	140 \pm 40	
	Via 1	Ohm/ea.	0.3 \pm 0.2	0.3 \pm 0.2	
	Via 2	Ohm/ea.	0.3 \pm 0.2	0.3 \pm 0.2	

<표 2-2> 0.5 μ m CMOS 소자의 대표적인 Design Rule

단위 : μ m

Layer	Min. Width	Min. Space	Min. Pitch	비고
N-well	2.5	1.25	3.75	Diffusion
	5.0	4.0	9.0	Resistor
Active	0.7	0.7	1.4	
Poly	0.5	0.6	1.1	
N+	0.75	0.75		
P+	0.75	0.75		
Contact	0.5	0.5	1.0	
Metal 1	0.6	0.6	1.2	
Via 1	0.6	0.6	1.2	
Metal 2	0.7	0.7	1.4	
Via 2	0.6	0.6	1.2	
Metal 3	0.8	0.7	1.5	
PAD	71.2	88.9	160	

제작 공정을 간략하게 설명하면 다음과 같다.

웨이퍼는 (100) 결정면을 갖고 5.0 ~ 9.0 ohm·cm의 resistivity를 갖는 p-형을 사용하여, 초기 산화막을 900°C에서 300 성장시킨다. 후속 공정의 align을 위한 key layer를 photo/etch한 후, 마스크를 이용하여 nwell 영역을 정의하고 150 keV, 1.4E13 atoms/cm² 도우즈로 (3.3V의 경우 2.2E13 atoms/cm²) 인(P)을 nwell 영역에 이온 주입한다. nwell 이온 주입이 끝나면 감광막을 제거하고, 같은 방법으로 pwell 영역을 정의하여 75 keV, 1.1E13 atoms/cm² 도우즈로(3.3V의 경우 1.2E13 atoms/cm²) 보론(B)을 pwell 영역에 이온 주입한 후 감광막을 제거한다. 1150°C에서 2시간(3.3V의 경우 6시간) 열처리하여 각 well을 형성시킨 후, 850°C에서 buffer oxide를 150Å 성장시키고, active nitride를 LPCVD 방법으로 1600Å 증착한다. 질화막 도포 후 마스크를 이용하여 활성영역(active)을 정의하고, 질화막 식각후 pwell 마스크를 이용하여 n-channel 영역의 isolation을 강화하기 위하여 80keV 에너지

로 BF_2 을 $2.0\text{E}13 \text{ atoms/cm}^2$ 도우즈로 이온주입한다. 소자 분리를 위하여 일반적인 LOCOS 방법으로 field 산화막을 성장시키고, sacrificial oxidation 기법을 추가하여 bird's beak을 감소시킨다.

활성영역의 정의가 끝나면 채널 이온 주입용 완충 산화막을 850°C 에서 300\AA 을 성장시키고, 마스크를 이용하여 N-Ch. Vt adjust 이온주입, punch-through 억제와 isolation 특성 향상을 위한 N-Ch. Deep 이온주입, P-Ch. Vt adjust 이온주입 및 P-Ch. Punch 이온주입을 <표2-3>에 나타낸 것과 같이 두 device에 맞게 각각 진행한다. 문턱전압 이온주입 후 완충 산화막을 제거하고, pyrogenic 방법으로 850°C 에서 110\AA 의 게이트 산화막(3.3V의 경우 70\AA)을 성장시킨다. 게이트 산화막 공정 후 1500\AA 의 다결정 실리콘을 도포하여 850°C 에서 30분 동안 POCl_3 로 도우핑시키고, gate의 배선 저항을 감소시키기 위하여 WSi_x 를 1500\AA 증착한 후 capping oxide를 600\AA 증착한다. 게이트 정의 후 WSi_x 및 다결정 실리콘을 건식 식각하여 게이트 전극을 형성시킨다. 3.3V용의 경우 얇은 게이트 산화막으로 인하여 게이트 식각시 다결정 실리콘과 산화막간의 높은 식각 선택비를 요구하므로 5.0V용의 게이트 식각 공정조건과는 다르다.

게이트 형성이 끝나면 900°C (3.3V의 경우 800°C)에서 건식 산화막을 30\AA 성장시켜 게이트 측면의 게이트 산화막을 복원시키고, 후속 이온주입시 발생할 수 있는 웨이퍼의 오염을 방지한다. 다음 각각의 감광막 마스크를 이용하여 <표 2-3>에 나타낸 조건으로 각 device에 맞게 nLDD, pLDD 이온 주입을 순차적으로 수행한다. LDD 이온주입이 끝나면 TEOS 산화막을 2200\AA 두께로 도포하고 이방성 식각을 수행하여, 게이트 측면에 spacer 산화막을 형성시킨다. Spacer 형성 공정 후 후속 이온주입 공정시 발생할 damage를 완화하기 위한 산화막을 건식산화 방법으로 성장시킨다. 산화막 성장이 완료되면 각각의

<표 2-3> 0.5 μ m CMOS 소자의 Process Flow

NO.	STEP	TARGET	REMARK
1	Cleaning, H2SO4	P-type, 5-9 Ω cm	
2	Initial Oxidation. H2/O2. 900 $^{\circ}$ C	Target=300 \pm 30 \AA	
3	Key Photo Mask		
4	Key Etch	Si 1500 \AA	
5	PR Strip		
6	Clean, STD1	Rox=265 \pm 30 \AA	
7	Nwell Photo Mask(Align to Key)		
8	Nwell Ion Implantation	P31, 150keV, 1.4E13 P31, 150keV, 2.2E13	for 5.0V for 3.3V
9	PR Strip		
10	Clean, STD 1	Rox=230 \pm 30 \AA	
11	Pwell Photo Mask(Align to Key)		
12	Pwell Ion Implantation	B11, 75keV, 1.1E13 B11, 75keV, 1.2E13	for 5.0V for 3.3V
13	PR Strip		
14	Clean, STD 1	Rox=200 \pm 30 \AA	
15	Well Drive-in. 1150 $^{\circ}$ C, 120min	Target=170 \pm 30 \AA Target=230 \pm 30 \AA	for 5.0V for 3.3V
16	Clean HF (6:1), (sheet off)	Time=90 sec	
17	Clean, STD1		
18	Buffer Oxidation. H2/O2. 850 $^{\circ}$ C	Target=150 \pm 20 \AA	
19	LPCVD Nitride	Target=1600 \pm 80 \AA	
20	Active Photo Mask(Align to Key)	Target=0.55 \pm 0.05 μ m	
21	Active Dry Etch. Nitride	Target=1600 \AA +10%, Rox=50 \pm 20 \AA	
22	PR Strip	Target=0.55 \pm 0.05 μ m	
23	Clean, STD 1	100:1 HF 100sec	
24	Buffer Oxidation. H2/O2. 850 $^{\circ}$ C	Target=150 \pm 20 \AA	
25	N-CH Field Implant Photo Mask(Align to Active)		
26	N-CH Field Ion Implantation	BF2, 80keV, 2.0E13	
27	PR Strip		
28	Clean, STD 1		
29	Field Oxidation. H2/O2. 950 $^{\circ}$ C	Target=5200 \pm 500 \AA	
30	Cleaning. BHF	Time=15 sec	
31	Acid Strip. Nitride	Target=1600 \AA +50%	
32	Clean, STD 1	100:1HF 100"	
33	1 st SAC Oxidation. H2/O2. 850 $^{\circ}$ C	Target=300 \pm 40 \AA	
34	Clean BHF (6:1), 30sec	Rox=4400 \pm 400 \AA (on Field)	
35	Clean, STD 1		
36	2 nd SAC Oxidation. H2/O2. 850 $^{\circ}$ C	Rox=300 \pm 40 \AA (on Active)	
37	N-CH VT Implant Photo Mask(Align to Active)		

38	N-CH VT Ion Implantation	BF2, 80keV,1.9E12	for 5.0V
		BF2, 80keV,3.8E12	for 3.3V
39	DEEP Ion Implantation	B11, 80keV,5.5E12	for 5.0V
		B11, 80keV,2.5E12	for 3.3V
40	PR Strip		
41	Clean, STD 1		
42	P-CH VT Implant Photo Mask(Align to Active)		
43	P-CH VT Ion Implantation	BF2, 80keV,3.0E12	for 5.0V
		BF2, 80keV,3.5E12	for 3.3V
44	PUNCH Ion Implantation	P31,180keV,1.0E12	for 5.0V
		P31, 180keV,3.3E12	for 3.3V
45	PR Strip		
46	6:1 BHF	Time = 30sec, Rox<20 Å (on Active)	
47	Clean, STD1		
48	Gate Oxidation.H2/O2. 800 °C	Target=110±5Å	for 5.0V
		Target=70±5Å	for 3.3V
49	Gate LPCVD.poly	Target=1500±150 Å	
50	Poly POCL3 Doping.N2/O2	850 °C, 30min	
51	Deglaze.PSG (6:1 BHF)	Time=30sec, Rs=150±50 Ohm/sq.	
52	Wsi dep.	Target=1500±150 Å, Rs=53±5 Ohm/sq.	
53	Cap-Oxide dep.(PE-Oxide)	Target=600±100 Å	
54	Poly Photo Mask(Align to Active)		
		Target=0.5±0.05µm	
55	Dry Etch. Polycide	Rox=70±20 Å (on Active),	for 5.0V
	Dry Etch. Cap Oxide	Target=600 Å + 30%	for 3.3V
	Dry Etch. Polycide	Rox=35±20 Å (on Act)	for 3.3V
56	PR Strip		
57	Clean, STD 1	Target=0.5±0.05µm	
58	Clean (NH4OH:H2O2:H2O=1:1:5)	상온, 10min	
59	N2 Anneal	900 °C, 30min	for 5.0V
		800 °C, 30min	for 3.3V
60	N-LDD IMP Photo Mask(Align to Active)		
61	N-LDD Ion Implantation1	P31, 40keV,3.5E13, 0° tilt	for 5.0V
		P31, 40keV, 2.5E13, 0° tilt	for 3.3V
62	PR Strip		
63	P-LDD IMP Photo Mask(Align to Active)		
64	P-LDD Ion Implantation	BF2, 45keV,1.0E13, 0° tilt	for 5.0V
		BF2, 45keV, 2.0E13, 0° tilt	for 3.3V
65	PR Strip		
66	Clean, STD 1	100:1HF 20sec	
67	Spacer Oxide Depo.TEOS	Target=2200±200 Å	
68	Spacer Oxide Dry Etch	Target=2200±15%, Target=0.91±0.1 µm	

69	Clean, H2SO4		
70	Pre S/D.Oxidation.O2	900 °C, 100±20 Å	for 5.0V
		850 °C, 70±20 Å	for 3.3V
71	N+S/D IMP Photo Mask(Align to Active)		
72	NSD Ion Implantation	As75, 60keV, 6.0E15	for 5.0V
		As75, 78keV, 6.0E15	for 3.3V
73	PR Strip		
74	Clean, STD 1		
75	N+ S/D Anneal	900 °C, 30min	for 5.0V
		900 °C, 20min	for 3.3V
76	P+S/D IMP Photo Mask(Align to Active)		
77	PSD Ion Implantation	BF2, 50keV, 3.0E15	5.0V & 3.3V
78	PR Strip		
79	Clean, STD 1	HF 20sec	
80	LPCVD.TEOS	Target=1000±100 Å	
81	O3_BPSG Deposition	Target=4000±400 Å	
82	BPSG Densification.850 °C, N2	Target=20±10 Å	
83	Oxynitride Depo.	Target=1000 Å	
84	Contact Photo Mask(Align to Active)	Target=0.5±0.05 μm	
85	Plasma Strip .DESCUM	Time = 20sec, Target=0.55±0.05 μm	
86	Wet Etch .BPSG (6:1 BHF)	Target=2000±200 Å	
87	Bake.Hard(120°C)	Time = 30 min	
88	Dry Etch. Oxide	Target=4100+40%	
89	PR Strip	Target=0.6±0.05 μm	
90	50:1HF 100sec		
91	Ti 400 °C	Target=500 Å	
92	TiN 400 °C / Alloy 650 °C 10min	Target=700 Å	
93	Metal-1 Dep.(Ti/Al1%Si/TiN)	Target=500/5500/300 Å	
94	Metal 1 Photo Mask(Align to Contact)	Target=0.6±0.05 μm	
95	Dry Etch.Metal-1/Plasma Strip. PR	6BOX, TiN 50sec	
96	PR Strip	Target=0.65±0.05 μm	
97	1st IMO1 Depo. (PE-OXIDE)	Target=3000±300 Å	
98	SOG1 Coating/2 Cycle	Target=4000±200 Å	
99	SOG1 Cure.N2.400 °C(40min)	Target=3700±200 Å	
100	SOG1 Etch Back	Target =3000 Å, Time=55sec	
101	2nd IMO1 Depo. (PE-OXIDE)	Target=6000±600 Å	
102	Via 1 Photo Mask(Align to Contact)	Target=0.6±0.05 μm	
103	DESCUM	Time =20sec, Target=0.65±0.05 μm	
104	Wet Etch Oxide 6:1 BHF	Target=4000±400 Å	
105	Bake.Hard(120°C)		
106	Dry Etch .Oxide + Over 30%	Target=7500 Å	
107	PR Strip	Target=0.7±0.07 μm	
108	NMD-3 (polymer removal)		
109	Dehydrate. N2/H2. 400 °C		

110	Metal-2 Dep.(Ti/Al1%Si/TiN)	Target=500/6000/300 Å	
111	Metal 2 Photo Mask(Align to Metal 1)	Target=0.8±0.08µm	
112	Dry Etch.Metal-2/Plasma Strip. PR	6BOX, TiN 50sec	
113	PR Strip	Target=0.85±0.08µm	
114	2nd IMO1 Depo. (PE-OXIDE)	Target=3000±300 Å	
115	SOG2 Coating/2 Cycle	Target=4000±200 Å	
116	SOG2 Cure.N2. 400 °C, 40min	Target=3700±200 Å	
117	SOG2 Etch Back	Target =3000 Å , Time=55sec	
118	2 nd IMO2 Depo. (PE-OXIDE)	Target=6000±600 Å	
119	Via 2 Photo Mask(Align to Metal 1)	Target=0.6±0.05µm	
120	DESCUM	Time =20sec, Target=0.65±0.05µm	
121	Wet Etch Oxide 6:1 BHF	Target=4000±400 Å	
122	Bake.Hard(120°C)	Time=10min	
123	Dry Etch .Oxide + Over 30%	Target=7500 Å	
124	PR Strip	Target=0.7±0.07µm	
125	NMD-3 (polymer removal)		
126	Dehydrate. N2/H2. 400 °C		
127	Metal-3 Dep.(Ti/Al1%Si/TiN)	Target=500/8000/300 Å	
128	Metal 3 Photo Mask(Align to Via 2)	Target=0.8±0.08µm	
129	Dry Etch. Metal-3 / Plasma Strip.PR	6Box, TiN 40sec	
130	PR Strip	Target=0.85±0.1mm	
131	Passivation1 Depo. (PE-Oxide)	Target=3000±300 Å	
132	Passivation2 Depo. (PE-Nitride)	Target=5000±500 Å	
133	PAD Photo Mask(Align to Metal 3)		
134	Dry Etch Nitride	Target=5000 Å + 20%	
135	Dry Etch Oxide	Target=3000 Å + 20%	
136	TiN Etch	Target=300 Å + 50%	
137	PR Strip		
138	Alloy N2/H2 400 °C	Time=30min	

마스크를 이용하여 <표 2-3>에 나타낸 조건으로 각 device에 맞게 n+, p+ 소스/드레인 이온 주입을 수행한다. n+ 소스/드레인 이온주입의 경우 dopant의 확산을 위하여 900°C 질소 분위기에서 열처리한다.

층간 절연막 형성을 위하여 TEOS 산화막을 1000 Å 증착하고 4000 Å의 O₃-BPSG 산화막을 증착한 후 850°C에서 30분 동안 열처리하여 reflow 및 경화시키고, 연속하여 oxynitride를 1000 Å 증착한다. Contact 식각의 경우 step coverage를 향상하기 위하여 wet etch와 dry etch를 병행하였으며, 접촉구멍의 저항을 낮추고 Al spiking 등의 문제를 없애기 위하여 Ti 500 Å, TiN 700 Å 을 차례로 증착한 후 650°C 에서 10분간 열처리하여 silicide를 형성한다. 연속하여 Ti 500 Å과 1%의 silicon이 함유된 Al 5500 Å, TiN 300 Å을 증착하고, 마스크를 이용하여 1st metal layer(Metal 1)을 define 한다.

Metal 배선간 절연을 위하여 먼저 PECVD oxide를 3000 Å 증착하고, 연속하여 SOG를 4000 Å coating 한다. 400°C, N₂ 분위기에서 40분간 SOG를 curing 한 후, 3000 Å 만큼 etch back하여 평탄화시키며, 그 위에 다시 PECVD oxide를 6000 Å 증착한다. Metal 배선간 연결을 위하여 via hole을 형성하며, via hole 식각은 contact 식각과 유사하게 wet etch와 dry etch를 병행한다. 2nd metal layer를 형성하기 위하여 Ti / 1%Si-Al / TiN을 각각 500 Å/6000 Å /300 Å 증착한 후 photo/etch하여 Metal2 를 형성한다. 이후 Via2, Metal3 공정은 Vial, Metal2 공정과 동일하다.

Metal3 공정이 끝난 후 제작된 chip의 passivation을 위하여 PECVD oxide와 nitride를 각각 3000 Å, 5000 Å 증착하고 wire가 bonding될 PAD 영역만 정의한 후 PECVD oxide와 nitride를 식각한다. 이때 wire bonding의 접착을 좋게하기 위하여 Metal3 의 top TiN도 식각한다. Pad 공정이 끝나면 forming gas 분위기의 400°C 에서 30 분 동안 alloy 하여 소자 제작을 완료한다.

2. 5.0V 용 0.5 μ m CMOS 소자의 전기적 특성 및 SPICE Parameter

<표 2-4>와 <표 2-5>에서는 0.5 μ m CMOS 소자에 대한 device의 electrical characteristics 및 parasitic capacitance 값을 나타내었다. 제시된 electrical characteristics 및 parasitic capacitance 값은 설계자가 설계를 하기에 앞서 자신이 설계할 IC의 특성을 만족시킬 수 있는지 검토되어야 할 특성들이며, 또한 설계시에도 고려되는 중요한 값들이다.

먼저 electrical characteristics를 살펴보면 <표 2-4> (a)에 나타난 sheet 저항의 경우 <표 2-1>에서 제시한 목표값과 유사한 값을 나타내었다. 반면 kelvin pattern에서 측정한 n+ 및 p+ contact저항은 목표값보다 낮은 값을 나타내었으며 일반적인 목표값의 경우 string pattern에서 contact 저항을 측정하여 contact 저항외에 배선을 위한 n+ 및 p+ active의 면저항이 추가되었기 때문으로 추정된다. 본 device의 경우도 string pattern에서 contact 저항을 측정한 경우 목표값과 비슷한 값을 나타내었다. Via 저항의 경우 1.5~2.0 ohm/ea. 를 나타내어 목표값보다 큰 값을 나타내며, 이는 공정의 안정성 및 재현성을 향상시키기 위하여 metal layer의 bottom Ti의 두께를 300Å에서 500Å으로 증가시켰기 때문이다.

nMOS transistor의 경우 0.75V의 threshold voltage 와 550 μ A/ μ m의 saturation current값을 나타내었으며, 10V 이상의 breakdown voltage 값을 나타내었고, pMOS transistor의 경우 -0.85V의 threshold voltage 와 -240 μ A/ μ m의 saturation current값을 나타내었으며, 역시 10V 이상의 breakdown voltage 값을 나타내었다. 한편 field transistor의 경우 nMOS, pMOS 모두 10V 이상의 양호한 breakdown voltage와 threshold voltage 값을 나타내었다. 한편 <표 2-5>에 나타난 parasitic capacitance 는 layer와 layer간 발생하는 원치 않는 capacitance로서 IC의 속도를 느리게 하는 요소이므로 중요한 값이며 설계시에도 반드시 고려되어야 한다.

<표 2-4> 5.0V 용 0.5 μ m CMOS Device의 Electrical Characteristics

(a). Sheet Resistance

단위 : Ohm/sq.

Parameter	Min.	Typ.	Max..
NWL	700	800	900
N+ S/D	50	65	80
P+ S/D	150	180	210
Poly	3	5	7
Metal 1	0.06	0.08	0.10
Metal 2	0.06	0.08	0.10
Metal 3	0.03	0.05	0.06

(b). Contact Resistance

단위 : Ohm/ea.

Parameter	Min.	Typ.	Max.
N+ S/D Contact	20	30	50
P+ S/D Contact	70	90	110
Poly Contact	3	5	8
Via 1	1.0	2.0	3.0
Via 2	0.5	1.5	2.5

(c). 5.0V 용 0.5 μ m CMOS Transistor 특성

Parameter		0.5 μ m Technology (5.0V)
NMOS	2 Δ L [μ m]	0.10 \pm 0.05
	2 Δ W [μ m]	0.35 \pm 0.10
	Vt [V]	0.75 \pm 0.1 (@W/L=20/20 μ m)
	Idsat [μ A/ μ m]	0.75 \pm 0.1 (@W/L= 20/0.5 μ m)
	BVDSS [V]	550 \pm 50 (@W/L= 20/0.5 μ m)
		≥ 10
PMOS	2 Δ L [μ m]	0.10 \pm 0.05
	2 Δ W [μ m]	0.40 \pm 0.10
	Vt [V]	-0.85 \pm 0.1 (@W/L=20/20 μ m)
	Idsat [μ A/ μ m]	-0.80 \pm 0.1 (@W/L= 20/0.5 μ m)
	BVDSS [V]	-240 \pm 30 (@W/L= 20/0.5 μ m)
		≤ -10
Field TR	Vtn [V]	≥ 10
	BVdss [V]	≥ 10
	Vtp [V]	≤ -10
	BVdss [V]	≤ -10

<표 2-5> 5.0V 용 0.5 μ m CMOS 공정의 Parasitic Capacitance

Layer	Area Capacitance [fF/ μ m ²]	Fringe Capacitance [fF/ μ m]
N+ Diffusion to P-Well	0.6882	0.3212
P+ Diffusion to N-Well	0.7933	0.2277
Poly Gate (N-Channel)	2.9739	0.3134
Poly Gate (P-Channel)	2.9624	0.2138
Poly to Field	0.0902	0.0519
Metal 1 to Field	0.0435	0.0551
Metal 1 to Poly or Active	0.0703	0.0657
Metal 2 to Field	0.0241	0.0406
Metal 2 to Poly or Active	0.0299	0.0437
Metal 2 to Metal 1	0.0446	0.0487
Metal 3 to Field	0.0165	0.0332
Metal 3 to Poly or Active	0.0188	0.0353
Metal 3 to Metal 1	0.0222	0.0361
Metal 3 to Metal 2	0.0422	0.0479

이상에서 나타낸 device 특성을 이용하여 설계자가 설계하기 위해서는 SPICE parameter set으로 나타내야 한다. <그림 2-1>에서 <그림 2-10>은 SPICE parameter 추출 과정 및 결과를 나타낸 것이며, parameter 값 뿐만 아니라 여러 가지 device 특성을 알 수 있으므로 순차적으로 설명하고자 한다.

Spice parameter의 종류는 크게 XL, XW, NCH, XJ 등의 process parameter, CGSO, CGDO, CJ, CJSW, TOX 등의 capacitance parameter, JS, JSW 등의 diode 특성과 관련된 parameter와 MOS transistor의 DC 특성과 관련된 수많은 parameter들이 있으며 이들의 추출에 대한 간략한 설명과 추출 결과는 아래와 같다.

가. XL, XW 추출_<그림 2-1>, <그림 2-2>

XL 및 XW는 gate length 및 active width의 mask CD와 실제 CD의 차이를 나타내는 process parameter이다. 정확한 XL 및 XW를 추출하기 위해서는 여러 가지의 line width를 갖는 test pattern에서 line 저항을 측정한 뒤 width vs. $1/R$ 의 graph에서 $1/R$ 이 0이 되는 line width를 XL 또는 XW로 결정하는 것이 일반적이다. 그러나 본 device의 경우 실제 단면상의 CD로부터 XL과 XW를 추출하였으며, <그림 2-1>, <그림 2-2>에서 mask CD와 실제 CD의 차이 및 gate 와 active의 단면 profile을 확인할 수 있다. 추출된 값은 $XL = -5E-8$ m, $XW = -1E-7$ m의 값을 나타내었다.

나. TOX추출_<그림 2-3>

SPICE parameter의 gate oxide 두께(Tox)는 보통 inversion mode의 gate oxide capacitance로부터 계산하는 것이 일반적이지만, 본 device의 경우 accumulation mode에서 Cox를 측정하여 Tox를 계산하였다. <그림 2-3>에서 high frequency에서 측정한 C-V plot을 확인할 수 있으며, 여기서 계산된 Tox는 n-channel의 경우 $1.14E-8$ m, p-channel의 경우 $1.15E-8$ m 값을 나타내고 있다.

다. Gate Overlap Capacitance(CGSO, CGDO) 추출_<그림 2-4>

Gate와 S/D간의 overlap capacitance는 device의 AC 특성을 좌우하는 중요한 요소이며, 이를 측정하기 위해서는 gate edge length가 긴 test pattern이 필요하다. UTMOST의 CGSO routine을 이용하여 측정한 결과를 <그림 2-4>에 나타내었다. 이때 주의할 점은 substrate를 local ground로 묶어 substrate의 floating capacitance가 측정값에 포함되지 않도록 하여야 한다. CGSO 및 CGDO값은 $V_{gate}=0V$ 에서 추출한 값이며, CGSO와 CGDO값은 동일하다고 생각하였다.

라. NCH 및 XJ 추출

Substrate doping 농도(NCH)와 S/D의 junction depth(XJ)를 정확히 구하기 위해서는 SIMS(Secondary Ion Mass Spectrometry) 등의 분석을 해야 한다. 그러나 본 보고서에서는 process simulator인 SSUPREM3를 이용하여 NCH 및 XJ를 추출하였으며, NMOS와 PMOS의 NCH값과 XJ값에 대한 simulation 결과를 <그림 2-5>에 나타내었다. 한편 substrate doping 농도는 MOS transistor의 long channel threshold voltage로부터도 구할 수 있다. MOS capacitor의 threshold voltage(Vt)는 일반적으로 다음과 같이 나타낸다.

$$V_t = V_{fb} - Q_d/C_{ox} + 2\Phi_b = \Phi_{ms} - Q_i/C_{ox} - Q_d/C_{ox} + 2\Phi_b$$

$$Q_d = 2[\epsilon_s q N_a \Phi_b]^{1/2} = 2[\epsilon_s q N_d \Phi_b]^{1/2}$$

$$\Phi_b = \Phi_{surf(inv)}/2 = [E_i(bulk) - E_f]/q = kT/q * \ln(N_a/n_i) \text{ --- for n-ch}$$

$$= kT/q * \ln(n_i/N_d) \text{ --- for p-ch}$$

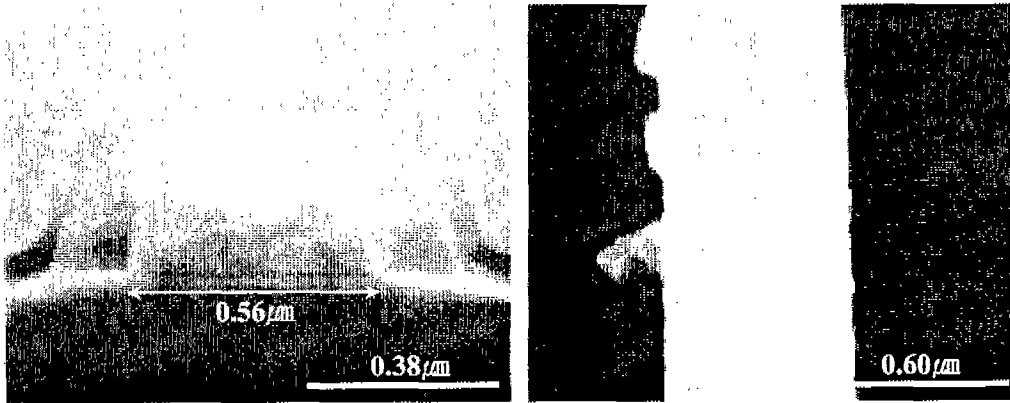
$$\Phi_{ms} = -E_g/2q - \Phi_b \text{ (for n+ poly gate)}$$

위 수식에 NMOS 및 PMOS의 Vt 측정값을 대입하면 Na 및 Nd를 구할 수 있으며, NMOS의 경우 $N_a=2.4E17 \text{ cm}^{-3}$, PMOS의 경우 $N_d=1.5E15 \text{ cm}^{-3}$ 의 값을 나타내었다.

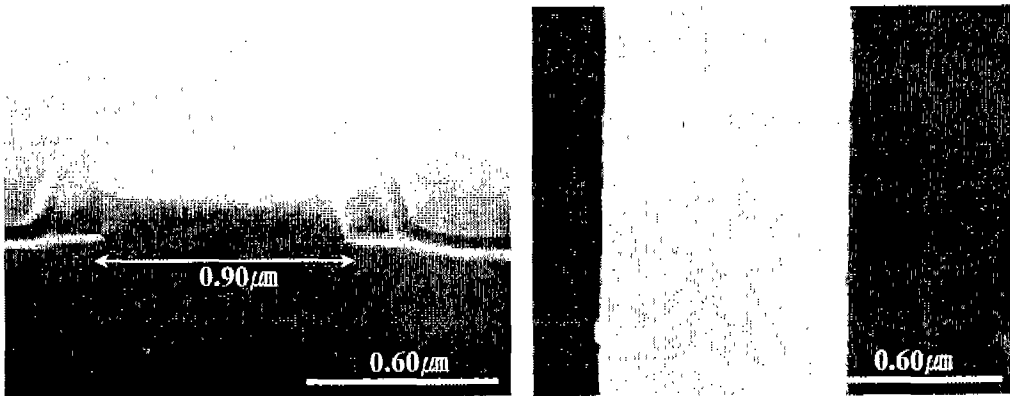
마. S/D Junction Capacitance Parameter 추출_<그림 2-6>, <그림 2-7>

Source/Drain의 junction capacitance는 CGSO, CGDO와 함께 device의 AC 특성에 중요한 영향을 미친다. 이를 측정하기 위해서는 area pattern, field edge extension pattern, gate edge extension pattern이 필요하다. 각각의 pattern에서 area junction capacitance(CJ), field edge junction capacitance(CJSW), gate edge junction capacitance (CGSWG or CJgate)를 추출하여야 한다. UTMOST의 CJ/CJSW routine을 이용하여 각각의 pattern에 대하여 junction capacitance parameter를 추출한 결과를 <그림 2-6>과 <그림 2-7>에 나타내었다.

바. S/D Junction Diode DC Parameter 추출_<그림 2-8>

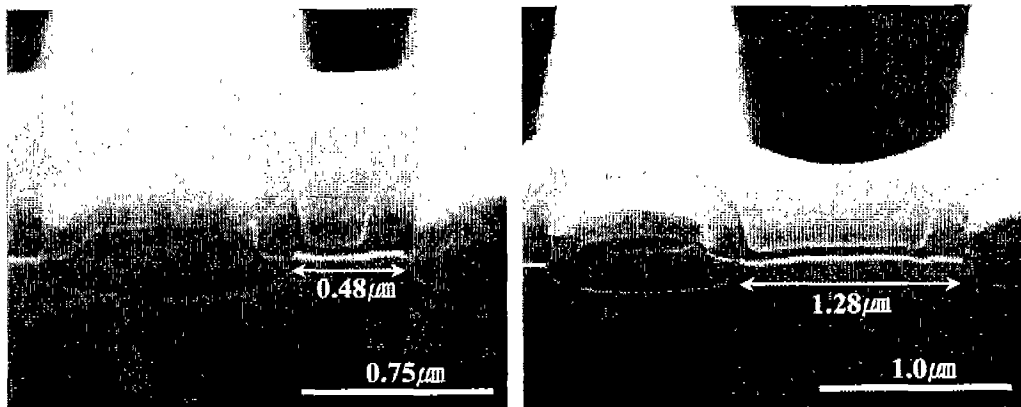


(a) $L_{\text{mask}} = 0.60 \mu\text{m}$, Measured CD $\sim 0.55 \mu\text{m}$ ($XL = -0.05 \mu\text{m}$)



(b) $L_{\text{mask}} = 0.95 \mu\text{m}$, Measured CD $\sim 0.90 \mu\text{m}$ ($XL = -0.05 \mu\text{m}$)

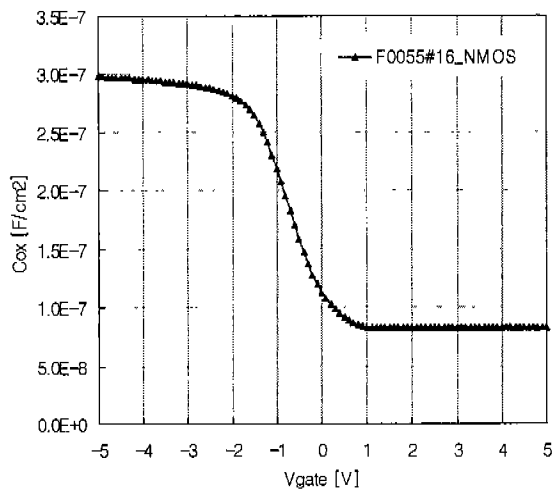
<그림 2-1>. XL 추출을 위한 Gate Profile의 SEM 분석 결과



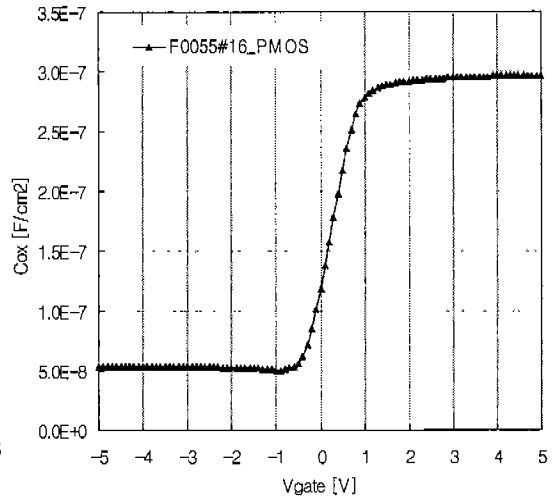
(a) $W_{\text{mask}} = 0.6 \mu\text{m}$

(b). $W_{\text{mask}} = 1.4 \mu\text{m}$

<그림 2-2>. XW 추출을 위한 Active Profile의 SEM 분석 결과

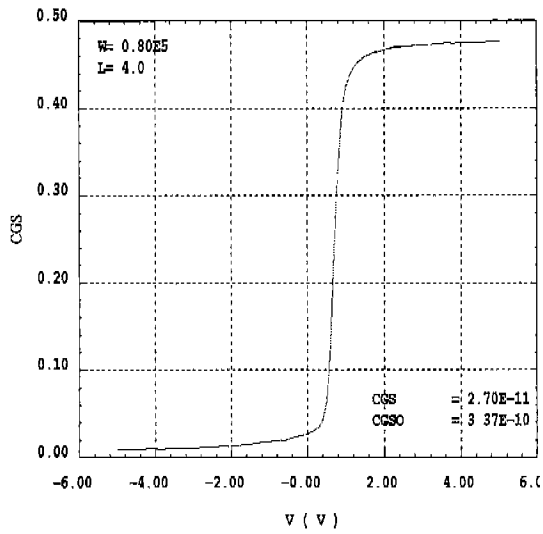


(a). n-Channel ($T_{ox}=114\text{\AA}$)

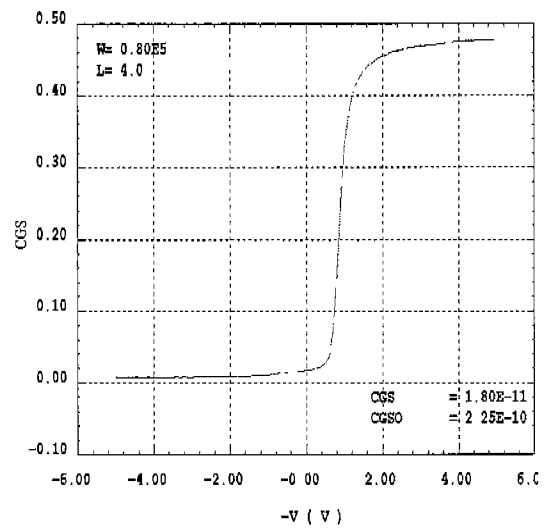


(b). p-Channel ($T_{ox}=115\text{\AA}$)

<그림 2-3>. Gate Oxide Capacitance 측정 결과

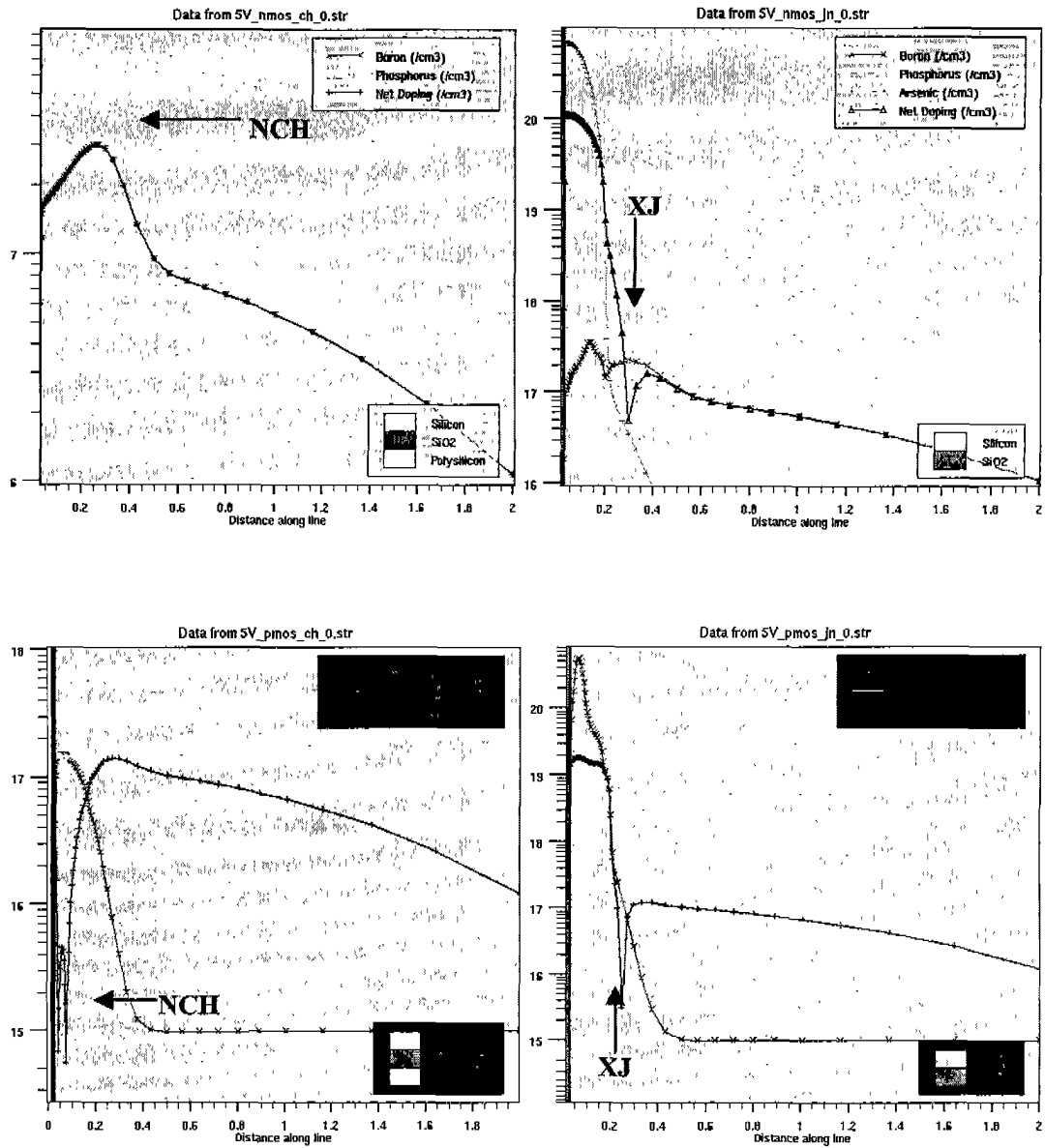


(a). NMOS

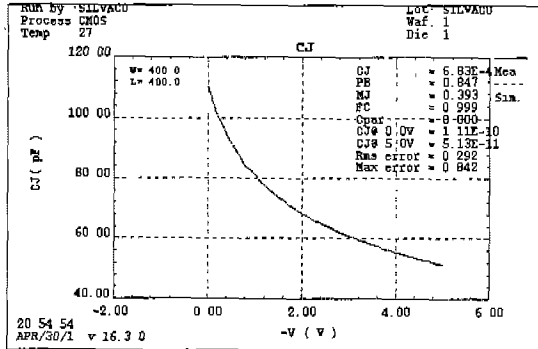


(b). PMOS

<그림 2-4>. Gate to S/D Overlap Capacitance 측정 결과

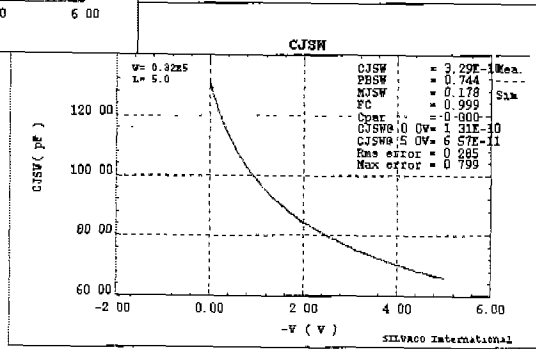


<그림 2-5>. NCH 및 XJ 추출 결과_SSUPREM3 Simulation

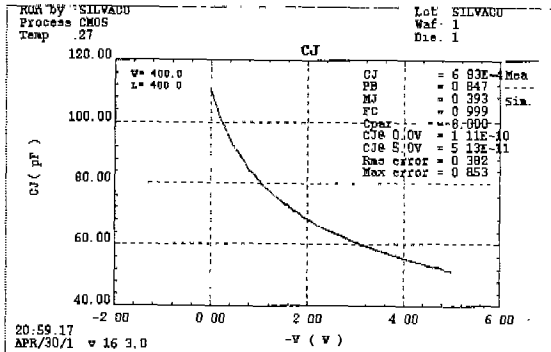


CJ = 6.83E-4
PB = 0.847
MJ = 0.393
FC = 0.999

CJSW = 3.29E-10
PBSW = 0.744
MJSW = 0.178
FC = 0.999

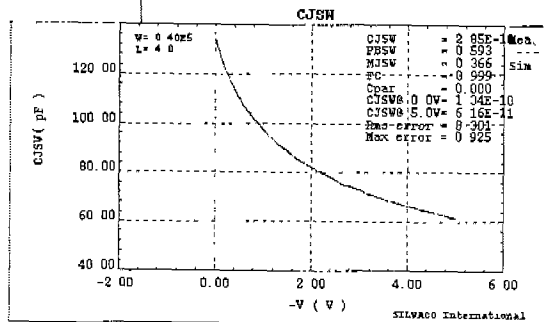


(a): NMOS S/D Junction 및 Junction Field Edge Capacitance 추출 결과



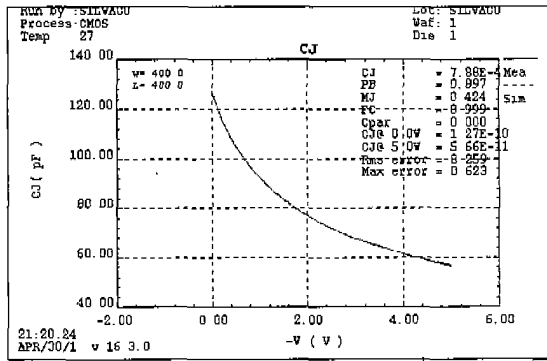
CJ = 6.83E-4
PB = 0.847
MJ = 0.393
FC = 0.999

CJSWG(CJgate) = 2.85E-10
PBSWG = 0.593
MJSWG = 0.366
FC = 0.999



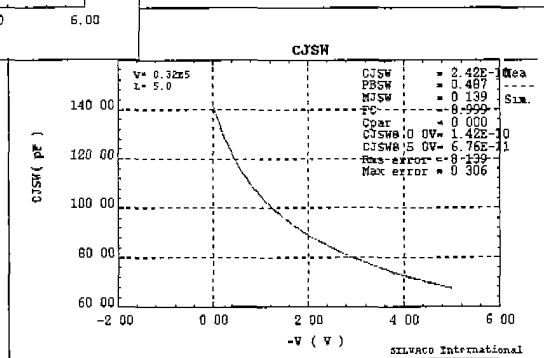
(b). NMOS S/D Junction 및 Junction Gate Edge Capacitance 추출 결과

<그림 2-6>. NMOS S/D Junction Capacitance Parameter 추출 결과

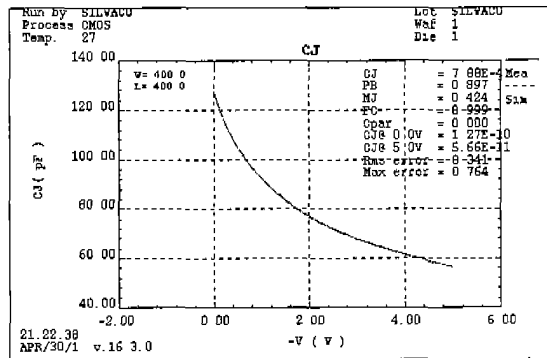


CJ = 7.88E-4
PB = 0.897
MJ = 0.424
FC = 0.999

CJSW = 2.42E-10
PBSW = 0.487
MJSW = 0.139
FC = 0.999

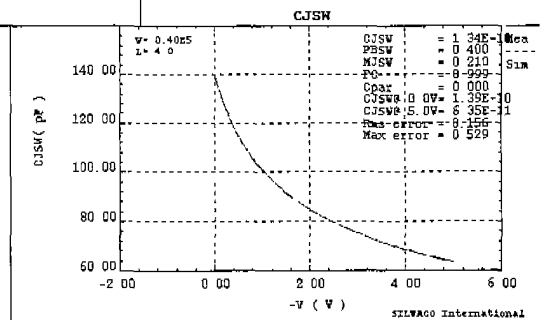


(a). PMOS S/D Junction 및 Junction Field Edge Capacitance 추출 결과



CJ = 7.88E-4
PB = 0.897
MJ = 0.424
FC = 0.999

CJSWG(CJgate) = 1.34E-10
PBSWG = 0.400
MJSWG = 0.210



(b). PMOS S/D Junction 및 Junction Gate Edge Capacitance 추출 결과

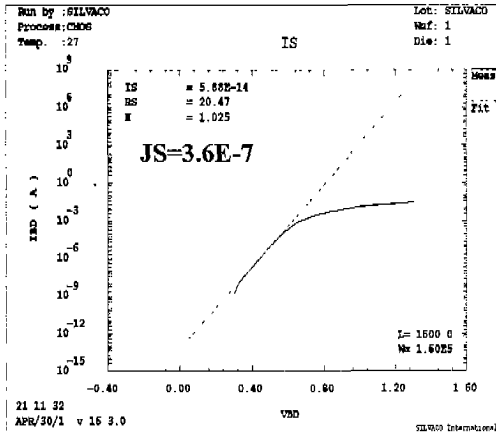
<그림 2-7>. PMOS S/D Junction Capacitance Parameter 추출 결과

$$I(A) = I_A \times A_A + I_P \times P_A$$

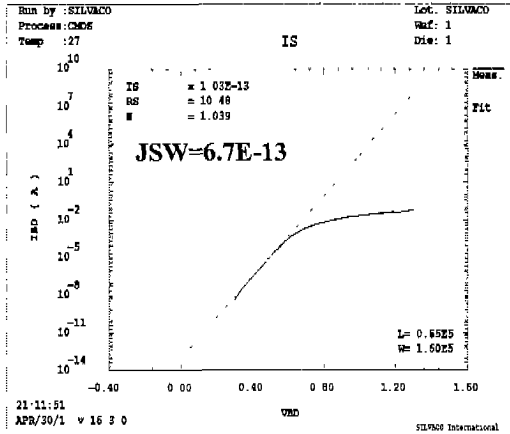
$$I(P) = I_A \times A_P + I_P \times P_P$$

I(A) : Area Pattern의 Junction Current,

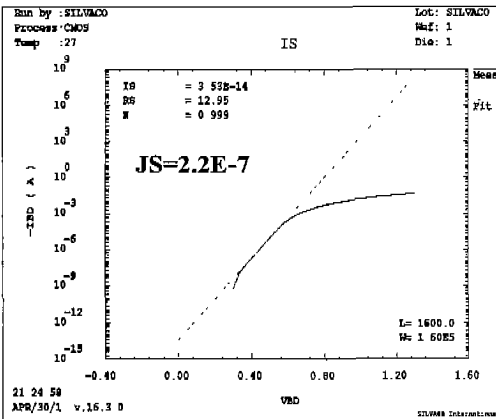
I(P) : Periphery Pattern의 Junction Current



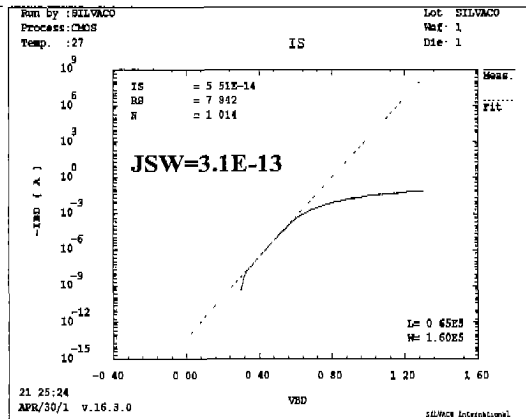
(a). nMOS Area Pattern



(b). nMOS Field Edge Extension Pattern

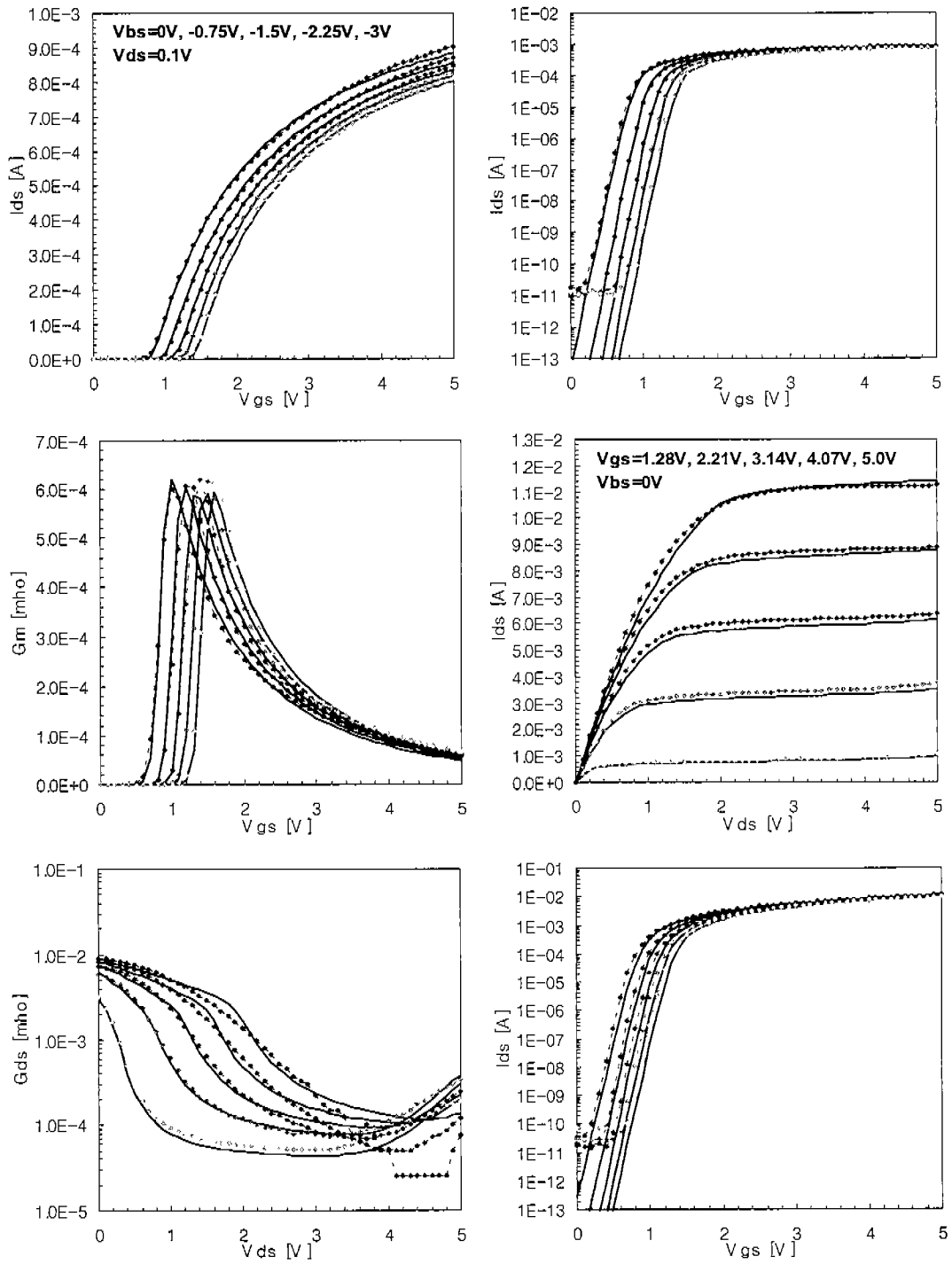


(c). pMOS Area Pattern

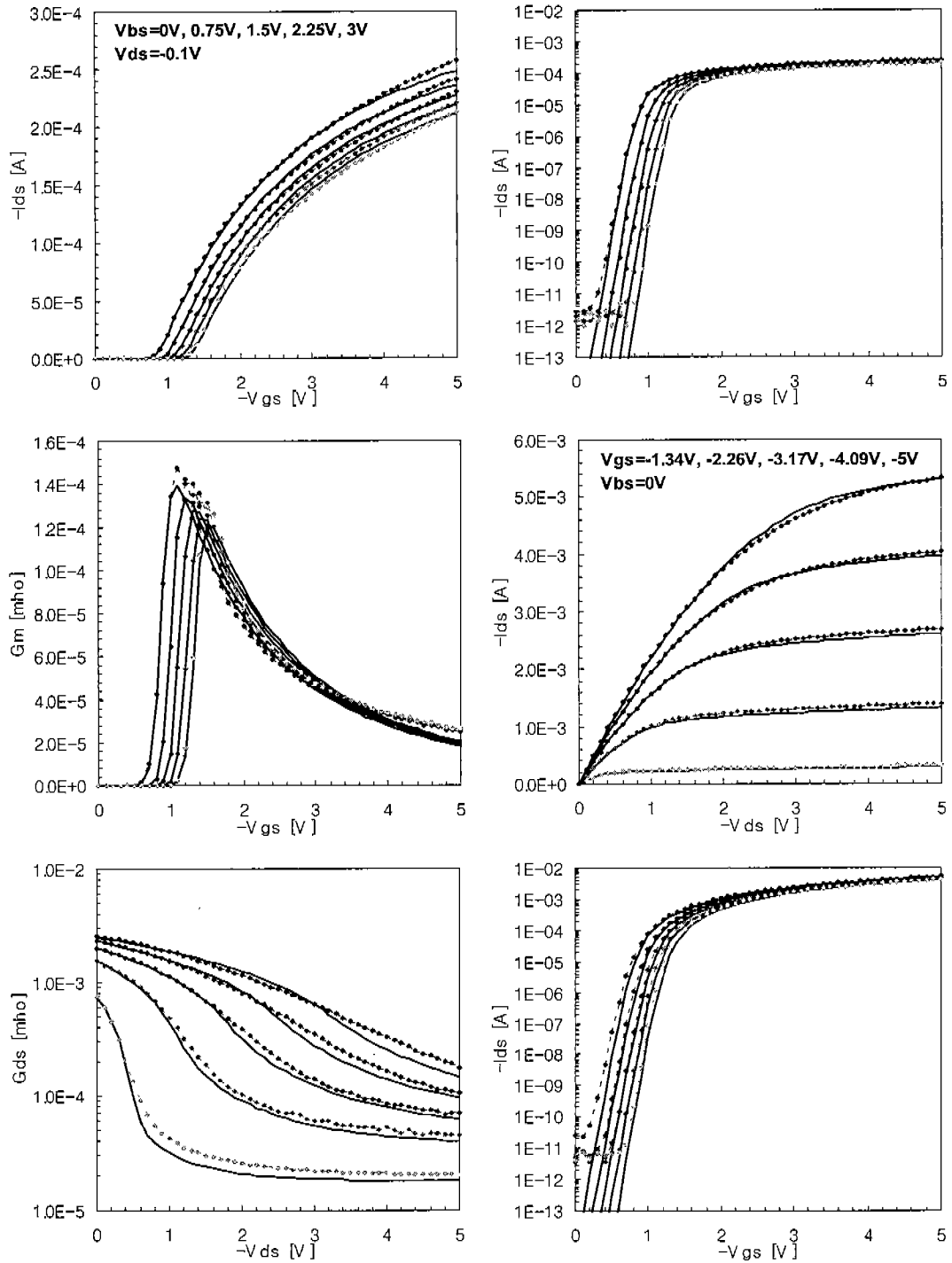


(d). pMOS Field Edge Extension Pattern

<그림 2-8>. S/D Junction Diode 특성 측정 결과



<그림 2-9>. $0.5\mu\text{m}$ nMOS(5.0V)의 측정 결과와 fitting 결과의 비교 ($W/L=20/0.5\mu\text{m}$, symbol : measured, solid line : fitted)



<그림 2-10>. 0.5 μ m pMOS(5.0V)의 측정 결과와 fitting 결과의 비교 (W/L=20/0.5 μ m, symbol : measured, solid line : fitted)

Junction area pattern과 field edge extension pattern 에서 source/drain의 junction diode DC 특성(IS)을 UTMOST의 IS routine을 이용하여 측정하였으며, 두 pattern에 대한 2차 방정식으로부터 JS와 JSW를 추출한 결과를 <그림 2-8>에 나타내었다.

사. MOS Transistor DC Parameter 추출_<그림 2-9>, <그림 2-10>

MOS transistor의 DC parameter를 UTMOST의 BSIM3_MG routine을 이용하여 측정하였다. 측정에 사용된 device size는 20/20, 20/0.5, 20/0.55, 20/0.6, 20/0.95, 20/2.35, 3.2/20, 1.6/20, 1.0/20(PMOS의 경우 1.2/20), 3.2/0.6 μ m의 10개의 pattern에서 측정하였으며, BSIM3_MG routine은 ID/VG-VB(VD=linear(0.1V)), ID/VD-VG(VB=low(0V)), ID/VG-VB(VD=saturation(5V)), ID/VD-VG(VB=high(-3V))의 4개의 측정으로 이루어져 있다. 각각의 측정 결과를 이용하여 fitting 및 optimization을 수행하였으며, optimization은 linear region \rightarrow subthreshold region \rightarrow saturation region current \rightarrow output resistance 의 순서로 진행하였고, device size는 large device \rightarrow width array \rightarrow length array \rightarrow small size 순서로 진행하였다. <그림 2-9>, <그림 2-10>에 각 device에 대한 측정값과 추출된 parameter로 modeling된 값을 비교하여 나타내었다.

이상에서 추출된 SPICE parameter를 <표 2-6>에 나타내었다. 추출된 값은 typical 값이며, gate oxide 두께(TOX), threshold voltage(VTH), source/drain 면저항(RSH), gate CD(XL), active CD(XW)의 5개 parameter에 $\pm 10\%$ 의 변화를 주어 slow 와 fast 경우에 대하여 정의하였다. 이상의 결과를 토대로 5.0V용 0.5 μ m CMOS ASIC 설계지침서가 작성되어 있으며, 작성된 설계지침서는 foundry 지원시 제공될 것이다.

<표 2-6> 5.0V 용 0.5 μ m CMOS 소자의 SPICE Parameter

(a). 0.5 μ m CMOS(5.0V) BSIM3 Parameters (nMOSFET)

* DATE: Apr 26/02, LOT: F0055, WAF: 16, DIE: 1, DEV: 0.5um (5.0V), Temp= 27

```
.LIB CORRELATION
.PARAM TOXN = 1.14e-08 VTHON = 0.72 RSHN = 50 XLN = -5e-08 XWN = -1e-07
.ENDL CORRELATION
.LIB TT
.PARAM TOXN = 1.14e-08 VTHON = 0.72 RSHN = 50 XLN = -5e-08 XWN = -1e-07
.ENDL TT
.LIB SS
.PARAM TOXN = 1.254e-08 VTHON = 0.792 RSHN = 55 XLN = -4.5e-08 XWN = -1.1e-07
.ENDL SS
.LIB FF
.PARAM TOXN = 1.026e-08 VTHON = 0.648 RSHN = 45 XLN = -5.5e-08 XWN = -9e-08
.ENDL FF

.LIB nmos
.MODEL nmos nmos (
+LEVEL = 8          VERSION = 3.2          TNOM = 27
+TOX = TOXN         XJ = 2.7e-07          NCH = 2.4e+17
+VTHO = VTHON      K1 = 0.816833        K2 = -1.87662e-05
+K3 = 30           K3B = -6.54987          WO = 3.43732e-06
+N LX = 2.76303e-07 DVTOW = 0          DVT1W = 0
+DVT2W = -0.032    DVT0 = 7.22794        DVT1 = 0.566227
+DVT2 = -0.00424212 UO = 485.687         UA = 1e-11
+UB = 2.06473e-18 UC = 8.28203e-11        VSAT = 83500
+A0 = 0.727404    AGS = 0.119125        BO = 1.80712e-07
+B1 = 1e-07       KETA = 0.00153038     A1 = 0
+A2 = 1           RDSW = 1321.38        PRWG = -0.01
+PRWB = 0.0625917 WR = 1          WINT = 1.42496e-07
+LINT = 6.29462e-08 XL = XLN          XW = XWN
+DWG = -9.46825e-09 DWB = 1.31561e-08    VOFF = -0.08
+NFACTOR = 1.1    CIT = 0          CDSC = -0.0001
+CDSCD = 6.97887e-05 CDSCB = -0.0004     ETAO = 0.00169665
+ETAB = -0.186939 DSUB = 1          PCLM = 1.12473
+PDIBLC1 = 0.0355245 PDIBLC2 = 0.0005     PDIBLCB = 0
+DROUT = 0.305005 PSCBE1 = 4.3e+08     PSCBE2 = 5e-05
+PVAG = 0.0500001 DELTA = 0.001        RSH = RSHN
+RD = 50          RS = 50          ACM = 2
```

```

+LDIF = 1.9e-07      HDIF = 7.6e-07      N = 1.013
+JS = 3.6051e-07    JSW = 6.9937e-13    MOBMOD = 1
+PRT = 0            UTE = -1.5          KT1 = 0
+KT1L = 0           KT2 = 0              UA1 = 4.31e-09
+UB1 = -7.61e-18    UC1 = -5.6e-11      AT = 33000
+NQSMOD = 0         WL = 9.26889e-20   WLN = 1
+WW = 0             WVN = 1              WWL = 0
+LL = 0             LLN = 1              LW = 0
+LWN = 1            LWL = 0              CAPMOD = 2
+CJpar = 0          CJSWpar = 0         CGDO = 3.37325e-10
+CGSO = 3.37325e-10 CGBO = 1.73E-10     FC = 0.999
+CJ = 0.000682626  PB = 0.846672       MJ = 0.392696
+CJSW = 3.2941e-10 PBSW = 0.743932     MJSW = 0.178151
+CJSWG = 2.85163e-10 PBSWG = 0.592652   MJSWG = 0.365762
+NOFF = 1           ACDE = 1             MOIN = 15
+TPB = 0            TPBSW = 0            TPBSWG = 0
+TCJ = 0            TCJSW = 0            TCJSWG = 0
.ENDL nmos

```

(b). 0.5 μ m CMOS(5.0V) BSIM3 Parameters (pMOSFET)

* DATE: Apr 26/02, LOT: F0055, WAF: 16, DIE: 1, DEV: 0.5um(5.0V), Temp= 27

```

.LIB CORRELATION
.PARAM TOXP = 1.14e-08 VTHOP = -0.9 RSHP = 150 XLP = -5e-08 XWP = -1e-07
.ENDL CORRELATION
.LIB TT
.PARAM TOXP = 1.14e-08 VTHOP = -0.9 RSHP = 150 XLP = -5e-08 XWP = -1e-07
.ENDL TT
.LIB SS
.PARAM TOXP = 1.254e-08 VTHOP = -0.99 RSHP = 165 XLP = -4.5e-8 XWP = -1.1e-07
.ENDL SS
.LIB FF
.PARAM TOXP = 1.026e-08 VTHOP = -0.81 RSHP = 135 XLP = -5.5e-08 XWP = -9e-08
.ENDL FF

.LIB pmos
.MODEL pmos pmos (
+LEVEL = 8          VERSION = 3.2          TNOM = 27
+TOX = TOXP         XJ = 2.2e-07          NCH = 1.5e+15
+VTHO = VTHOP       K1 = 0.448293        K2 = 0.0343539

```

+K3	= 12.4384	K3B	= 0	WO	= 4.77284e-09
+NLX	= 9.60375e-08	DVTOW	= 0	DVT1W	= 0
+DVT2W	= -0.032	DVTO	= 1.40047	DVT1	= 1
+DVT2	= -0.0181666	UO	= 207.48	UA	= 1.73442e-09
+UB	= 1.33865e-18	UC	= -3.97426e-11	VSAT	= 90983.5
+A0	= 0.457293	AGS	= 0.0508987	B0	= 5.11966e-07
+B1	= 1e-07	KETA	= -0.0115737	A1	= 0
+A2	= 0.899991	RDSW	= 3000	PRWG	= -0.001
+PRWB	= 0.1	WR	= 1	WINT	= 1.73068e-07
+LINT	= -3.96416e-08	XL	= XLP	XW	= XWP
+DWG	= -1.99539e-08	DWB	= 1.95164e-08	VOFF	= -0.199
+NFACTOR	= 1.2	CIT	= 0	CDSC	= 0.00231346
+CDSCD	= 0.000160216	CDSCB	= 0.000691663	ETA0	= 0.00836739
+ETAB	= -0.00124234	DSUB	= 0.36	PCLM	= 1.5
+PDIBLC1	= 2	PDIBLC2	= 0.000541428	PDIBLCB	= -0.000996848
+DROUT	= 3	PSCBE1	= 8e+08	PSCBE2	= 7.03435e-09
+PVAG	= 0	DELTA	= 0.00726809	NGATE	= 5e+20
+RSH	= RSHP	RD	= 150	RS	= 150
+ACM	= 2	LDIF	= 1.9e-07	HDIF	= 7.6e-07
+N	= 0.999	JS	= 2.1749e-07	JSW	= 3.1329e-13
+MOBMOD	= 1	PRT	= 0	UTE	= -1.5
+KT1	= 0	KT1L	= 0	KT2	= 0
+UA1	= 4.31e-09	UB1	= -7.61e-18	UC1	= -5.6e-11
+AT	= 33000	NQSMOD	= 0	WL	= 7.53417e-20
+WLN	= 1	WW	= 0	WWN	= 1
+WWL	= 0	LL	= 0	LLN	= 1
+LW	= 0	LWN	= 1	LWL	= 0
+CAPMOD	= 2	CJpar	= 0	CJSWpar	= 0
+CGDO	= 2.25487e-10	CGSO	= 2.25488e-10	CGBO	= 1.73E-10
+FC	= 0.999	CJ	= 0.000788187	PB	= 0.896595
+MJ	= 0.424322	CJSW	= 2.42042e-10	PBSW	= 0.486786
+MJSW	= 0.138744	CJSWG	= 1.33708e-10	PBSWG	= 0.4
+MJSWG	= 0.210204	NOFF	= 1	ACDE	= 1
+MOIN	= 15	TPB	= 0	TPBSW	= 0
+TPBSWG	= 0	TCJ	= 0	TCJSW	= 0
+TCJSWG	= 0)			

.ENDL pmos

3. 3.3V 용 0.5 μm CMOS 소자의 전기적 특성 및 SPICE Parameter

집적회로의 전력소모를 줄이기 위해서는 소자의 동작전압을 낮추어야 하고, 천이시간을 빠르게 하기 위하여 전류 구동능력을 증가시키며, 다이오드 및 회로의 누설전류에 영향을 미치는 면적을 축소하여야 한다. 이와 같은 견지에서 0.5 μm CMOS 소자의 전력소모를 줄이기 위해서 동작전압을 3.3V로 줄일 필요가 있으며, 전류구동 능력을 증가시키기 위해서 gate oxide 두께를 70Å으로 감소시켰다.

5.0V용 0.5 μm CMOS와 동일하게 앞에서 설명한 공정방법으로 3.3V용 0.5 μm CMOS 소자 개발을 완료하였고, 개발된 device의 electrical characteristics 및 parasitic capacitance 값을 <표 2-7>와 <표 2-8>에 나타내었으며, 이 특성들은 설계시에 고려되어야 할 것이다. 먼저 electrical characteristics를 살펴보면 <표 2-7> (a)에 나타낸 sheet 저항과 <표 2-7> (b)에 나타낸 contact 저항의 경우 n-well sheet 저항을 제외한 모든 특성이 5V 소자와 동일하다. 한편 nMOS transistor의 경우 0.68V의 threshold voltage 와 420 $\mu\text{A}/\mu\text{m}$ 의 saturation current값을 나타내고 있으며, pMOS transistor의 경우 -0.83V의 threshold voltage 와 -230 $\mu\text{A}/\mu\text{m}$ 의 saturation current값을 나타내고 있다. 즉 동작전압이 5V에서 3.3V로 감소하였음에도 불구하고 gate oxide 두께 감소로 인하여 전류구동능력이 크게 감소하지 않음을 알 수 있다. 한편 nMOS와 pMOS의 BVDSS와 field transistor의 breakdown voltage 및 threshold voltage 값은 모두 10V 이상의 양호한 값을 나타내었다.

제작된 device 특성에 대하여 foundry 지원을 가능하게 하기 위하여 5V device와 동일한 방법으로 SPICE parameter를 추출하였다. 추출된 process parameter, capacitance parameter, diode parameter는 아래의 값을 나타내었다

(a). Gate 및 active CD 관련 parameter : XL = 0.05 μm , XW = -0.1 μm

<표 2-7> 3.3V 용 0.5 μ m CMOS Device의 Electrical Characteristics

(a). Sheet Resistance

단위 : Ohm/sq.

Parameter	Min.	Typ.	Max.
NWL	400	500	600
N+ S/D	50	65	80
P+ S/D	150	180	210
Poly	3	5	7
Metal 1	0.06	0.08	0.10
Metal 2	0.06	0.08	0.10
Metal 3	0.03	0.05	0.06

(b). Contact Resistance

단위 : Ohm/ea.

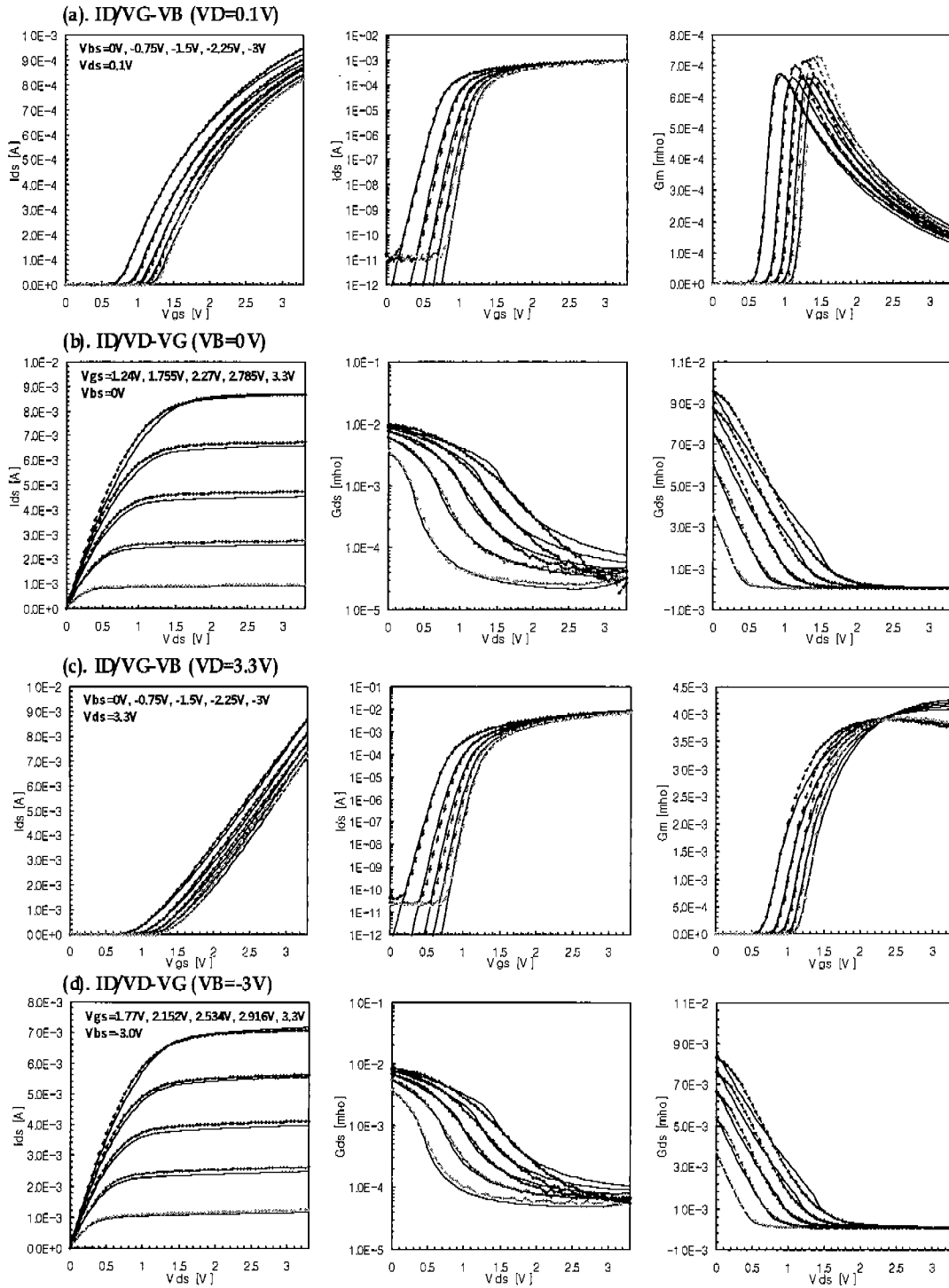
Parameter	Min.	Typ.	Max.
N+ S/D Contact	20	30	50
P+ S/D Contact	70	90	110
Poly Contact	3	5	8
Via 1	1.0	2.0	3.0
Via 2	0.5	1.5	2.5

(c). 3.3V 용 0.5 μ m CMOS Transistor 특성

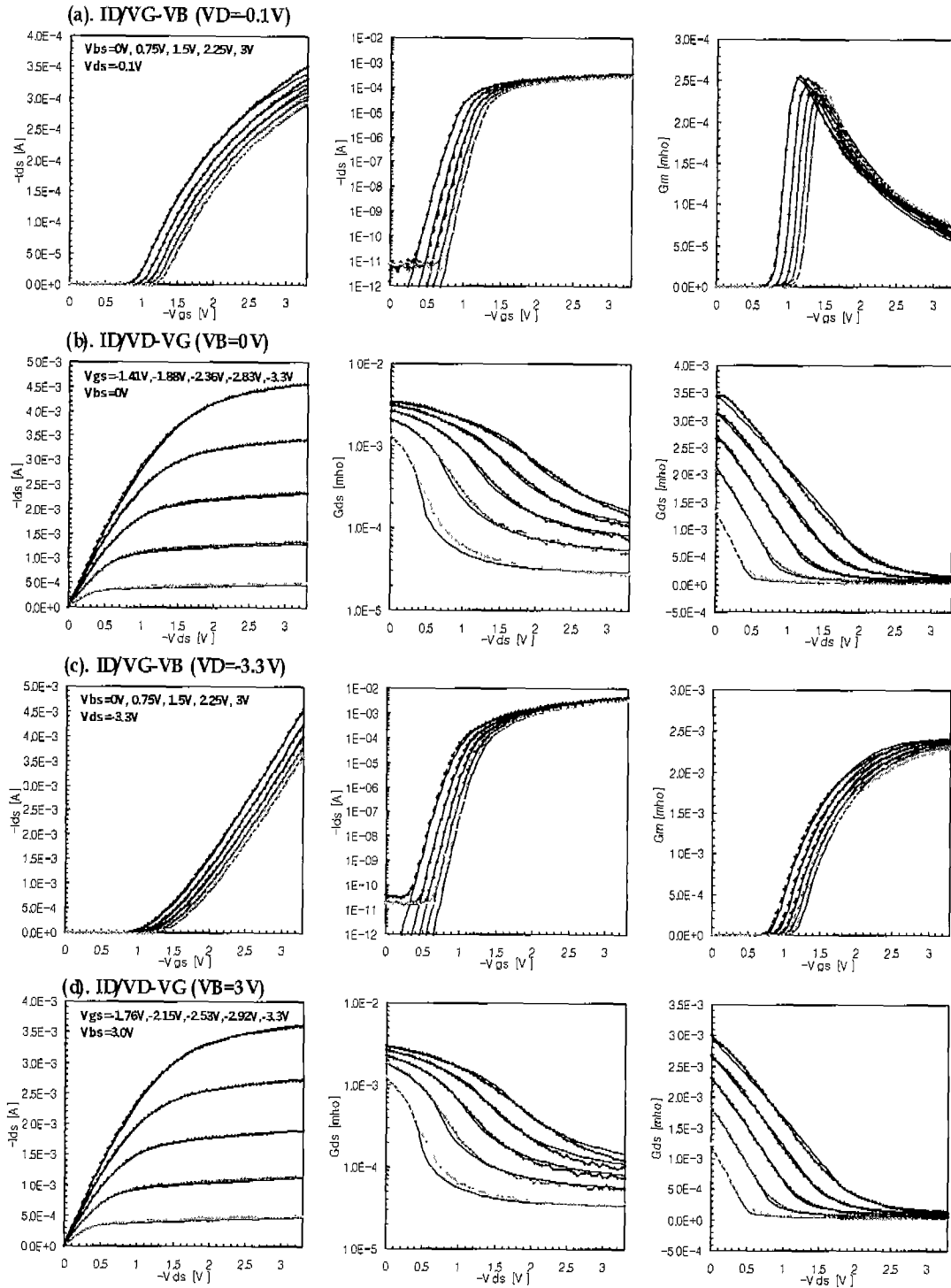
Parameter		0.5 μ m Technology (3.3V)
NMOS	2 Δ L [μ m]	0.10 \pm 0.1
	2 Δ W [μ m]	0.30 \pm 0.1
	Vt [V]	0.65 \pm 0.1 (@W/L=20/20 μ m)
		0.68 \pm 0.1 (@W/L= 20/0.5 μ m)
	Idsat [μ A/ μ m]	420 \pm 70 (@W/L= 20/0.5 μ m)
	BVDSS [V]	\geq 10
PMOS	2 Δ L [μ m]	0.10 \pm 0.1
	2 Δ W [μ m]	0.40 \pm 0.1
	Vt [V]	-0.87 \pm 0.1 (@W/L=20/20 μ m)
		-0.83 \pm 0.1 (@W/L= 20/0.5 μ m)
	Idsat [μ A/ μ m]	-230 \pm 40 (@W/L= 20/0.5 μ m)
	BVDSS [V]	\leq -10
Field TR	Vtn [V]	\geq 10
	BVdss [V]	\geq 10
	Vtp [V]	\leq -10
	BVdss [V]	\leq -10

<표 2-8> 3.3V 용 0.5 μ m CMOS 공정의 Parasitic Capacitance

Layer	Area Capacitance [fF/ μ m ²]	Fringe Capacitance [fF/ μ m]
N+ Diffusion to P-Well	0.5194	0.2669
P+ Diffusion to N-Well	0.7539	0.2526
Polv Gate (N-Channel)	4.4290	0.3463
Polv Gate (P-Channel)	4.4143	0.3602
Polv to Field	0.0911	0.0574
Metal 1 to Field	0.0459	0.0556
Metal 1 to Polv or Active	0.0774	0.0676
Metal 2 to Field	0.0245	0.0412
Metal 2 to Polv or Active	0.0306	0.0446
Metal 2 to Metal 1	0.0439	0.0456
Metal 3 to Field	0.0166	0.0340
Metal 3 to Polv or Active	0.0190	0.0354
Metal 3 to Metal 1	0.0217	0.0366
Metal 3 to Metal 2	0.0375	0.0467



<그림 2-11>. $0.5\mu\text{m}$ nMOS(3.3V)의 측정 결과와 fitting 결과의 비교 ($W/L=20/0.5\mu\text{m}$, symbol : measured, solid line : fitted)



<그림 2-12>. $0.5\mu m$ pMOS(3.3V)의 측정 결과와 fitting 결과의 비교 ($W/L=20/0.5\mu m$, symbol : measured, solid line : fitted)

- (b). Gate oxide thickness : $TOX(nMOS) = 77.1 \text{ \AA}$, $TOX(pMOS) = 78.2 \text{ \AA}$
- (c). Substrate doping 농도 및 junction depth : $NCH(nMOS) = 2.7E17 \text{ atoms/cm}^3$,
 $XJ(nMOS) = 0.3 \text{ }\mu\text{m}$, $NCH(pMOS) = 7.0E16 \text{ atoms/cm}^3$, $XJ(pMOS) = 0.25 \text{ }\mu\text{m}$
- (d). Gate oxide overlap capacitance : $CGSO(nMOS) = 3.42E-10 \text{ F/m}$, $CGSO(pMOS) = 3.64E-10 \text{ F/m}$, $CGBO = 1.73E-10 \text{ F/m}$
- (e). Junction capacitance(nMOS): $CJ = 5.15E-4 \text{ F/m}^2$, $PB = 0.776$, $MJ = 0.372$,
 $CJSW = 3.96E-10 \text{ F/m}$, $PBSW = 0.843$, $MJSW = 0.237$, $CJSWG = 2.08E-10 \text{ F/m}$,
 $PBSWG = 0.84$, $MJSWG = 0.367$
- (f). Junction capacitance(pMOS): $CJ = 7.54E-4 \text{ F/m}^2$, $PB = 0.808$, $MJ = 0.397$, $CJSW = 4.01E-10 \text{ F/m}$,
 $PBSW = 0.518$, $MJSW = 0.212$, $CJSWG = 1.66E-10 \text{ F/m}$, $PBSWG = 0.894$, $MJSWG = 0.363$
- (g). junction diode : $JS(nMOS) = 1.3019E-07 \text{ A/m}^2$, $JSW = 3.5567E-13 \text{ A/m}$,
 $JS(pMOS) = 9.8755E-08 \text{ A/m}^2$, $JSW(pMOS) = 1.8697E-13 \text{ A/m}$

한편 MOS DC parameter의 경우 20/20, 20/0.45, 20/0.5, 20/0.6, 20/0.8, 20/2.4, 3.2/20, 1.6/20, 1.2/20, 3.2/0.5 μm 의 10개의 pattern에서 측정하여 fitting 하였으며, fitting 결과를 <그림 2-11>과 <그림 2-12>에 나타내었다.

이상에서 추출된 SPICE parameter를 <표 2-9>에 나타내었다. 추출된 값은 typical 값이며, gate oxide 두께(TOX), threshold voltage(VTH), source/drain 면저항(RSH), gate CD(XL), active CD(XW)의 5개 parameter에 $\pm 10\%$ 의 변화를 주어 slow 와 fast 경우에 대하여 정의하였다. 이상의 결과를 토대로 3.3V용 0.5 μm CMOS ASIC 설계지침서가 작성되어 있으며, 작성된 설계지침서는 foundry 지원시 제공될 것이다.

<표 2-9> 3.3V 용 0.5 μ m CMOS 소자의 SPICE Parameter

(a). 0.5 μ m CMOS(3.3V) BSIM3 Parameters (nMOSFET)

* DATE: Sep 26/01, LOT: 01-F016, WAF: 07, DIE: 1, DEV: 0.5 μ m(3.3V), Temp= 27

```
.LIB CORRELATION
.PARAM TOXN = 7.71189e-09 VTHON = 0.65 XLN = 5e-08 XWN = -1e-07 RSHN = 60
.ENDL CORRELATION
.LIB TT
.PARAM TOXN = 7.71189e-09 VTHON = 0.65 XLN = 5e-08 XWN = -1e-07 RSHN = 60
.ENDL TT
.LIB SS
.PARAM TOXN = 8.4831e-09 VTHON = 0.715 XLN = 5.5e-08 XWN = -1.1e-07 RSHN = 66
.ENDL SS
.LIB FF
.PARAM TOXN = 6.9407e-09 VTHON = 0.585 XLN = 4.5e-08 XWN = -9e-08 RSHN = 54
.ENDL FF

.LIB nmos
.MODEL nmos nmos (
+LEVEL = 8          VERSION = 3.2          TNOM = 27
+TOX = TOXN         XJ = 3e-07           NCH = 2.7e+17
+VTH0 = VTHON       K1 = 0.754573        K2 = -0.0377155
+K3 = 25            K3B = -1.43757          W0 = 7.6e-06
+N LX = 1.9139e-07  DVTOW = 0              DVT1W = 0
+DVT2W = -0.032    DVT0 = 2.87393         DVT1 = 0.339482
+DVT2 = -0.0794371 U0 = 490              UA = 8.54763e-14
+UB = 2e-18        UC = 9.29667e-11      VSAT = 102569
+AO = 0.758279     AGS = 0.264427        BO = 2.4837e-06
+B1 = 5e-06        KETA = -0.0151182     A1 = 0
+A2 = 1            RDSW = 836.459        PRWG = -0.00738793
+PRWB = -0.0721463 WR = 1              WINT = 2.0742e-07
+LINT = 4.86585e-08 XL = XLN             XW = XWN
+DWG = -3.81033e-08 DWB = 3.65148e-09     VOFF = -0.117449
+NFACTOR = 1.40952  CIT = 0              CDSC = -0.00269175
+CDSCD = 2.0144e-05 CDSCB = 0            ETA0 = 0.016
+ETAB = -0.0075424 DSUB = 0.26          PCLM = 0.803905
+PDIBLC1 = 0.00144976 PDIBLC2 = 0.00055     PDIBLCB = 0
+DROUT = 0.201734  PSCBE1 = 3.82332e+08  PSCBE2 = 3.34412e-05
+PVAG = 0.1        DELTA = 0.00101      RSH = RSHN
+N = 1.003         JS = 1.3019e-07     JSW = 3.5567e-13
```

```

+MOBMOD = 1          PRT = 0          UTE = -1.5
+KT1 = 0            KT1L = 0         KT2 = 0
+UA1 = 4.31e-09    UB1 = -7.61e-18    UC1 = -5.6e-11
+AT = 33000        NQSMOD = 0        WL = 4.05378e-22
+WLN = 1           WW = 0           WWN = 1
+WWL = 0           LL = 0           LLN = 1
+LW = 0            LWN = 1          LWL = 0
+CAPMOD = 2        CJpar = 0        CJSWpar = 0
+CGDO = 3.41787e-10 CGSO = 3.41787e-10 CGBO = 1.73e-10
+FC = 0.999        CJ = 0.000515287    PB = 0.775816
+MJ = 0.371757     CJSW = 3.96152e-10  PBSW = 0.84993
+MJSW = 0.237232  CJSWG = 2.07555e-10 PBSWG = 0.831938
+MJSWG = 0.36364  TCJ = 0            TPB = 0
+TCJSW = 0         TPBSW = 0          NOFF = 1
+ACDE = 1          MOIN = 15          TPB = 0
+TPBSW = 0         TPBSWG = 0         TCJ = 0
+TCJSW = 0         TCJSWG = 0         )
.ENDL nmos

```

(b). 0.5 μ m CMOS(3.3V) BSIM3 Parameters (pMOSFET)

* DATE: Sep 26/01, LOT: 01-F016, WAF: 07, DIE: 1, DEV: 0.5um(3.3V), Temp= 27

```

.LIB CORRELATION
.PARAM TOXP = 7.82073e-09 VTHOP = -0.87789 XLP = 5e-8 XWP = -1e-07 RSHP = 150
.ENDL CORRELATION
.LIB TT
.PARAM TOXP = 7.82073e-09 VTHOP = -0.87789 XLP = 5e-8 XWP = -1e-07 RSHP = 150
.ENDL TT
.LIB SS
.PARAM TOXP = 8.603e-9 VTHOP = -0.96567 XLP = 5.5e-8 XWP = -1.1e-7 RSHP = 165
.ENDL SS
.LIB FF
.PARAM TOXP = 7.03866e-9 VTHOP = -0.7901 XLP = 4.5e-8 XWP = -9e-8 RSHP = 135
.ENDL FF

```

```

.LIB pmos
.MODEL pmos pmos (
+LEVEL = 8          VERSION = 3.2          TNOM = 27
+TOX = TOXP         XJ = 2.5e-07          NCH = 7e+16
+VTHO = VTHOP       K1 = 0.385128         K2 = 0.0252987
+K3 = 58.9919       K3B = -2.73078        W0 = 4.32188e-06

```

+NLX	= 1.57565e-07	DVTOW	= 0	DVT1W	= 0
+DVT2W	= -0.032	DVT0	= 4.09669	DVT1	= 0.72146
+DVT2	= -0.0263091	U0	= 166.154	UA	= 6.71235e-11
+UB	= 2.19656e-18	UC	= -4.96379e-12	VSAT	= 253000
+A0	= 0.8642	AGS	= 0.301012	BO	= 3.55207e-06
+B1	= 5e-06	KETA	= -0.0065417	A1	= 4.65511e-05
+A2	= 0.355797	RDSW	= 1882.55	PRWG	= -0.000520093
+PRWB	= 0.00297762	WR	= 1	WINT	= 1.89873e-07
+LINT	= 7.61107e-08	XL	= XLP	XW	= XWP
+DWG	= -2.00671e-08	DWB	= 1.225e-08	VOFF	= -0.159544
+NFACTOR	= 2	CIT	= 0	CDSC	= 0.00393132
+CDSCD	= 0.000121361	CDSCB	= 0.00142761	ETA0	= 0.00140071
+ETAB	= -0.00050839	DSUB	= 0.0521525	PCLM	= 1.12681
+PDIBLC1	= 0.591795	PDIBLC2	= 0.0005	PDIBLCB	= -2.77451e-07
+DROUT	= 0.908886	PSCBE1	= 8e+08	PSCBE2	= 1.01e-05
+PVAG	= 0.0379854	DELTA	= 0.00101	RSH	= RSHP
+N	= 0.992	JS	= 9.8755e-08	JSW	= 1.8697e-13
+MOBMOD	= 1	PRT	= 0	UTE	= -1.5
+KT1	= 0	KT1L	= 0	KT2	= 0
+UA1	= 4.31e-09	UB1	= -7.61e-18	UC1	= -5.6e-11
+AT	= 33000	NQSMOD	= 0	WL	= 1.00999e-19
+WLN	= 1	WW	= 0	WWN	= 1
+WWL	= 0	LL	= 0	LLN	= 1
+LW	= 0	LWN	= 1	LWL	= 0
+CAPMOD	= 2	CJpar	= 0	CJSWpar	= 0
+CGDO	= 3.64012e-10	CGSO	= 3.64012e-10	CGBO	= 1.73e-10
+FC	= 0.999	CJ	= 0.000753622	PB	= 0.807635
+MJ	= 0.397389	CJSW	= 4.0124e-10	PBSW	= 0.517779
+MJSW	= 0.212366	CJSWG	= 1.66062e-10	PBSWG	= 0.893538
+MJSWG	= 0.363101	TCJ	= 0	TPB	= 0
+TCJSW	= 0	TPBSW	= 0	NOFF	= 1
+ACDE	= 1	MOIN	= 15	TPB	= 0
+TPBSW	= 0	TPBSWG	= 0	TCJ	= 0
+TCJSW	= 0	TCJSWG	= 0)	

.ENDL pmos

4. 0.5 μ m CMOS 소자의 Gate Oxide 신뢰성 평가

Gate Oxide 의 특성 및 신뢰성의 평가는 CMOS ASIC개발에 있어서 가장 기본적인 항목 중 하나이다. 본 절에서는 5.0V 및 3.3V 용 0.5 μ m CMOS ASIC의 gate oxide 특성을 평가하였다. 5.0V 용 0.5 μ m CMOS의 경우 gate oxide 두께는 110Å이고 3.3V의 경우 70Å 이며, 평가 항목은 TZDB (Time Zero Dielectric Breakdown)와 TDDB(Time Dependent Dielectric Breakdown)를 평가하였다

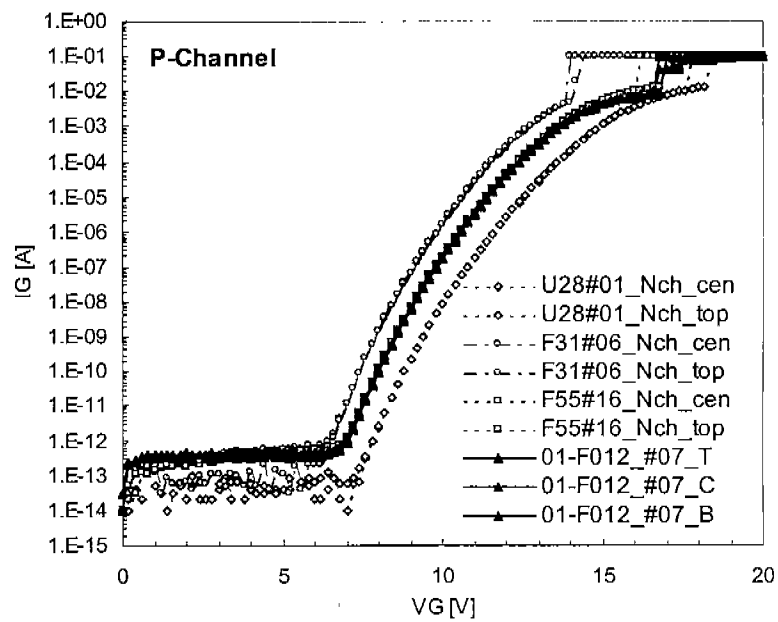
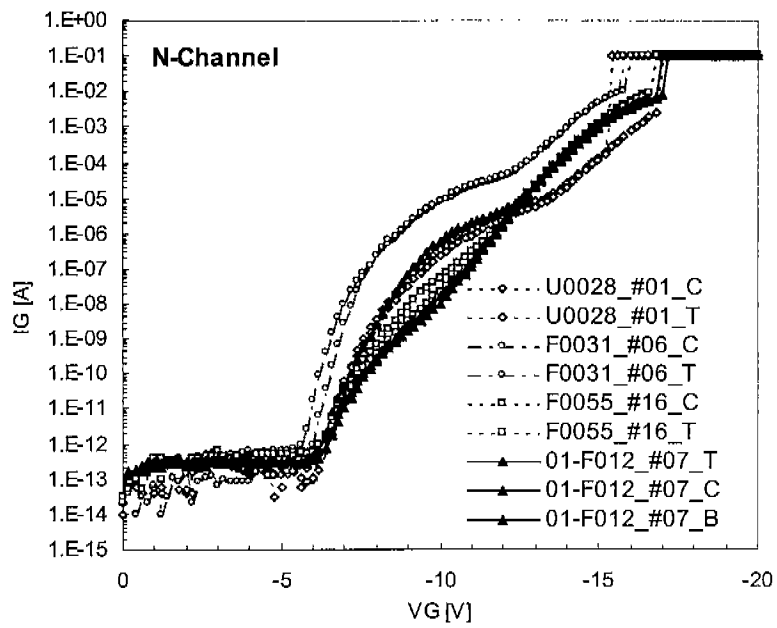
(a). Time Zero Dielectric Breakdown(TZDB) 특성

Gate Oxide 의 TZDB 특성은 흔히 gate oxide 의 내압특성으로 불리며, 불량 유형은 A, B, C 의 3가지 mode로 나누어서 설명한다. A mode 불량은 산화막 중의 pin hole 등에 의한 단락에 기인한 mode로서 0~2 MV/cm 이하의 낮은 electric field에서 불량이 나타난다. B mode 불량은 산화막 중의 전기적으로 약한 결함(weak spot)에 기인한 단락으로서 약 2~8 MV/cm 정도의 electric field에서 불량이 나타나며, C mode 불량은 산화막의 intrinsic breakdown 에 의한 절연파괴를 말한다. A mode 불량은 VLSI의 초기 불량을 유발하고, B mode 불량은 주로 신뢰성을 저하시키는 원인이 되며, C mode는 그 막의 궁극적인 사용한계를 나타내게 된다. 한편 결함이 없는 정상적인 산화막의 TZDB 곡선은 크게 F-N(Fowler-Nordheim) tunneling current 영역과 intrinsic breakdown 특성으로 나눌 수 있으며, F-N current는 gate oxide 양단에 걸리는 electric field에 의한 tunneling current로서 다음식으로 표시된다.

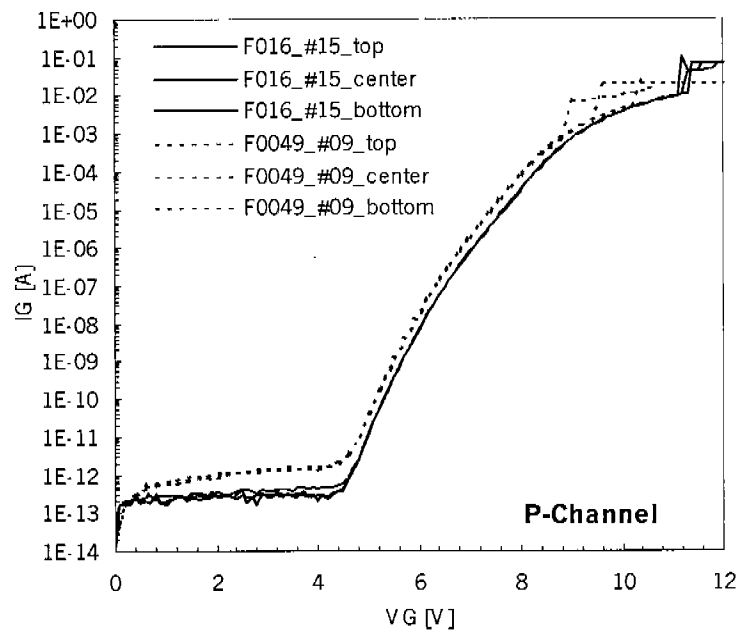
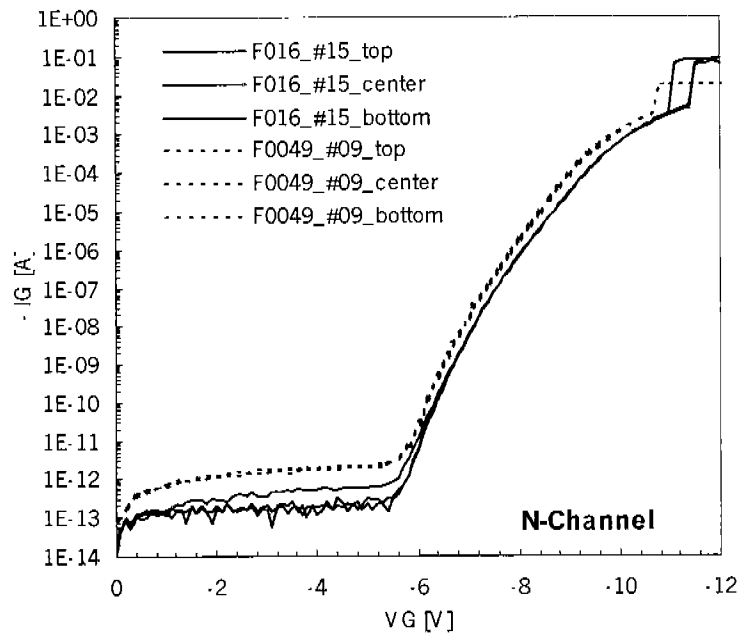
$$J=A_F \epsilon_{ox}^2 \exp(-B/\epsilon_{ox})$$

여기서 A_F 는 1.25×10^{-6} [A/V²] 이고 B 는 240×10^6 V/cm 이다.

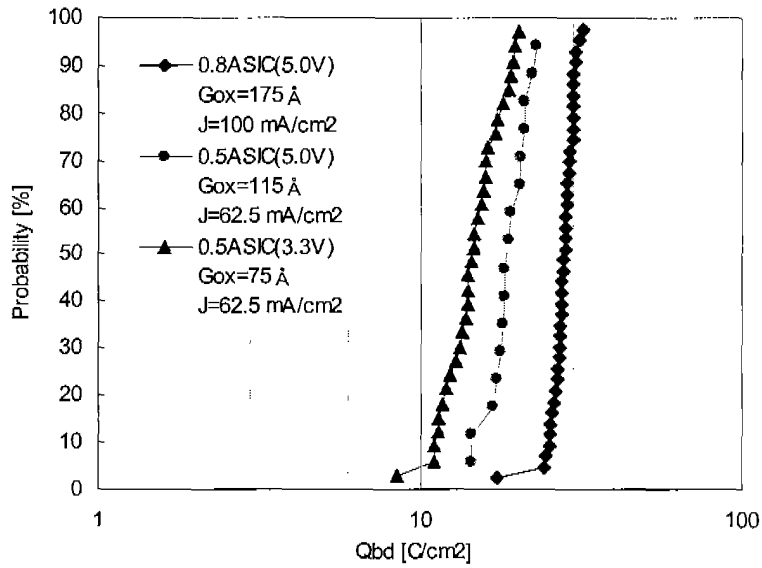
이 식을 이용하면 5.0V ASIC($G_{ox}=110\text{\AA}$)의 경우 F-N Current는 동작전압 + 10% (5.5V)에서 4.6×10^{-15} A/cm² 이며, 3.3V ASIC($G_{ox}=70\text{\AA}$)의 경우 F-N



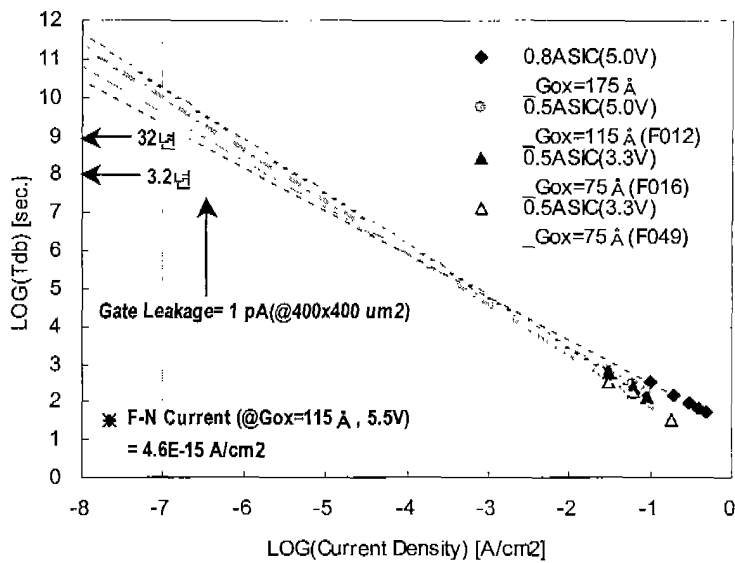
<그림 2-13>. 5.0V용 0.5 μ m CMOS Device의 Gate Oxide TZDB(Time Zero Dielectric Breakdown) 특성_Gate Oxide Thickness=110Å



<그림 2-14>. 3.3V용 0.5 μm CMOS Device의 Gate Oxide TZDB(Time Zero Dielectric Breakdown) 특성_Gate Oxide Thickness=70Å



(a). 절연파괴에 대한 누적 확률



(b). 외삽법에 의한 Life Time의 예측

<그림 2-15>. 0.5 μ m CMOS(5.0V & 3.3V) Device의 Gate Oxide TDDB(Time Dependent Dielectric Breakdown) 특성_CVST(Constant Voltage Stress Test)

Current는 동작전압 + 10% (3.6V)에서 $5.5E-15$ A/cm² 이다. 이 값은 뒤에서 설명할 TDDB 특성에서 gate oxide의 life time을 결정하는 기준으로 사용되기도 한다.

<그림 2-13>과 <그림 2-14>에 $0.5\mu\text{m}$ CMOS ASIC의 TZDB 곡선을 나타내었다. 3.3V 용 gate oxide(70Å)의 경우 n-channel 및 p-channel 모두 양호한 TZDB 특성을 나타내지만(<그림 2-14>), 5.0V 용 gate oxide(110Å)의 경우 n-channel TZDB 곡선의 이상이 관찰된다. 즉 측정 pattern의 gate oxide 특성이 균일하지 않고 일부 영역에서 먼저 tunneling이 일어나고 있으며, n-channel의 경우 electron이 poly gate 쪽에서 injection 되므로 poly와 gate oxide의 표면상태가 균일하지 않기 때문으로 추정되며 향후 개선이 요구된다.

(b). Time Dependent Dielectric Breakdown(TDDB) 특성

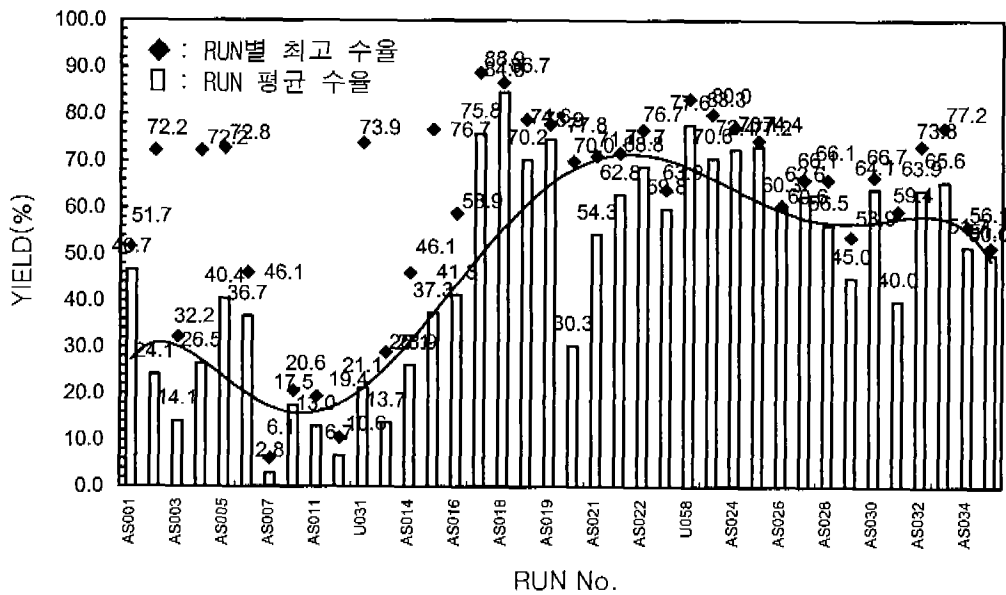
Gate oxide 의 TDDB 특성은 산화막의 신뢰성에 대한 평가로서 test 방법은 CCST(constant current stress test)와 CVST(constant voltage stress test)가 있다. 두 경우 모두 실제 동작 voltage 또는 동작 current에서 stress를 가할 경우 life time이 너무 길어 test 가 불가능하므로 여러 조건의 열악한 current 또는 voltage에서 stress를 가하여 breakdown time(Tbd)를 측정하며 이를 실제 동작 전류 또는 실제 동작 전압으로 외삽하여 life time을 추정한다. <그림 15>에 110Å 및 70Å의 $0.5\mu\text{m}$ CMOS ASIC의 TDDB 특성을 나타내었으며 life time이 10년을 훨씬 넘는 매우 양호한 값을 나타내고 있다.

이상의 결과로부터 5.0V 용 및 3.3V용 $0.5\mu\text{m}$ CMOS ASIC 의 gate oxide 특성 및 신뢰성이 양호함을 확인할 수 있었으며, 10년 이상의 제품 수명을 견딜 수 있음을 예측할 수 있다.

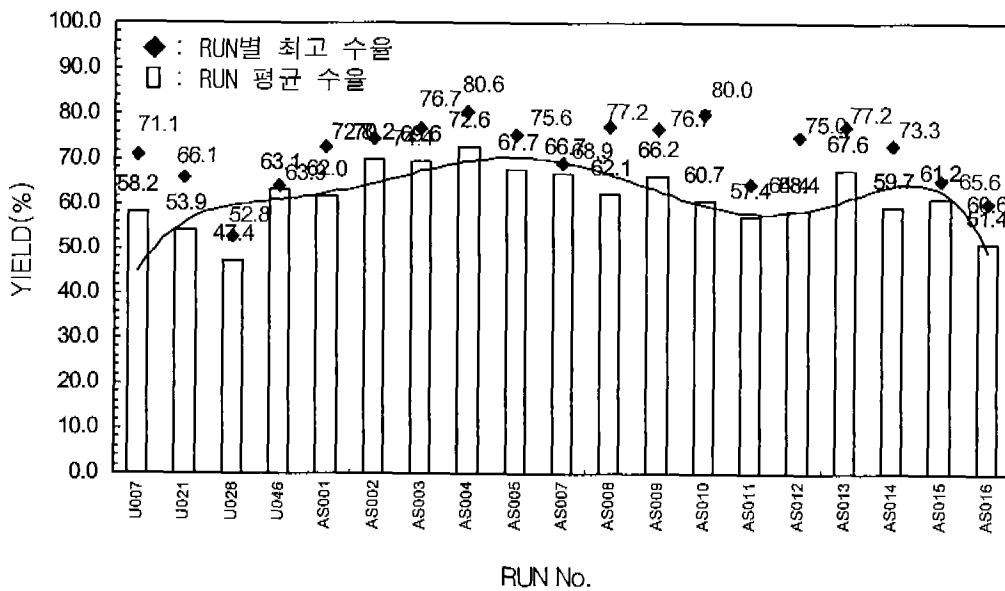
제3절 0.8 μm CMOS ASIC 수율 향상

반도체 종합실험실에서는 연구시설을 활용하여 학계, 연구기관 및 관련 중소기업에 국가 경쟁력 확보차원에서 foundry service를 제공하고 있다. 특히 실리콘 관련 반도체 실험실에서는 0.8 μm CMOS ASIC foundry service를 수행하고 있다.

본 절에서는 근래에 제작 지원된 0.8 μm CMOS ASIC run에 대한 수율 결과를 분석하여 나타내었다. 수율 조사에 대상이된 제품은 S사의 선박용 무전기 주파수 합성기로 사용되는 것으로 0.8 μm CMOS 기술로 개발된 EGC400186 SOG 원판을 이용하여 제작하였다. 상기 SOG 원판 제조공정은 9 단계의 사진전사 공정으로 이루어졌으며, 이 제작된 원판을 적용하여 나머지 5단계의 사진전사공정을 거쳐 ASIC 칩을 제작하고 있다. 0.8 μm 설계규격을 가진 S사의 ASIC 소자는 2002년 한해 동안 총 19 run에서 89 장의 wafer가 투입되어 9,908 개의 양품 칩을 얻어 wafer 장 당 평균 수율은 61.8 %을 나타내었는데 이는 2001년의 평균 수율인 49.4 %보다 12.4% 향상된 결과이다. 이러한 수율 향상에 관련된 내용들은 <그림 2-16>의 2001년도 수율현황과 <그림 2-17>의 2002년도 수율현황에서 더욱 상세하게 볼 수 있다. 그리고 상기 SOG 원판의 ASIC wafer당 칩의 개수가 180개이므로 결국 wafer당 약 22개의 양품 칩을 더 얻을 수 있었으며, 이렇게 향상된 수율은 제작 원가절감 및 제작기간 단축하여 좀더 효율적인 실험실운영에 기여하고 있다.



<그림 2-16> 2001년 0.8 μm CMOS ASIC run 수율 경향



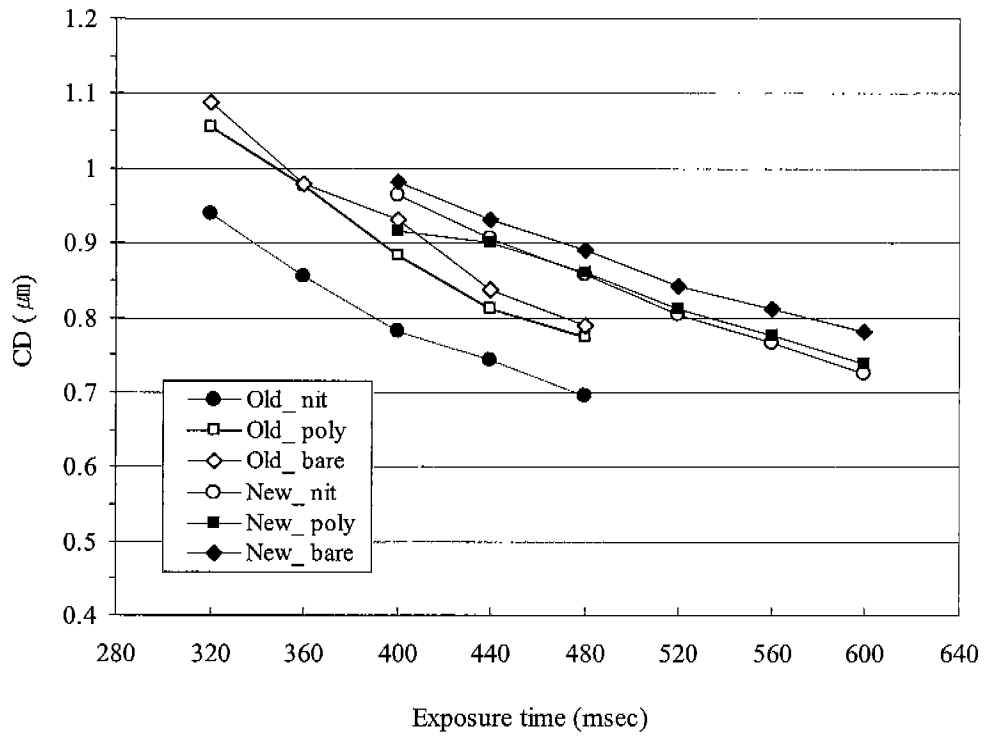
<그림 2-17> 2002년 0.8 μm CMOS ASIC run 수율 경향

제4절 ASIC 공정 기술 개발

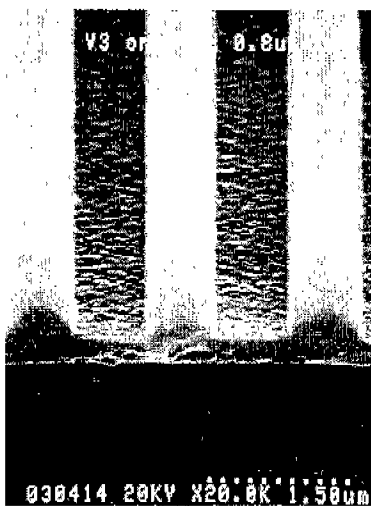
기 개발된 반도체기술인 0.5/0.8 μm CMOS 공정기술을 근간으로 제작되는 ASIC소자의 수율 향상을 도모하기 위해 수율 저하의 요인들을 분석하고, 이와 관련된 각종 공정개선 또는 개발을 하였다. 또한 화합물 관련 반도체기술로 표준화된 GaAs MESFET 소자의 안정화를 위해 일부 단위공정을 개선하였다. 이렇게 개발된 공정기술들은 원내.외 각종 반도체소자 제작에도 활용될 수 있는 결과들이다.

1. 사진전사 공정 기술 개발

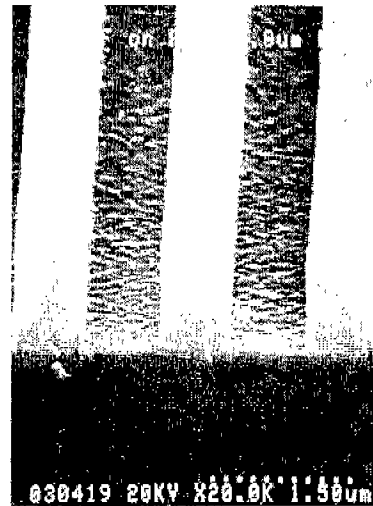
본 실험에서는 0.8 μm CMOS 소자제작과정에서 이루어지는 여러형태의 박막구조상에서 사진전사공정 실험을 실시하였다. 실리콘 반도체 관련 실험실에서는 0.8 μm ASIC 및 MEMS 소자제작 과정에서 g 선 감광막 형성공정이 주로 사용되고 있다. 기 사용중이던 감광막이 수입품이며 감광막에 이물질이 다량 발생하는 문제점이 있어 감광막 교체가 요구되고 있었다. 본 실험에서는 이를 위해 국내에서 생산되는 S사의 감광막을 적용하여 g-line stepper를 적용한 감광막 미세형상 형성실험을 하여 적정조건을 도출하고 그 공정결과를 기 사용중이던 T사의 감광막과 상호 비교하였다. <그림 2-18>에서는 노광시간 변화에 따른 0.8 μm old/new 감광막의 선폭변화를 나타내고 있다. 웨이퍼 기판은 bare Si, nitride, polysilicon 막을 각각 적용하였으며 새로이 도입된 감광막의 공정결과에서 노광시간 변화에 따른 선폭변화가 기존의 감광막 보다 상대적으로 더 완만해져 공정여유도가 좋다는 것을 알 수 있다. 한편 <그림 2-19> 에서 0.8 μm old/new 감광막의 전자현미경 형상단면을 볼 수 있는데 여기서도 새로이 도입된 감광막이 상대적으로 이상적인 직각의 형상을 나타내고 있음을 볼 수 있다. 이러한 결과들로 미루어 보아 새로이 도입된 감광막을 적용하면 보다



<그림 2-18> 노광시간 및 기관에 따른 0.8 μm old/new 감광막의 선 폭크기 변화



(a) Old 감광막 형상



(b) New 감광막 형상

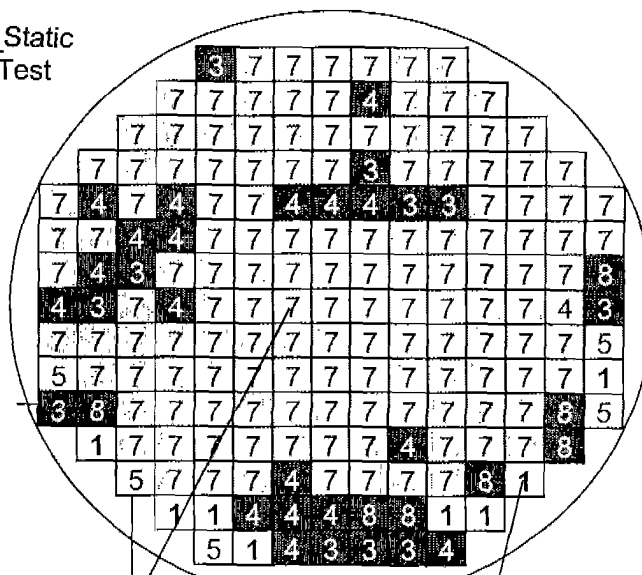
<그림 2-19> 0.8 μm old/new 감광막의 전자현미경 형상단면

성능이 개선된 사진전사공정 결과를 얻을 수 있으며, 이러한 공정개선은 궁극적으로 ASIC 소자제작 수율 향상에 기여할 것으로 판단된다.

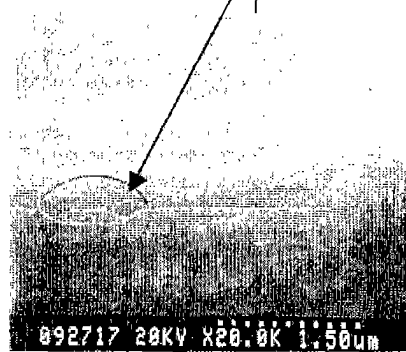
2. 소자 분리막 형성 공정 개선

0.8 μm CMOS ASIC 소자의 불량은 <그림 2-20> (a)에서 볼 수 있듯이 7' fail(stand by leakage)에 의한 것이 많았다. 이러한 불량 원인들을 파악

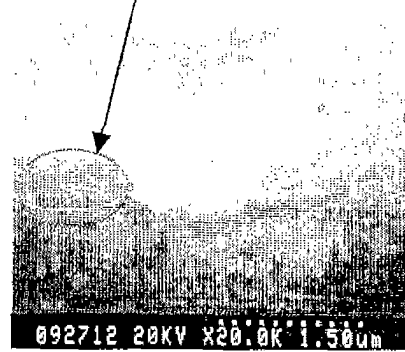
7 : Fail_Idd_Static
 1 : Pass All Test



(a) 저수율 wafer의 수율 map



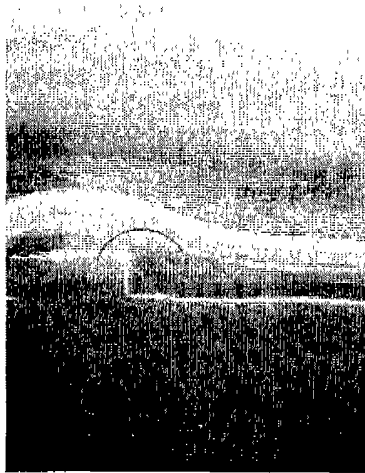
(b) 불량 칩의 field 산화막



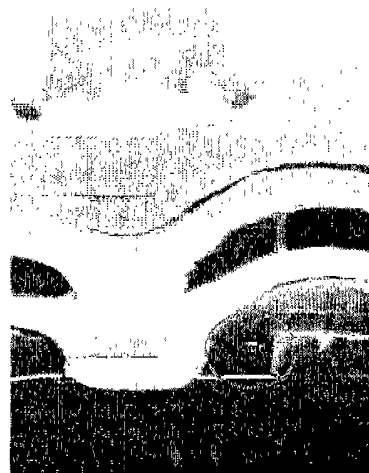
(c) 양품 칩의 field 산화막

<그림 2-20> 저수율 wafer의 수율 map 및 단면 SEM 사진

하기 위해 불량 칩과 양품 칩을 선별하여 단면 SEM 분석을 실시하였으며 그 결과를 <그림 2-20>에 볼 수 있다. <그림 2-20>의 단면 SEM 사진을 통해 먼저 알 수 있는 것은 불량품과 양품칩 사이에는 field oxide 두께 차이가 나타나고 있다는 것이다. 이는 LDD spacer 형성시 산화막 식각공정이 불안정하여 과도한 식각이 발생하여 field oxide가 식각되고 있다는 것과 LOCOS(Local Oxidation of Silicon) isolation 공정시 질화막 식각공정의 불안정으로 식각형상에 따라 field oxide 성장시 산화막 두께가 영향을 받을 수 있다는 것 등이 field oxide 를 얇게하여 불량을 초래하는 요인으로 추정되었다. <그림 2-21>은 LDD spacer 형성시 산화막 over etch 정도에 따른 spacer 산화막의 단면 SEM 사진이다.



(a) Over etch 30%



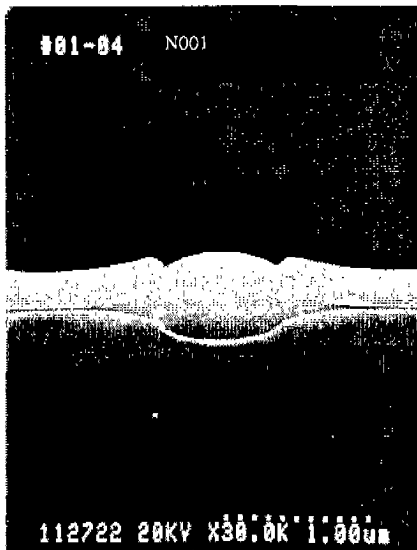
(b) Over etch 20%

<그림 2-21> LDD over etch 정도에 따른 spacer oxide의 단면 SEM 사진

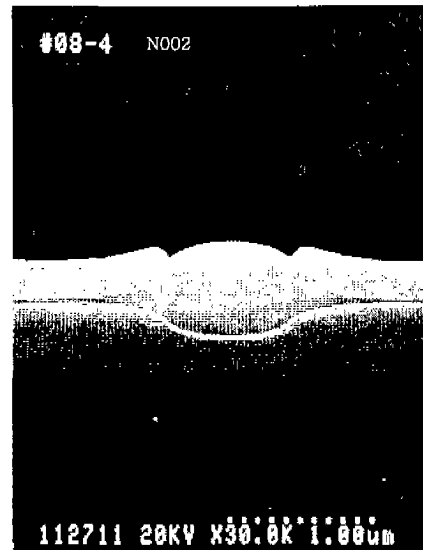
30% over etch 적용한 <그림 2-21>의 (a) 경우에는 과식각으로 게이트 형상위의 산화막이 없어지고 측면의 산화막까지 식각되어 spacer 산화막 형상이 좁아진 것을 볼 수 있으며, 이러한 결과는 결과적으로 영향을 받지

얇아야 될 field oxide 부분이 과식각으로 영향을 받아 얇아지는 요인이 되고 있음을 보여 주고 있다. 반면에 이를 20% over etch 적용한 <그림 2-21>의 (b) 경우에는 적절한 spacer 산화막 형상을 볼 수 있고 field oxide 부분이 30% over etch 것보다 상대적으로 두꺼울 것으로 판단된다.

한편 소자분리영역을 정의하는 LOCOS 공정 과정 중 질화막 식각시 식각된 질화막 형상에 따라 field 산화막 두께가 약간의 차이가 있음을 <그림 2-22>에서 볼 수 있다. 참고로 기존의 질화막 식각공정을 적용하면 약 30 ~ 35° 의 식각 형상을 얻을 수 있었으나, 개선된 신규 질화막 식각공정을 적용하여 약 80 ~ 85° 로 식각 형상이 더욱 수직한 형상을 얻을 수 있었다. <그림 2-22>(a)는 기존 recipe로 질화막을 식각한 후 field oxide 형상이며 성장된 oxide 두께는 약 5,230Å였으며, <그림 2-22>(b)는 개선된 recipe로 질화막을 식각한 후 field oxide 형상이며 성장된 oxide 두께는 5,670Å 정도로



(a) 기존 질화막 식각공정 적용



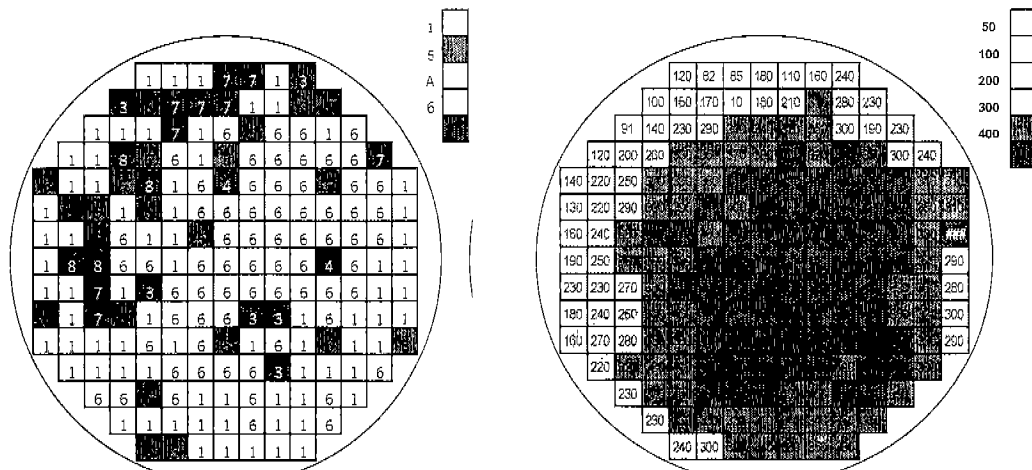
(b) 신규 질화막 식각공정 적용

<그림 2-22> 질화막 식각 공정방법에 따른 field oxide 형상 SEM 단면

상대적으로 두꺼운 field 산화막을 얻을 수 있었다. 이러한 field 산화막 두께를 두껍게 하여 소자분리막 형성공정들을 개선함으로써 stand by leakage 불량 특성을 줄일 수 있었다.

3. Contact 형성 공정 개선

<그림 2-23>에서는 '6' fail 즉 function 불량으로 저 수율을 갖는 wafer 수율 map과 N+ contact 저항 측정값과의 연관성을 보여주고 있다. 즉 '6' fail 부위와 N+ contact 저항이 높은 부위가 일치하는 것을 알 수 있다. 따라서 N+ contact 저항을 낮추어 수율개선을 도모하기 위해 contact 형성공정을 개선하였다. 이는 Ti silicidation 공정방법을 변경함으로써 가능하였으며, 주요 변경내용은 Ti 증착후 열처리 공정을 하는 방법대신 Ti위에 TiN 까지 증착한 후 열처리 공정을 하는 방법으로 Ti silicidation 을 함으로써 N+ contact 저항을 낮출 수 있었으며, '6' fail 을 줄일수 있었다.



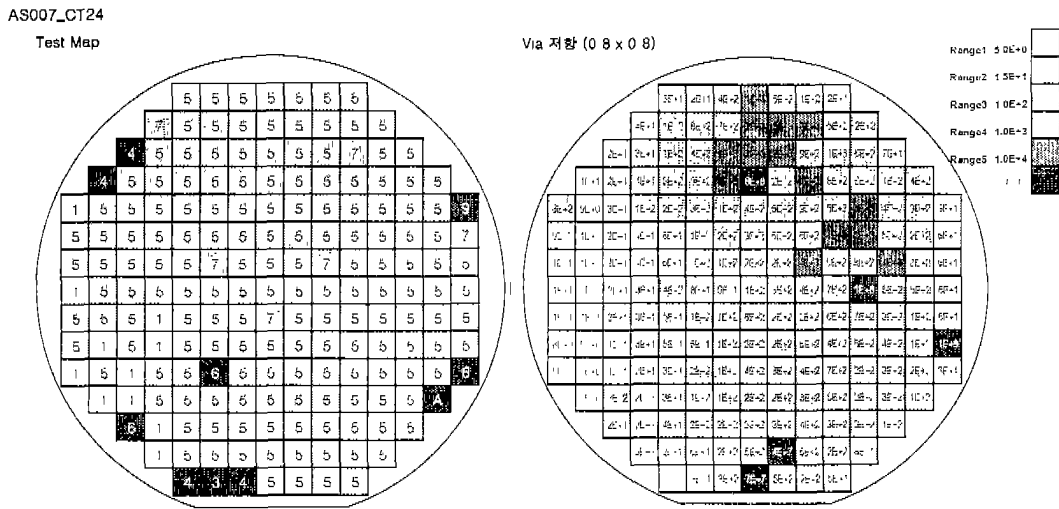
(a) 웨이퍼 수율 map

(b) Contact 저항 map

<그림 2-23> 웨이퍼 수율 및 contact 저항 map

4. Via 형성 공정 개선

<그림 2-24>에서는 '5' fail 즉 function 불량으로 저 수율을 갖는 wafer 수율 map과 Via 저항 측정값과의 연관성을 보여주고 있다. 즉 '5' fail(function) 부위와 Via 저항이 높은 부위가 일치하는 것을 알 수 있다. 그리고 <그림 2-24>에서 선별된 불량 칩과 양품 칩의 via 형상을 단면 SEM 분석하여 그 결과를 <그림 2-25>에 나타내었다. <그림 2-25>(b)에서 보면 과도한 via etch로 인해 metal 1 금속배선 구조인 TiW/Al/TiW layer의 top TiW 막이 모두 식각되고 그 밑의 막인 aluminum 막에서도 부분적으로 식각되어 나타난 비정상적인 형상을 볼 수 있다. 이것이 metal 2 층과의 접촉불량을 초래하여 via 저항이 크게 나타나게 하는 요인으로 판단되었다.

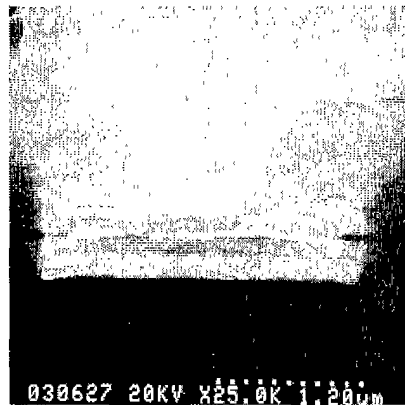


(a) 수율 test map

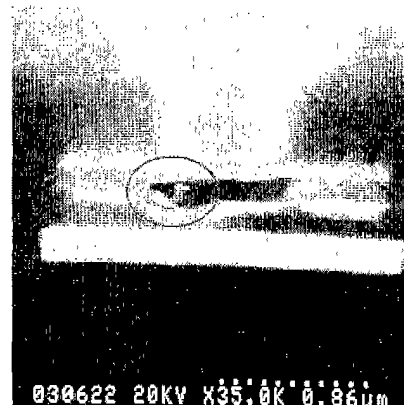
(b) Via 저항 측정 map

<그림 2-24> wafer 수율 및 via 저항 map

따라서 이러한 문제점을 개선하기 위하여 여러 가지 실험이 이루어졌으며 결론적으로 다음의 공정개선을 통해 via 저항을 개선할 수 있었다. 첫째 via etch 시 over etch 시간을 조정하여 과다하게 etch되는 것을 막았다. 둘째 metal 1 금속배선의 top layer를 TiW에서 TiN으로 대체 적용함으로써 via etch 공정과정에서 Al과의 selectivity 향상을 도모하였다. 셋째 SOG etch-back 공정을 개발 적용하여 잔유 SOG 물질에 접촉저항 불량요인을 제거하였다.



(a) 양품 칩 단면



(b) 불량 칩 단면

<그림 2-25> Via 단면 SEM 사진

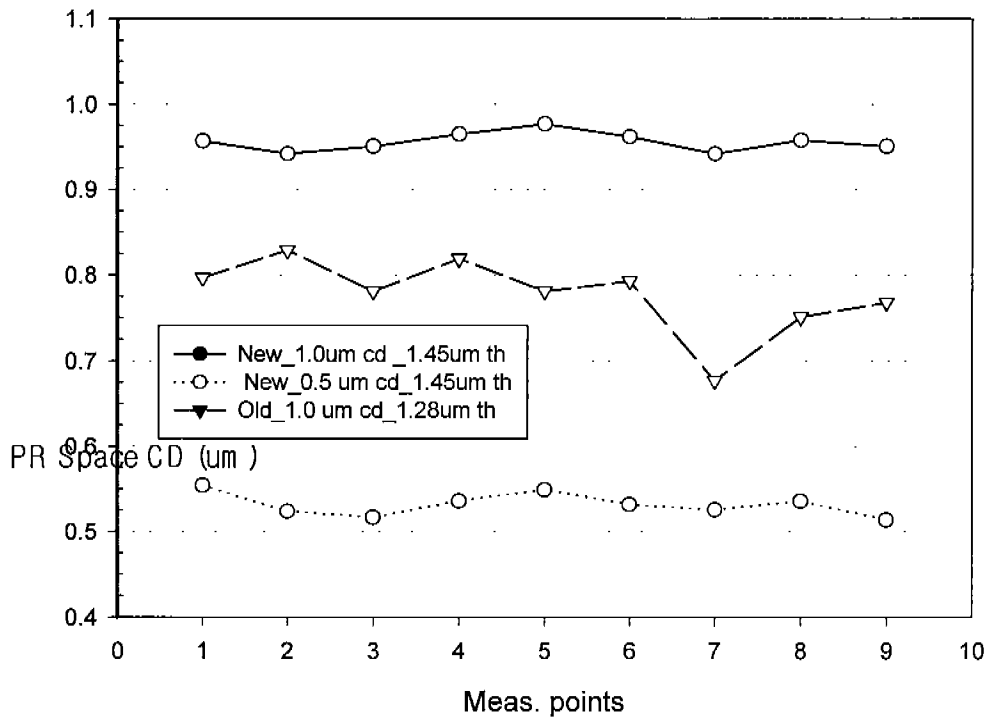
5. 화합물 반도체 MMIC 공정기술 개선

화합물 관련 반도체기술로 표준화된 GaAs 0.5 μm MESFET 소자 제작의 안정화를 위해 일부 단위공정을 개선하였다. 아울러 후공정 분야도 검증하여 공정의 안정화를 도모하였다. 이렇게 개선된 공정기술들은 원내·외 GaAs 0.5 μm MESFET 반도체소자 제작 등에 활용될 수 있는 결과들이다.

가. 게이트 형성 사진전사공정 개선

본 실험에서는 화합물반도체 MMIC 소자제작에서 게이트 정의는 가장 중요한 공정단계중 하나이다. 특히 metal lift off 형식으로 게이트를 형성시키는 공정방법에서 AZ5214E image reversal 공정은 핵심공정 단계이다. 본 실험에서는 기존에 수행해 오던 AZ5214E image reversal 공정 개선을 통해 lift off 공정에 적합한 감광막 프로파일의 적정화 와 감광막 선평제어 능력 확보, 그리고 공정 여유도에 있어 향상을 이루었다. 본 실험에서 고려했던 변수는 노광시간 및 노광초점, 각종 열처리 온도 및 시간, 감광막 도포 두께 등 이었으며, 재현성 확보를 위한 자동 현상방법이 적용되었다. 실험결과 열처리 조건이 가장 민감하게 감광막 프로파일 및 공정 여유도에 영향을 주는 변수임을 알 수 있었으며, 기존의 공정조건을 적용했을때는 노광장비인 i-line 스테퍼장비에서 한계 최소 노광시간으로 적용하고 있으나 1.0 μm 선평이 0.8 μm 정도로 작게 정의되고 있다는 점과 선평 재현성이 좋지 않아 0.5 μm 선평은 정의되지 않는 경우도 있다는 점이 문제점이었다. 그러나 <그림 2-26> 에서 볼 수 있듯이 신규 개발된 공정에서는 상기 문제점을 모두 개선하여 0.5/1.0 μm 게이트 형상의 선평 재현성을 확보하고 있음을 알 수 있다. 또한 <그림2-27>에서는 0.5/1.0 μm 신.구 게이트 형상의 전자현미경사진을 볼 수 있는데 여기서도 금번에 개발된 공정을 적용한

게이트 형상에서 금속 lift-off 공정 적용에 바람직한 음성각의 형상을 갖고 있음을 알 수 있다.



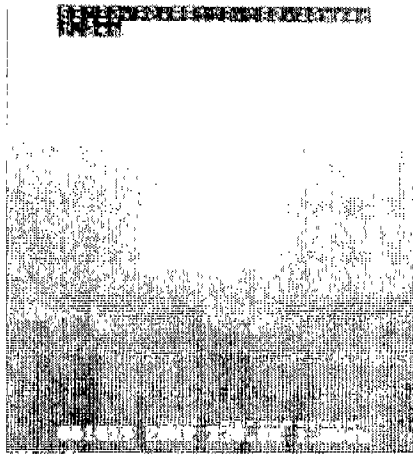
<그림 2-26> 신.구 공정조건에 따른 0.5/1.0 μm PR 선폭 균일도

(신 공정조건 ; - PR 두께 ; F.S.S → 4800 rpm

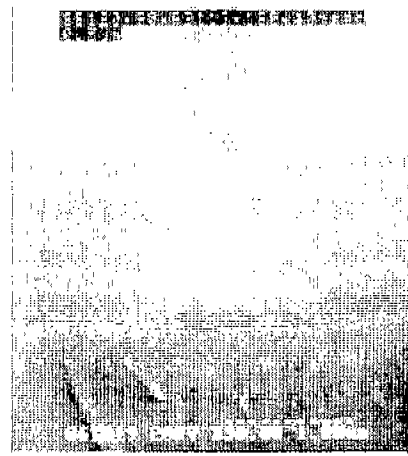
- SB ; 105C, 60sec
- M.Exp. time ; 70 msec
- RB ; 110C, 90sec
- Dev ; Auto, 70sec)

(구 공정조건 ; - PR 두께 ; F.S.S → 5800 rpm

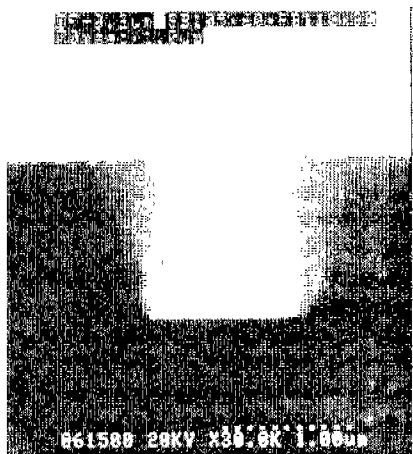
- SB ; 120C, 90sec
- M.Exp. time ; 40 msec
- RB ; 113C, 180sec
- Dev ; Manual, 70sec)



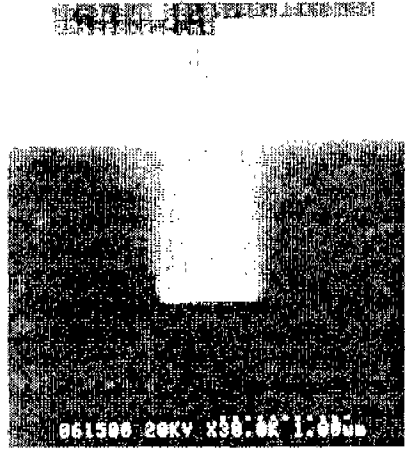
(a) 구공정조건 1.0 μm gate 형상



(b) 구공정조건 0.5 μm gate 형상



(c) 신공정조건 1.0 μm gate 형상



(d) 신공정조건 0.5 μm gate 형상

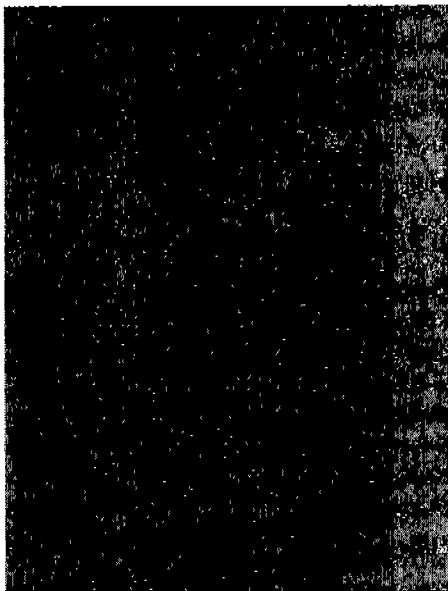
<그림 2-27> 신.구 공정조건에 따른 0.5/1.0 μm PR gate Profile

나. PECVD 질화막 특성 개선

화합물 MMIC 제작공정 과정에서 PECVD 질화막 증착후 질화막이 균열되는 현상이 종종 발생하는 문제점이 있었다. 이러한 현상은 질화막 특성이 900℃ 고온 열처리 공정 후 발생하는 stress에 민감하게 반응하는 것에 기인되어 나타나는 것으로 판단되었다. 따라서 이러한 문제점을 개선하기 위해 PECVD 질화막 증착 공정 개선실험을 하였다. 공정실험은 PECVD 질화막 증착 시 NH₃ gas flow와 증착 온도를 공정변수로 변화시켰으며, 증착된 질화막의 crack 발생 유무 및 굴절률, 식각률 등을 파악하였다. NH₃ gas flow와 증착 온도를 여러 가지 조건으로 split하여 window test를 하였으며 주요 결과를 <표 2-10>에 나타내었다. <표 2-10>에 나타난 바와 같이 기존 공정조건에서 증착된 질화막은 30초간 RTA 에 의한 activation 후 crack이 발생되었으나, NH₃ gas flow를 기존 6 sccm에서 16 sccm으로 조정하고 증착 온도를 260℃에서 300℃로 변화하였을 때 30초뿐 만이 아니라 300초 동안 RTA 에 의한 activation 진행하여도 crack이 발생하지 않았다. 그리고 질화막 특성을 보면 증착률은 기존 공정보다 분당 약 10Å 정도 낮으나, 증착 균일도 1% 정도, 굴절률 1.8 정도로 기존의 것보다 비슷하거나 양호한 결과를 보이고 있다. 단, 식각률이 기존 공정을 적용한 질화막 보다 빠르고, 6:1 BOE 용액을 적용한 습식식각 균일도가 상대적으로 악화된 것으로 나타났다. 그러나 화합물 MMIC 제작 공정 흐름상 activation 공정 진행 후 질화막은 sheet-off 하므로 크게 문제가 되지 않을 것으로 판단된다. <그림 2-28>는 기존 공정조건과 개선된 공정조건에 따라 증착한 질화막의 균열 상태를 볼 수 있는 광학 현미경 사진이다. 기존 공정조건에서는 막에 균열이 발생되고 있으나 개선된 공정에서는 이러한 균열 현상을 볼 수 없다. 따라서 이러한 개선된 PECVD 질화막 증착공정은 화합물 MMIC 제작 공정의 안정화에 기여할 것으로 판단된다.

<표 2-10> 화합물반도체 MMIC의 PECVD 질화막 증착 공정조건에 따른 막질 특성

증착 조건	두께(Nanospec)			굴절률	식각률		비 고
	Å	증착율 /min	Uni. %		Å/sec	Uni. %	
<기존 공정조건> SiH4:NH3:He:N2 80:6:700:300 260℃, 850mT, 50W	2021	84.2Å /min	1.56 %	1.82	26.1	2.59 %	900℃, 30sec RTA시 film crack 발생함
<개선 공정조건> SiH4:NH3:He:N2 80:16:700:300 300℃, 850mT, 50W	1749	72.9Å /min	1.06 %	1.81	33.4	16.9 %	900℃, 30 sec 및 300sec RTA시 film crack 발생 안함 습식식각 균일도 불량



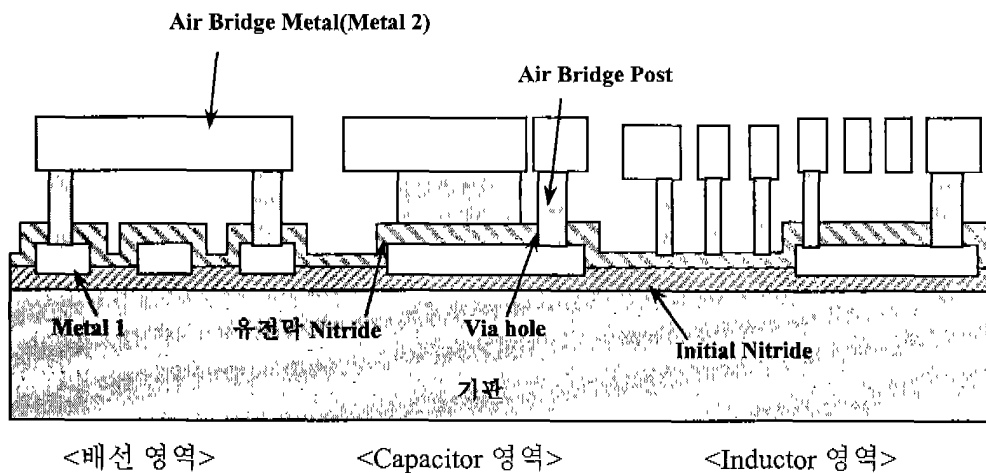
(a) 기존 공정적용 질화막(균열있음) (b) 개선 공정적용 질화막(균열없음)

<그림 2-28> 질화막 증착 공정방법에 따른 균열 발생 유무

다. 후공정 검증 실험

화합물 반도체 MMIC 후공정의 metal, lift-off, contact, air-bridge 공정의 design limit를 확인하기 위한 test mask를 제작하였으며, run 진행 및 측정 결과를 기술하고자 한다. Test mask는 metal sheet 저항 평가, via contact 저항 평가 및 metal 1 layer와 metal 2 layer(gold plating 공정)의 design limit를 확인하기 위하여 제작되었다.

화합물 반도체 MMIC 후공정의 진행 방법은 다음과 같다. 화합물반도체 웨이퍼위에 PECVD nitride를 1000Å 증착한 후 metal 1 layer를 photolithography 작업한다. 350Å target으로 nitride를 건식식각한 후 electron beam evaporator 장비를 이용하여 metal 1 layer(Ti / Pt / Au= 600Å / 400Å / 4000Å)를 증착하고, acetone에서 lift-off 공정을 진행하여 metal 1 pattern을 형성한다. Photoresist(PR)를 제거한 후 capacitor로 사용될 유전막(PECVD nitride 1000Å)을 증착하고, via photo 및 nitride wet etching으로 metal 배선이 연결될 via hole 부분의 nitride를 제거한 후 PR을 제거한다.



<그림 2-29> 화합물 MMIC 후공정 Test Sample 예상 단면도

다음 air-bridge metal(metal 2) 을 지탱하기 위한 air-bridge post를 형성하기 위하여 $\sim 1.1\mu\text{m}$ 의 PR을 도포한 후 노광하고, 연속하여 metal 2(Au) plating 시 배선 및 seed 역할을 할 base metal(Ti / Ni / Au = 30\AA / 120\AA / 20\AA)을 electron beam evaporator로 증착한다. 그 위에 다시 $\sim 3.3\mu\text{m}$ 의 PR을 도포한 후 air-bridge metal(metal 2)을 정의하고, Au plating으로 $\sim 3\mu\text{m}$ 의 gold를 성장시킨다. Lift-off 공정으로 PR과 함께 원치않는 영역의 base metal을 제거하여 화합물 MMIC 후공정을 완료한다. 이상의 방법으로 제작된 test sample의 예상 단면 구조를 <그림 2-29>에 나타내었다.

<표 2-11>에 제작된 sample에서 측정된 metal layer의 sheet resistance 값을 나타내었다. Metal layer의 저항값이 너무 작아 일반적인 장비로는 VDP(Vander Pour) pattern에서 sheet 저항을 측정할 수는 없으며, 길이가 긴 BAR pattern에서 sheet 저항을 측정할 수 있었다. Metal 1의 Rs는 $\sim 90\text{ m}\Omega/\text{sq.}$ 의 값을 나타내며, $1\mu\text{m}$ 이하의 width는 open현상이 관찰되어 $1\mu\text{m}$ 이하의 lift-off 공정은 define 하기 어려움을 간접적으로 알 수 있다. 마찬가지로 metal 2 Rs는 $\sim 23\text{ m}\Omega/\text{sq.}$ 이며, $2\mu\text{m}$ 미만의 width는 lift-off 공정으로 define 하기 어려움을 알 수 있다. 한편 metal 2 width가 작아질수록 Rs가 작아지는 이유는 gold plating 시 측면으로 metal width가 증가하는 portion이 커지기 때문이다.

<표 2-12>에 via hole의 contact 저항 측정값을 나타내었다. Via 저항값이 작아 kelvin pattern에서는 측정되지 않으며, 1024개의 hole이 연결되어 있는 string pattern에서 측정한 값이므로 측정값에는 배선을 위한 metal의 sheet저항이 포함되어 있다. Hole size가 $0.5\mu\text{m}$ 이하인 경우 via pattern이 제대로 define이 되지 않아 open이 발생하였으며, $0.8\mu\text{m}$ 이상의 hole size에서는 $100\text{ m}\Omega/\text{ea}$ 이하의 양호한 저항값을 나타내었다.

<표 2-11> 화합물반도체 MMIC의 Metal Layer Sheet Resistance 측정 결과

(a). Metal 1 Sheet Resistance

(단위 : Ohm/sq.)

구분	Size[μm]	비고	Avg.	Min.	Max.	Unf.[%]	비고	
1	VDP	10 × 10	측정불가					
2	BAR	10 × 1000	100 sq	0.094	0.091	0.100	2.55	
3		5 × 1000	200 sq	0.085	0.082	0.091	2.91	
4		2 × 1000	500 sq	0.083	0.078	0.093	3.89	
5		1 × 1000	1000 sq	0.108	0.090	0.126	9.80	48% Fail
6		0.8 × 500	625 sq	All Fail				
7		0.5 × 500	1000 sq					

(b). Metal 2(Air Bridge Metal) Sheet Resistance

(단위 : Ohm/sq.)

구분	Size[μm]	비고	Avg.	Min.	Max.	Unf.[%]	비고	
1	VDP	10 × 10	측정불가					
2	BAR	10 × 1000	ABP width=9	0.023	0.021	0.025	4.71	100 sq
3		5 × 1000	ABP width=4	0.013	0.011	0.015	7.82	200 sq
4		2 × 1000	ABP width=4	0.007	0.005	0.009	14.19	500 sq
5		1 × 1000	ABP width=4	All Fail				1000 sq
6		0.8 × 500	ABP width=4					625 sq
7		0.5 × 500	ABP width=4					1000 sq

<표 2-12> 화합물반도체 MMIC의 Via Resistance 측정 결과(단위 : Ohm/ea.)

구분	Size[μm]	Avg.	Min.	Max.	Unf.[%]	비고	
1	Via String (1020 ea)	7.0 x 7.0	0.059	0.056	0.062	3.20	
2		5.0 x 5.0	0.068	0.064	0.071	2.98	
3		3.0 x 3.0	0.079	0.075	0.097	5.79	
4		2.0 x 2.0	0.085	0.081	0.089	2.86	
5		1.0 x 1.0	0.101	0.097	0.105	2.50	
6		0.8 x 0.8	0.109	0.106	0.113	2.16	
7		0.5 x 0.5	0.137	0.127	0.144	3.20	19% Fail
8		0.4 x 0.4	All Fail (Open)				
9		0.3 x 0.3					
10		0.2 x 0.2					

<표 2-13> 화합물반도체 MMIC의 Metal Layer Design Limit Test

(a). Metal 1 Open Test

구분		Width x Space[μm]	측정결과
1	M1 Open 12x12 finger	5 x 10	All Pass
2		3 x 10	All Pass
3		2 x 10	All Pass
4		1 x 10	All Pass
5		0.8 x 10	5% Fail (Open)
6		0.5 x 10	All Fail (Open)

(b). Metal 1 Short Test

구분		Width x Space[μm]	측정결과
1	M1 Short (12x12 finger)	5 x 5	All Pass
2		5 x 3	All Pass
3		5 x 2	All Pass
4		5 x 1	50% Fail
5		5 x 0.8	All Fail (Short)

(c). Metal 2 Open Test

구분		Width x Space[μm]	측정결과
1	M2 Open 12x12 finger	5 x 10	All Pass
2		3 x 10	All Pass
3		2 x 10	All Pass
4		1 x 10	All Fail (Open)
5		0.8 x 10	All Fail (Open)

(d). Metal 2 Short Test

구분		Width x Space[μm]	측정결과
1	M1 Short (12x12 finger)	5 x 5	All Pass
2		5 x 3	90% Fail (Short)
3		5 x 2	All Fail (Short)
4		5 x 1	
5		5 x 0.8	

<표 2-13>에 metal 1과 metal 2의 width와 space에 대한 design limit를 test한 결과를 나타내었다. <표 2-13>(a)에 metal 1 width의 경우 $1\mu\text{m}$ 까지 lift-off 공정에 의해 define 됨을 보여주고 있지만, <표 2-11> (a)에서 metal 1의 길이가 긴 경우 $1\mu\text{m}$ 의 선폭이 define 되기 어려움을 나타내고 있다. Metal 1의 space의 경우 $1\mu\text{m}$ 이하에서는 모두 short가 발생하였으며, metal 1간 간격을 $2\mu\text{m}$ 이상 떨어뜨려야 함을 알 수 있다. 마찬가지로 metal 2의 width에 대한 open test의 경우 $1\mu\text{m}$ 이하의 경우 모두 open 현상이 관찰되어 design limit가 $2\mu\text{m}$ 임을 알 수 있으며, 이로부터 선폭이 $2\mu\text{m}$ 이상이 되어야만 gold plating이 제대로 됨을 알 수 있다. 한편 metal 2의 space는 최소 $5\mu\text{m}$ 이상 떨어뜨려야만 gold plating에 의하여 metal 2간 short가 발생함을 방지할 수 있다.

이상에서 화합물 MMIC 제작시 후공정에 대한 design limit를 확인할 수 있었다. Metal 1의 sheet 저항은 90 ohm/sq. , metal 2의 sheet 저항은 $\sim 23\text{ ohm/sq.}$ 이고 metal 1과 metal 2사이의 via 저항은 $0.8\mu\text{m}$ hole size에서 $\sim 100\text{ ohm/ea.}$ 의 값을 나타내었다. Metal 1의 경우 width/space가 $2\mu\text{m}/2\mu\text{m}$ 이상이 되어야 하며, via hole size는 $0.8\mu\text{m}$ 이상, metal 2의 width/space는 $2\mu\text{m}/5\mu\text{m}$ 이상이 되어야 함을 확인할 수 있었으며, 이러한 결과들은 화합물 반도체 MMIC 후공정 설계시 고려되어야 할 것이다.

제5절 결 론

본 연구에서는 5.0V 와 3.3V 동작전압을 갖는 0.5 μm CMOS 소자기술을 개발 완료하였다. CMOS 소자의 전기적인 특성과 process parameter, SPICE parameter, electrical parameter 등을 추출하여, design rule과 함께 설계지침서를 제시함으로써 설계자가 급변 개발된 0.5 μm CMOS 공정 및 소자를 이용하여 제품을 설계할 수 있는 기반을 마련하였다.

0.8 μm ASIC 공정개선을 통해 얻은 2002년 한해 동안의 0.8 μm 설계규격의 ASIC 소자 평균 수율은 61.8 %로 이는 2001년의 평균 수율인 49.4 %보다 12.4% 향상된 결과를 나타내고 있다. 이를 위해 개선 개발된 주요 공정기술은 다음과 같다. 사진전사공정기술에 있어 기 사용중이던 T사의 감광막을 국내에서 생산되는 S사의 감광막으로 대체하고 이에 따른 적정 공정조건을 추출하여 공정여유도를 향상시켰으며, 소자분리막 형성기술에 있어서 field oxide의 두께 thinning 현상을 개선하기 위해 LDD spacer 형성시 산화막 식각공정 과 nitride 건식식각 공정의 적정화를 도모하였다. 또한 contact 및 via 접촉저항의 개선을 도모하기 위해 Ti에서 Ti/TiN 구조로의 전환한 Silicidation 공정 과 top barrier 금속층을 TiW에서 TiN으로 대체한 금속배선 공정을 각각 개발하였다. 한편 화합물 반도체 MMIC 제작 공정의 안정화를 위해 게이트 감광막 형상 정의 능력 및 공정 여유도를 각각 개선하였으며, PECVD 질화막 균열 문제를 관련 공정개발을 통해 개선할 수 있었다. 아울러 후공정에 대한 design limit를 확인하였다. Metal 1의 sheet 저항은 90 ohm/sq., metal 2의 sheet 저항은 ~23 ohm/sq.이고 metal 1과 metal 2사이의 via 저항은 0.8 μm hole size에서 ~100 ohm/ea.의 값을 나타내었다. Metal 1의 경우 width/space가 2 μm /2 μm 이상이 되어야 하며, via hole size는 0.8 μm 이상, metal 2의 width/space는 2 μm /5 μm 이상이 되어야 함을 알 수 있었다.

이상의 연구결과들은 궁극적으로 각종 고부가가치 및 첨단 국책 연구과제 수행에 기반기술로서 활용될 수 있을 뿐만 아니라 외부 foundry 지원범위 확대 및 효율적인 반도체 종합실험실 운영에도 직·간접적으로 기여할 수 있을 것으로 판단된다.

제3장 반도체 시설 운영기술 개발

여백

제3장 반도체 시설 운영 기술 개발

제1절 서론

반도체 foundry 운영 사업 중 공정운영 기술 분야는 0.8 μ m 및 1.0 μ m 급 실리콘 베이스 어레이 원판 시험 제작기술을 바탕으로 반도체 종합실험실 연구시설을 활용하여 소량의 원판을 생산할 수 있도록 서비스 기술을 확보하고, 추가로 확보된 0.5 μ m CMOS 소자제작 기술을 바탕으로 원내.외 각종 반도체 소자 및 공정들을 지원하였다. 본 장에서는 먼저 '02년도에 지원된 원내.외 각종 반도체 소자들에 대한 현황을 통계화된 자료를 활용하여 나타내었으며, 원 내.외의 Foundry 서비스를 위한 실험실의 공정운영은 베이스 어레이 제작에 적용되었던 전 공정(front-end process)과 후 공정(back-end process)으로 구분하였다. 실험실은 주 5일(월~금) 운영을 원칙으로 실시하고 공정작업이 없는 주말에는 예방정비를 수행함으로써 장비가동율을 높여 연구생산성을 향상시킬 수 있었다. 특히 '02년도에 수행된 반도체 종합실험실의 주요 공정장비에 대한 수리현황을 조사하였다. 실리콘 공정장비는 총 24 대, 화합물 공정장비는 총 17 대를 각각 그 대상으로 하여 고장유형별로 고장건수와 수리시간을 분석하고 고장유형에 따른 대비를 사전에 하여 장비 가동율을 향상시키도록 하였다. 또한 평일 야간과, 주말, 그리고 연휴 기간에는 최소한의 공조/유틸리티 장비가동으로 실험실 운영비를 최소화 하였으며, 무엇보다도 특별한 안전사고가 없었던 점은 각종 공정 및 시설장비 작동, 특수가스 및 오.폐수, 유독성 화학약품관리 등 각종 안전에 관련된 업무수행이 규정대로 안전하게 수행된 결과라 하겠다. 한편 신규 장비도입에 따른 각종 유틸리티 공사 및 안전시설 보완작업도 일정대로 수행함으로써 연구환경 구축 기반을 조성

하였다. 그리고 각종 원내외 반도체 소자 및 공정제작지원을 위해 소요되는 직, 간접 재료의 수급 현황을 분석하고 재고를 관리하여 업무수행에 차질이 없도록 운영하였다.

제2절 반도체 종합실험실 운영

1. 반도체 실험실 공정운영

반도체종합실험실 공정운영은 실리콘반도체 관련 실험실 및 화합물 반도체 관련 실험실로 구분하여 운영하고 있다. 실리콘 반도체 관련 실험실에서는 0.5/0.8 μ m CMOS 공정기술을 바탕으로 국책 연구과제의 일환으로 수행중인 고부가가치 및 첨단소자인 전력소자, SiGe 소자, MEMS 소자등 다양한 R&D 소자들에 대한 제작실험 및 연구가 이루어졌으며, 기 확보된 공정기술을 바탕으로 0.8 μ m ASIC foundry 서비스등 비롯한 다양한 소자제작 및 공정수행 등 원외지원도 병행하여 이루어졌다. 화합물 관련 반도체실험실에서는 GaAs MMIC 소자등과, 각종 광관련 소자등이 실험제작 및 연구되었으며, 원외로는 GaAs MMIC등 다양한 소자 및 공정들이 제작지원 되었다.

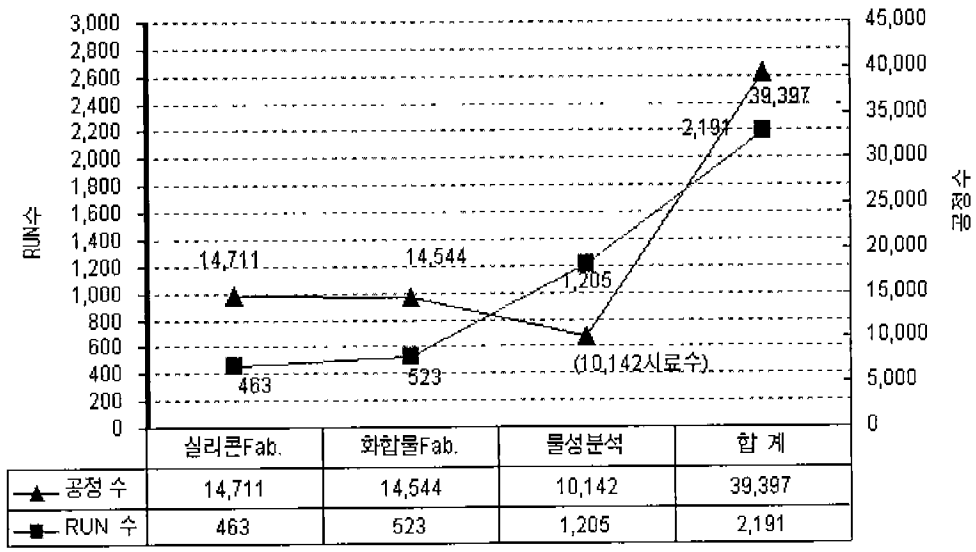
가. 원내 반도체 소자 및 공정 제작지원

2002년 실리콘, 화합물 관련 반도체실험실 및 불성분석 실험실에서 수행한 각종 지원(Fab-in/Fab-out) 결과를 <표 3-1>과 <그림3-1>에 나타내었다. 실리콘 관련 실험실에서 수행한 run 및 wafer 수 그리고 step 수는 각각 463 run, 5,205 wafer, 14,711 step 이었다. Run 의 종류는 30 step 이하는 unit run, 31~80 step은 module run, 80 step 이상은 Full run으로 구분하여 운영하고 있다. module run의 분포가 상대적으로 많게 나타나고 있어 순수한 R&D 분야에 많은 업무수행이 이루어졌던 것에 기인된 결과로 판단된다. 한편 화합물 관련실험실 경우에는 523 run, 649 wafer(1,520 조각), 14,544 step을 수행한 것으로 나타났다. Run 의 종류는 상대적으로 full run 에 많은 비중을 차지하고 있는데 이는 종료과제가 많기 때문에 나타난 결과로

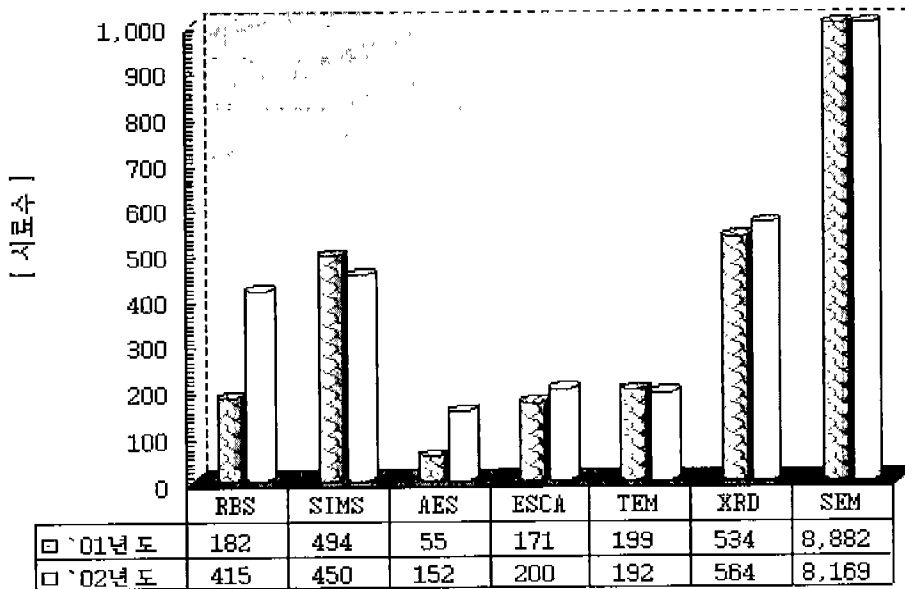
판단된다. 또한 실리콘 관련 실험실에 비해 웨이퍼 수는 적으나 run 수가 상대적으로 많은 것은 run당 구성되는 웨이퍼 수가 적기 때문에 나타난 결과이다. 그리고 물성분석실험실에는 1,205 의뢰 건수에 10,142 시료를 물성분석 지원하였다. <그림 3-2>에서는 물성분석지원 장비별 이용도를 나타낸 것으로 SEM 장비의 이용률이 가장 높고 AES장비 이용도가 상대적으로 가장 낮은 것으로 나타났으며, 아울러 2001년도 대비 각 장비에 대한 이용 증가율 측면을 살펴보면 다른 장비들에 비해 상대적으로 RBS, AES 장비가 많이 높아진 것을 알 수 있다.

<표 3-1> '02년도 반도체 실험실 기술지원 현황

구분 소자별		Fab.-in(A)			Fab.-out(B)			점유율 (Out step/총 step)(%)
		Run수	Wafer수 ()조각	Step수	Run수	Wafer수 ()조각	Step수	
실리콘 관련 실험실	Full run	30	349	3,377	36	391	4,170	28.3
	Modular run	124	1,068	5,983	119	957	5,643	38.4
	Unit run	312	4,276	5,213	308	3,857	4,898	33.3
	소 계	466	5,693	14,573	463	5,205	14,711	100
화합물 관련 실험실	Full run	72	94(184)	7,469	62	87(137)	6,243	43.0
	Modular run	129	95(416)	7,145	108	80(329)	5,650	38.8
	Unit run	380	559(1,142)	3,269	353	482(1,054)	2,651	18.2
	소 계	581	748(1,742)	17,883	523	649(1,520)	14,544	100
합 계		1,047	6,441 (1,742)	32,457	986	5,854 (1,520)	29,255	
물성분석 실험실		1,205(건수), 10,142(시료수)						



<그림 3-1> '02년도 실험실별 지원현황



<그림 3-2> 물성분석 장비별 이용 분포도

나. 원외 반도체 소자 및 공정 제작지원

기 확보된 0.5/0.8 μm CMOS 공정 및 GaAa MMIC 소자제작기술을 바탕으로 원외 벤처/중소기업 및 학계, 연구기관에 각종 반도체 소자제작 및 공정지원을 수행하였다. 2002 년도 원외지원은 알에프세미(주)에서 의뢰한 JFET 소자개발 등 23 개 업체나 기관에 97 건이 이루어졌으며, <표 3-2> 에서는 원외 반도체 지원 업체중 대표적인 사례를 나타낸 것이다.

<표 3-2> 원외 반도체 제작 지원 사례

지원 업체명	지원 제품	지원업체 현황	지원내용	지원효과	비고
(주)삼영이앤씨	선박용 무선통신기에 사용되는 주파수합성기	선박통신장비를 제조하는 회사로서 반도체 Chip을 제조할 시설이 없음	0.8 μm CMOS ASIC 기술을 이용하여 10,000 개 칩 제작 지원	자사 고유의 ASIC 칩 개발이 가능함에 따라 수입대체 효과 및 약 50%의 원가 절감 효과를 얻을 수 있어 경쟁력 향상	실리콘 관련 분야
(주)알에프세미	휴대폰에 적용되는 마이크 폰 및 RF 집적회로 소자	RF 관련 소자를 설계 및 제작 공급하는 벤처회사로서 반도체 소자를 제조할 시설이 없음	0.8 μm JFET 소자제작 기술을 이용하여 288 장의 웨이퍼를 제작 지원	자사 고유의 RF IC 칩 개발이 가능함에 따라 고부가가치 제품 개발로 수입대체 효과 및 기술 경쟁력 향상	
(주)동진세미켵	반도체 소자 제조 공정에 사용되는 i 선 감광막 개발	감광재료 생산업체로서 이에 필요한 노광 장비, 현상 장비, 청정시설 등이 갖추어지지 않음	노광 및 현상 공정을 40~50 회에 걸쳐 1,500 장의 시료를 제작 지원함	초기시설 투자 비용 (약 40~50 억원) 부담없이 저렴한 공정 비용으로 조기 개발이 가능하게 됨에 따라 기술 경쟁력이 향상됨	

(주)파이오닉스	광 소자 및 PCB 기판 제작, 광소자 패키징	광 소자 및 PCB 설계를 전문으로 하는 벤처회사로서 반도체 칩을 제조 및 패키징 시설이 없음	화합물 광 소자 광모듈 소자(PD, LD) 제작공정을 지원함	ETRI 실험실을 이용하여 광소자 및 패키지 기술을 개발하여, 관련 부품의 수입대체 효과 및 기술 경쟁력 향상	화합물 관련 분야
(주)가인테크	WDM 광통신용 송수신부 구동 회로 소자	광통신용 전자 소자기술을 이전받은 벤처 기업으로서 초기투자가 막대한 제조시설이 없음	InGaP/GaAs HBT MMIC 기술을 이용하여 50개의 시편을 제작 지원	광통신용 송수신부 고부가가치 부품의 개발로 수입대체로 원가 절감 및 기술 경쟁력 향상	

2. 반도체 연구장비 유지 보수

2002년도에 수행된 반도체 종합실험실의 주요 공정장비에 대한 수리현황 및 가동률을 조사하였다. 실리콘 공정장비는 포토 4종 5대, 확산 2종 9대, 박막 3종 7대, 식각 3종 3대로 총 24대를, 화합물 공정장비는 포토 3종 3대, 확산 2종 2대, 박막 3종 5대, 식각 6종 7대로 총 17대를 각각 그 대상으로 하였으며, <표 3-3>은 고장 유형별로 고장 건수와 수리시간을 분석한 내역이다. 고장유형은 ① 시스템을 컨트롤하는 회로부, ② 진공펌프를 비롯한 압력 컨트롤 관련 부분과 진공 leak 수리 등의 진공부, ③ 가스 압력 조절계 및 유량조절기(MFC) 관련한 유량부, ④ 챔버(튜브), chiller, 각종 히터 등의 온도부, ⑤ 웨이퍼 이송 등의 기계부, ⑥ UV lamp, 레이저 및 렌즈 등의 광학부, ⑦ 공정검색 및 각종 utility 공급관련 기타부, ⑧ 주기적인 챔버 및 튜브 세척, source의 보충 또는 교체와 주유, 진공펌프의 오일 및 필터 교체 등의 예방정비(PM)로 구분하였다. 이상 8개의 유형별로 고장 건수 및 수리시간을 조사해 본 결과 건수는 예방정비가 213건으로 전체 수리건수 387건의 약 55%로 가장 많았으며, 다음은 기타 57건, 회로 32건,

온도 29건, 진공 27건, 기계 17건, 유량 11건 순으로 나타났다. 그리고
수리시간에 있어서는 예방정비 1,978시간, 진공부 922시간, 회로부 522시간,
온도부 364시간, 기타부 356시간, 기계부 233시간, 유량부 196시간, 광학부
7시간 순으로 나타났다. 고장유형별 건 당 수리시간을 살펴보면 첫번째
진공부가 34.1시간으로 가장 높게 나타났는데, 이는 화합물 관련 실험실 Dry
etcher #1과 #3의 Dry pump와 Turbo pump의 외주수리에 많은 시간이
소요되었기 때문이다. 두번째는 유량부의 수리시간이 17.8시간으로
나타났는데, 이는 실리콘 PECVD #2 챔버 B(BPSG)의 Liquid source용 LFC의
injector overhaul에 많은 시간이 소요되었기 때문이다. 세번째는 회로부가
16.3시간 소요되었는데 이는 실리콘 Furnace #11 Tube의 PCB 및 화합물
Alpha step의 Video 관련 PCB 수리에 시간이 많이 소요되었기 때문이다.

주요 장비의 가동률 중 가장 낮은 장비는 실리콘 Ion-implanter 장비가
Bell 부분의 vacuum leak 수리 등으로 인하여 84.2%로 가장 낮았으며,
다음은 PECVD #2 장비로 85.3%로 나타났다. 또한 실리콘 LPCVD #32, #34
Tube와 화합물 Dry etcher #3(ICP) 장비가 85% ~ 90%로 나타났으며, 그 외
장비는 90% 이상의 가동률을 나타냈다. 실험실별로 구분하면 실리콘 관련
실험실의 가동률이 약간 낮는데, 주요장비의 평균 가동률은 <표 3-4>에서
보듯이 실리콘실험실 95.4%, 화합물실험실 97.7%로 각각 나타났다.

위에서 나타난 바와 같이 진공펌프(Turbo, Dry)가 고장 발생된 경우에는
제작사 한국지사에서 외주수리를 하는데 많은 기간이 소요되고 있다.
이로인해 유지보수 기술력이나 노력에 무관하게 H/W 가동률이 저하되고
있으므로 예비 진공펌프의 확보가 요구된다.

<표 3-3> 반도체 종합실험실 주요 공정장비의 고장유형

고장 유형별 건수, 수리시간		실리콘 장 비	화합물 장 비	전 체 장 비	건당 수리시간
회 로	건 수	25	7	32	16.3
	수리시간	420.4	101.6	522.0	
진 공	건 수	14	13	27	34.1
	수리시간	288.1	633.4	921.5	
유 량	건 수	8	3	11	17.8
	수리시간	184.7	11.0	195.7	
온 도	건 수	21	8	29	12.6
	수리시간	335.0	29.1	364.1	
기 계	건 수	16	1	17	13.7
	수리시간	227.4	5.5	232.9	
광 학	건 수	1	-	1	5.6
	수리시간	5.6	-	5.6	
기 타	건 수	48	9	57	6.2
	수리시간	221.6	134.3	355.9	
예방정비	건 수	140	73	213	9.3
	수리시간	1,706.2	272.0	1,978.2	
계	건 수	273	114	387	11.8
	수리시간	3,389.0	1,186.9	4,575.9	

<표 3-4> 주요 공정장비의 수리시간 및 가동률

실리콘 기준시간 : 3,055 시간
화합물 기준시간 : 3,054 시간

구 분		수리횟수	수리시간	H/W 가동률(%)
실리콘 실험실	주요 장비(24대)	273	3,388.6	95.4
	기타 장비(24대)	25	249.5	99.7
화합물 실험실	주요 장비(17대)	114	1,186.9	97.7
	기타 장비(19대)	14	180.0	99.7

제3절 반도체 유틸리티 시설운영

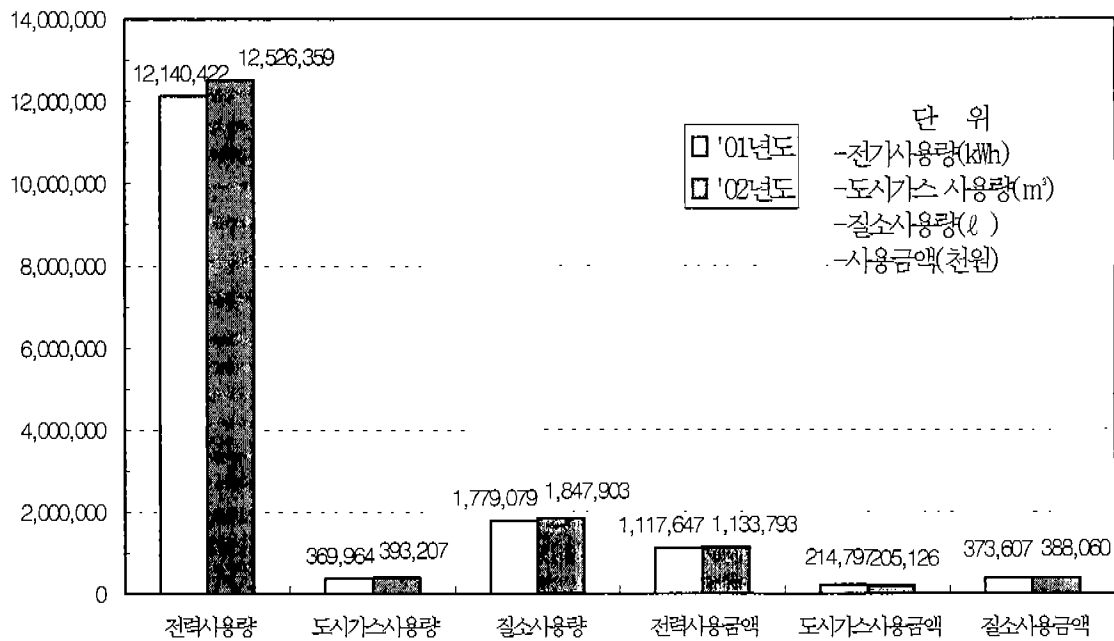
1. 반도체 유틸리티 운영

반도체 종합실험실은 일정한 온, 습도(21 ± 1 °C, 50 ± 5 %)와 일정 규격의 청정도를 갖는 특수한 환경내에서 공정작업이 이루어진다. 이러한 환경을 유지하기 위해서는 공기정화기, 공정용 배기, 열원장치(냉동기, 보일러)의 가동과 질소, 산소, 수소, 초 순수, 고 순도 압축공기, 진공, 냉각수 등의 공급이 연중 무휴로 이루어지고 있으며, 여기에 소요되는 주 에너지는 전기, 도시가스, 질소 등이다. '02 년도에는 구 반도체신기술 연구소와 구 원천기술연구소의 조직이 통합되어 실험실과 연구실을 재배치 조성 작업이 이루어졌으며, 독성가스와 비독성가스 사용 연구장비의 분류 계획에 의해 가동을 낮은 노후장비 IC tack Furnace의 5층은 철거하고 신규 MOCVD(GaN), E-beam Litho 연구장비등 20여종이 추가 설치되어 전기, 도시가스, 질소사용량이 증가하였다. 또한 주 5일 집중 근무체제를 채택하여, 공정작업이 없는 평일 야간, 주말, 연휴 기간에는 공정, 공조/유틸리티장비를 절전하여 가동하고 가습을 중단하여 반도체. 원천실험실의 연구생산성이 감소되지 않으면서도 실험실 운영을 하여 에너지 비용을 절감할 수 있었다. 그렇지만 실험실 추가조성과 신규도입 연구장비들이 '02 년도 8 월부터 12월까지 집중 설치운영됨으로 인하여, '01 년도에 비해 '02 년도에는 전기 사용량은 3 %, 도시가스 사용량은 6 % , 질소 사용량은 4% 각각 증가하였다. 반도체 종합실험실 및 원천본부실험실의 경상적인 에너지 부분이 시설운영 예산에 있어 많은 비중을 차지하므로 에너지의 효율을 높이는 것이 중요하며, 이를 위해선 에너지 효율이 낮은 노후설비에 대한 지속적인 보완이 이루어져야 할 것으로 판단된다. <표 3-5>와 <그림 3-3>은 '01/'02 년도 반도체 공조, 유틸리티 장비운영 부분에서 예산 소요액이 가장 큰 전력을 비롯한, 도시가스, 질소에 대한 사용량 및

금액 현황을 요약하여 나타낸 것이다. 그리고 <표 3-6> ~ <표 3-8> 에서는 '02 년도 월별 전력, 도시가스, 질소사용 현황을 '01 년도와 비교하여 각각 나타내었다.

<표 3-5> '02 년도 전력, 도시가스, 질소 사용 현황

년 도 별	전력		도시가스		가스(질소)		총 계 (천원)
	사용량(kWh)	사용금액 (천원)	사용량 (m ³)	사용금액 (천원)	사용량 (ℓ)	사용금액 (천원)	
'01	12,140,422	1,117,647	369,964	214,797	1,779,079	373,607	1,706,051
'02	12,526,359	1,133,793	393,207	205,126	1,847,903	388,060	1,726,979



<그림 3-3> '01/'02 년도 전력, 도시가스, 질소 사용량 및 사용금액

<표 3-6> '02 년도 월별 전력 사용 현황

월 별	'01 년도		'02 년도		'01/'02	비 고
	사용량 (kWh)	사용금액 (천원)	사용량 (kWh)	사용금액 (천원)	(%)	
1	929,928	82,291	1,023,020	90,220	110	'99.11.05 부터 전기요금 평균 6% 인상
2	872,836	78,071	922,391	81,734	106	
3	950,363	83,802	1,009,020	88,137	106	
4	943,801	78,749	992,463	82,110	105	
5	1,021,496	84,117	1,037,929	85,251	102	
6	1,050,949	86,150	1,092,908	89,049	104	
소계	5,769,373	493,180	6,077,731	516,501	105	'00.11.15 부터 전기요금 평균 3% 인상
7	1,218,794	142,927	1,084,300	128,649	89	
8	1,185,105	139,350	1,160,395	136,727	98	
9	1,087,860	88,701	1,102,828	89,734	101	
10	940,967	83,107	1,061,161	91,993	113	
11	957,078	84,298	1,005,580	84,077	105	
12	981,245	86,084	1,034,364	86,112	105	평 균
소계	6,371,049	624,467	6,448,628	617,292	101	
평균	1,011,702	93,137	1,043,863	94,483	103	
총계	12,140,422	1,117,647	12,526,359	1,133,793	103	

<표 3-7> '02 년도 월별 도시가스 사용 현황

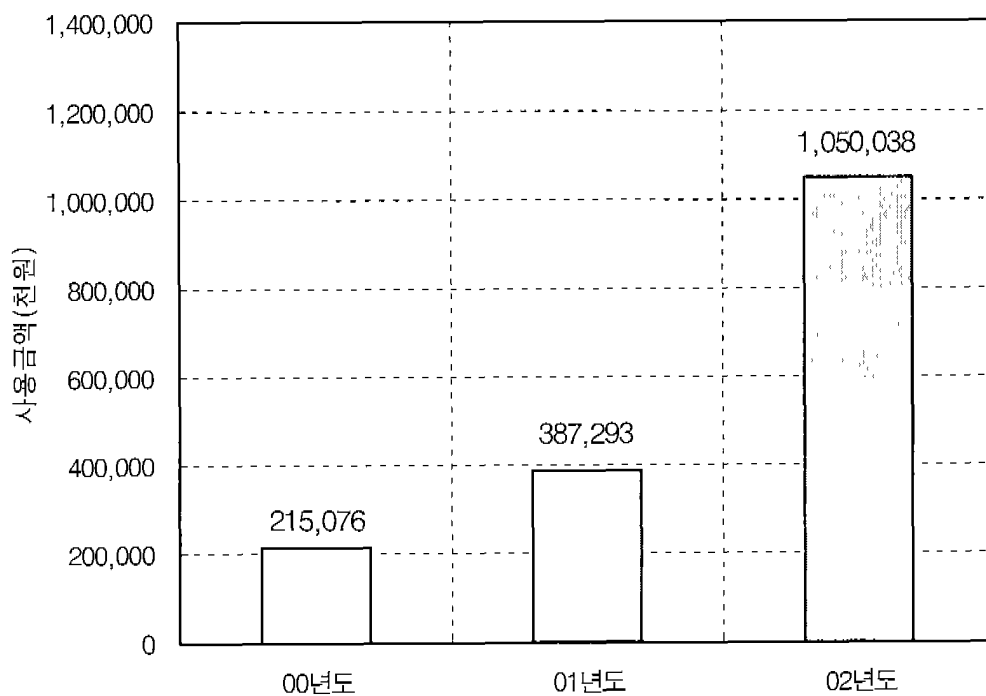
월 별	'01 년도		'02 년도		'01/'02 (%)	비 고
	사용량 (m ³)	사용금액 (천원)	사용량 (m ³)	사용금액 (천원)		
1	72,348	42,568	61,571	32,980	85	'01.1.01. 부터499.6 6 → 534.55 원 인상 '02.1.01. 부터534.5 5 원 → 486.55 원 인하
2	42,175	24,840	52,365	28,053	124	
3	25,040	14,750	41,919	22,462	167	
4	18,795	10,597	25,500	12,418	136	
5	20,240	11,259	21,354	10,403	106	
6	16,419	9,138	19,266	9,389	117	
소계	195,017	113,152	221,975	115,705	113	
7	20,697	11,512	17,405	8,485	84	
8	18,128	10,086	14,422	7,034	80	
9	18,517	10,302	19,254	9,383	104	
10	21,619	12,024	25,888	12,607	120	
11	34,307	20,702	44,932	24,911	131	
12	61,679	37,019	49,331	27,001	80	
소계	174,947	101,645	171,232	89,421	98	
평균	30,830	17,900	32,767	17,094	106	
총계	369,964	214,797	393,207	205,126	106	

<표 3-8> '02 년도 월별 질소가스 사용 현황

월 별	'01 년도		'02 년도		'01/'02	비고
	사용량 (리터)	사용금액 (천원)	사용량 (리터)	사용금액 (천원)	비교(%)	
1	134,531	28,251	155,043	32,559	115	'01년11월 5일부터 단가 조정(195원에 서 210원으로 인상)
2	147,696	31,016	137,663	28,909	93	
3	148,188	31,120	153,898	32,319	104	
4	147,562	30,988	159,551	33,506	108	
5	147,615	30,999	157,196	33,011	106	
6	148,314	31,146	163,002	34,230	110	
소계	873,906	183,520	926,353	194,534	106	
7	151,694	31,856	137,962	28,972	91	
8	154,333	32,410	156,164	32,794	101	
9	160,654	33,737	147,611	30,998	92	
10	134,558	28,257	164,704	34,588	122	
11	150,608	31,628	164,264	34,495	109	
12	153,326	32,199	150,845	31,678	98	
소계	905,173	190,086	921,550	193,525	102	
평균	148,257	31,134	153,992	32,338	104	
총계	1,779,079	373,607	1,847,903	388,060	104	

2. 시설의 유지 및 보수

반도체 종합 실험실 및 원천 실험실에 각종 연구장비 보완 및 신규장비 도입과 관련된 각종 시설 유지보수 작업이 이루어 졌다. 여기에는 각종 전기, 특수가스 캐비닛, 유틸리티 배관 및 공조/유틸리티의 보완공사 등 다양한 작업들이 포함 된다. <그림 3-4>에서는 최근 3년간 이 분야에 소요된 금액을 나타내고 있는데 '00 년도 약 2.15 억원, '01 년도 약 3.87 억원, '02 년도 약 10.5 억원으로 증가되는 것을 알 수 있다. <표 3-9>에서는 '02 년도 반도체 연구시설(2 연구동, 4연구동, 5연구동) 설치 및 보완 내용을 나타내었다. '02년도에는 약 52건의 작업을 수행하였으며, 1억원 이상 소요된 대표적인 작업으로는 MOCVD(Gan)장비 가스캐비닛 및 배관 설치공사와 4동 3층 실험실 시스템에어컨 증설 공사, 그리고 Deep RIE 유틸리티배관 설치공사 등이 있다.



<그림 3-4> 년도 별 시설보완 소요금액

<표 3-9> '02년도 반도체 연구시설 설치 및 보완 내용

내역	금액 (천원)	비고
1. 5동 B층 실험실조성을 위한 건축 개보수 공사	44,000	
2. 5동 B층 실험실 연구장비 열/일반배기 시설공사	42,632	
3. 2동 L07호 실험실조성을 위한 건축 개보수 공사	20,032	
4. 4동 3층 측정실험실 LAN 통신 시설공사	2,250	
5. 2동 실험실 항온항습용 AHU(5종) 냉각시설 수리	3,650	
6. 2동실험실 항온항습 AHU용 자동제어센서 교체수리	8,500	
7. 4동 3층 실험실 시스템에어컨 증설 공사	114,098	
8. 4동 3층 실험실 장비 전원 증설 공사	94,437	
9. 4동 1층 MOCVD(GaN) 설치에 따른 전원증설 공사	22,458	
10. 4동 1층 MOCVD(GaN) 공조기 배관,코일,필터공사	24,137	
11. 4동 1층 독성가스 사용장비 CCTV(3대)증설 공사	11,590	
12. 5동 B층 실험실 전기 증설 공사	42,298	
13. 2동 G층 B층 실험실 전기 증설 공사	16,717	
14. 2동 L09호 실험실 전기 증설 공사	16,593	
15. 2동 공정용 냉각수 장치설비 부분 보완 증설	16,866	
16. 가스실 무정전 전원설비(UPS 10KVA/2KVA)교체	7,900	
17. Oil Free Air(100마력) Drive Shaft등 부품 수리	4,500	
18. DI U/F 장치 Pump 등 보완 수리	4,135	
19. Helical Etcher장비 특수가스 배관 설치공사	42,943	
20. Deep RIE장비 특수가스 캐비닛 및 배관 설치공사	42,331	
21. MOCVD(Gan)장비 가스캐비닛 및 배관 설치공사	132,601	

<표 3-9> - 계속 -

내역	금액 (천원)	비고
22. 엑시머레이저장비 특수가스 배관 설치공사	8,096	
23. PLD장비 특수가스 배관 설치공사	5,935	
24. 반도체 원천실험실 독성가스감지기 교정공사	6,500	
25. 이온교환수지 및 활성탄 교체	7,500	
26. 폐수처리장 펌프 교체 및 배관수정	9,504	
27. 폐수처리장 부식방지작업	2,165	
28. 4동 메인 산Scrubber보수 및 여재교체	9,810	
29. FTIR 유틸리티 설치, 2층 DIW관 보수공사	9,348	
30. Deep RIE 유틸리티배관 설치공사	13,543	
31. 원천실험실 PLD장비(2대)의 He,N2,PCW관 교체공사	3,852	
32. 2동의 G05호에 Wet. 외 4대 설치	9,796	
33. MOCVD(GaN)외 7대,패키징장비등 이전설치공사	37,929	
34. MOCVD(GaN)장비 관련 실험실칸막이 철거 및 설치공사	8,204	
35. 4동1층 서쪽실험실 출입문 113호 확장공사	9,471	
36. Gas scrubber 2대의 마그네트펌프,304관 교체 수리	1,703	
37. 대용량 bath 급수관, 세척보호관등 제작설치	1,480	
38. 반도체종합실험실 노후장비 ArF/E-beam외 4종 해체,철거	3,901	
39. 5동G층 RF유전체소자탐용 wet station 수리	1,831	
40. 반도체종합실험실 DEF,PECVD 유틸리티 배관 설치공사	25,300	

<표 3-9> - 계속 -

내역	금액 (천원)	비고
41. 4동3층 측정장비 유틸리티배관 공사	22,069	
42. 4동1층 서쪽실험실확장문 내부 이중칸막이 공사	3,895	
43. 2동L6호 Pr.Asher의 3층 설치공사	2,716	
44. 2동G10호 실험실 유틸리티 배관공사	24,968	
45. 반도체종합실험실 501 GS(Spin coater)수리	2,289	
46. 반도체종합실험실 특수가스 제거장치 제작설치	4,802	
47. E.beam- Litho. 구역 칸막이, Free door 등 개조설치	6,785	
48. 4동 3층 Working storage rack 33대 제작설치	50,657	
49. 4동1층 원천실험실 특수가스 배관공사	30,618	
50. 유기 Wet station(화합물MOCVD용) 수리	4,680	
51. 4동 1층 원천실험실 RTP 유틸리티 배관 교체수리	2,470	
52. 반도체종합실험실 P-5000 scrubber 외5건수리,DI건 설치	3,553	
계	1,050,038	

3. 환경 관리

반도체 종합실험실에서 사용되는 각종 원료, 화학약품, 유해가스 물질들이 하천이나 대기중으로 배수 및 방출될 때 인체 및 주변환경에 유해하지 않도록 이를 안전하게 처리하여 배수 및 방출 함으로서 쾌적한 환경을 유지하는데 환경관리의 목적이 있다. '02 년에 발생한 폐수 및 폐기물의 처리 현황은 <표 3-10>에 수질오염물질 분석 자료는 <표 3-11>에 각각 나타내었다.

<표 3-10> '02 년도 반도체 종합실험실 폐수 및 폐기물 처리 현황

항목 월	폐수량 (m ³)	약품사용량		전기량 (kWh)	폐기물발생량		Micro Filter (개)	유지보 수 (건)
		NaOH (kg)	Hcl (kg)		폐산 (kg)	유기용제 (kg)		
1	1,151	107	111	3,480	6,280	7,330	140	11
2	957	92	96	3,028	3,270	1,580	168	8
3	1,215	113	117	3,536	10,230	3,480	168	11
4	1,212	110	114	3,032	6,160	3,090	168	10
5	1,178	105	109	2,980	2,830	0	196	11
6	1,020	96	100	3,208	7,150	7,850	112	10
7	1,185	106	110	3,840	6,070	8,880	182	11
8	1,110	104	108	4,412	4,400	11,870	182	10
9	1,235	107	112	4,280	6,100	0	210	12
10	1,540	145	151	4,868	3,080	10,120	196	12
11	1,396	129	134	3,716	5,780	5,560	126	12
12	1,216	112	116	3,700	6,190	6,730	252	14
합계	14,415	1,326	1,378	44,080	67,540	66,490	2,100	132
월평균	1,201.3	110.5	114.8	3,673	5,628	5,540	175	11

<표 3-11> 수질오염물질 분석표

NO	품목	항목	배출허용기준 (단위 : ppm)	분석결과 (단위 : ppm)	비고 (기준값과 비교)
1		PH	5.8~8.6	6.86	기준값 이내
2		COD	130	5.36	4.12%
3		BOD	120	12.82	10.7%
4		SS	120	3.59	3.0%
5		N-Hexane	5	0.41	8.2%
6		Phenol	3.0	0	0%
7		CN	1.0	0	0%
8		Cr	2.0	0	0%
9		Zn	5.0	0.14	2.8%
10		Cu	3.0	0.05	1.7%
11		Cd	0.1	0	0%
12		Hg	0.005	0	0%
13		Pb	1.0	0	0%
14		Cr+6	0.5	0	0%
15		Mn	10.0	0	0%
16		F	15.0	1.38	9.2%
17		Fe	10.0	0.34	3.4%
18		As	0.5	0	0%
19		ABS	5.0	0.19	3.8%
20		T-N	60.0	3.84	6.4%
21		T-P	8.0	0.36	4.5%
22		PCB	0.003	0	0%
23		유기인	1.0	0	0%
23		Tri.C.E	0.3	0	0%
25		Tet.C.E	0.1	0	0%

제4절 공정기술 개발용 원.부자재 관리

반도체 종합실험실에서는 반도체 소자개발과정에서 요구되는 각종 원, 부재료들이 보관 관리되고 있다. 여기에는 일정 수준의 실험실 청정도 유지하기 위해서 클린룸용 소모품과 기본적인 방진복, 마스크, 장갑 등이 추가로 포함된다. 특히, 원, 부재료 관리부분은 반도체 종합실험실에서 이루어지는 각종 개발 및 연구활동을 뒷받침하는 분야로서 반도체 종합실험실의 운영, 유지에 소요되는 직, 간접재료 및 각종 장비부품 등에 대한 수요.공급을 효율적으로 재고 관리하는 업무로 중요한 업무분야 중 하나이다. 특히, 우리 반도체 종합실험실은 한정된 장비로써 많은 연구과제를 수행해야 하는 특수성이 있어 개별 연구과제 수행에 따른 다양한 연구재료의 사전확보와 연구장비 고장 및 보수에 필요한 수리부품의 확보여부는 실험실운영에 매우 중요한 요소이다. 따라서 각종 소모성재료(장비부품, 소모성재료, wafer, 화공약품, gas 등)에 대한 적정량 확보와 연구장비 고장 및 보수에 필요한 수리부품의 확보, 그리고 이런 재료들을 원활하게 공급하는 체계가 필요하다. 재고 관리운영은 각종 원.부재료를 적기에 공급하면서 적정 재고량을 확보하기 위하여 주간.월간

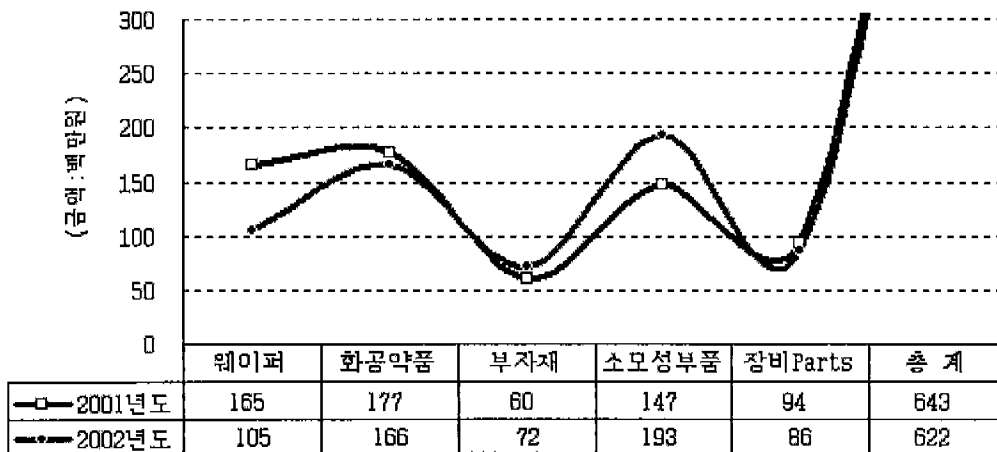
<표 3-12> '01~'02년도 실험실 및 재료별 사용액 대비표

(단위:백만원)

구분 종명	실리콘실험실		화합물실험실		물성분석실험실		계		'02년도 점유율
	2001년	2002년	2001년	2002년	2001년	2002년	2001년	2002년	
웨이퍼	130	99	35	6	-	-	165	105	16.9%
화공약품	87	86	90	80	0.1	0.1	177	166	26.7%
부자재	22	20	9	26	29	26	60	72	11.6%
소모성부품류	56	75	84	108	7	10	147	193	31.0%
SPARE PART	70	69	4	1	20	16	94	86	13.8%
합 계	365	349	222	221	56	52	643	622	100

*공정Gas류는 통계에서 제외

단위로 각종 원 부재료 사용량을 추출하고 재고량을 파악하여 일정 수준으로 재고량을 유지하였다. <표 3-12>은 실험실 및 사용 재료별 사용액을 '01와 '02년도를 비교하여 나타내었으며, <그림 3-5>에서는 '01와 '02년도의 품목별 사용액에 대한 분포를 비교하여 그래프로 나타내었다.



<그림 3-5> '01~'02년도 품목별 사용 분포도

제5절 결 론

'02 년도에도 '01 년도와 같이 주 5 일(월-금) 집중근무제를 도입하여 효율적인 실험실 운영이 이루어지도록 하였다. '02년도 실험실 공정운영 분야에서는 실리콘 관련 실험실에서 463 run, 5,205 wafer, 14,711 step 이었으며, 화합물 관련 실험실에서 523 run, 649 wafer(1,520 조각), 14,544 step을 수행하였다. 아울러 물성분석실험실에는 1,205 의뢰 건수에 10,142 시료를 물성분석 지원하였으며, 또한 원외 반도체소자 및 공정제작은 알에프세미㈜ 등 23개 업체나 기관에 97건을 지원하였다. 그리고 장비 유지보수 분야는 고장유형별로 건수 및 수리시간을 조사해 본 결과 건수는 예방정비가 213 건으로 전체 수리건수 387 건의 약 55%를 점유해 가장 많았으며, 다음은 기타 57 건, 회로 32 건, 온도 29 건, 진공 27 건, 기계 17 건, 유량 11건 순으로 나타났다. 그리고 수리시간에 있어서는 예방정비 1,978시간, 진공부 922시간, 회로부 522시간, 온도부 364시간, 기타부 356시간, 기계부 233시간, 유량부 196시간, 광학부 7시간 순으로 나타났다. 실험실별 주요장비의 평균 가동률은 실리콘 실험실이 95.4 %, 화합물 실험실이 97.7 %로 나타났다.

반도체 유틸리티 운영분야는 '02 년도에는 구 반도체신기술 연구소와 구 원천기술연구소의 조직이 통합되어 실험실과 연구실을 재배치 조성 작업이 이루어졌으며, 독성가스와 비독성가스 사용 연구장비의 분류 계획에 의해 가동률 낮은 노후장비 IC tack Furnace의 5층은 철거하고 신규 MOCVD(GaN), E-beam Litho 연구장비등 20여종이 추가 설치되어 주 5일 집중 근무체제로 인한 에너지 비용 절감에도 불구하고 , '01 년도에 비해 '02 년도에는 전기 사용량은 3 %, 도시가스 사용량은 6 % , 질소 사용량은 4% 각각 증가하였다. 그리고 반도체 종합실험실 및 원천 실험실에 각종 연구장비 보완 및 신규장비도입과 관련된 각종 시설 유지보수 작업 즉, 전기, 특수가스 케비넷,

유틸리티 배관 및 공조/유틸리티의 보완공사등이 약 10억원의 비용을 들여 52건의 작업을 수행하였다. 그리고 반도체 종합실험실에서 사용되는 각종 원료, 화학약품, 유해가스 물질들이 하천이나 대기중으로 방출될 때 인체 및 주변환경에 유해하지 않도록 이를 안전하게 처리하여 방출함으로써 쾌적한 환경을 유지하도록 하였다. 또한 재고 관리 업무에 있어선 반도체 종합실험실에서 이루어지는 각종 개발 및 연구활동을 뒷받침하는 분야로서 반도체 종합실험실의 운영, 유지에 소요되는 직, 간접재료 및 각종 장비부품 등에 대한 수요·공급을 적절히 관리함으로써 효율적인 실험실 운영이 되도록 하였다.

제4장 결론 및 건의사항

여백

제4장 결론 및 건의사항

본 연구에서는 0.5 μm ASIC 제작에 활용이 가능한 0.5 μm CMOS 소자 및 공정기술을 개발하였다. 동작전압이 3.3 V 와 5.0 V 인 두 종류의 0.5 μm CMOS 소자 기술을 모두 개발하였다. 연구 결과물로 CMOS 소자의 전기적 특성과 process parameter, SPICE parameter, electrical parameter 등을 추출하여, design rule과 함께 설계지침서를 제시하였으며, 설계자가 금번 개발된 0.5 μm CMOS 공정 및 소자를 이용하여 제품을 설계할 수 있는 기반을 마련하였다.

국가 경쟁력 확보차원에서 반도체 종합실험실 연구시설을 활용하여 원외 foundry service를 제공하고 있는 0.8 μm ASIC 수율을 개선하기 위해 사진전사공정기술, 소자분리막 형성기술, contact 및 via 접촉저항에 관련된 금속배선형성기술 등에 공정개선 및 개발을 하였다. 이를 통해 얻은 2002년 한해 동안의 0.8 μm 설계규격의 ASIC 소자 평균 수율은 61.8 %로 이는 2001년의 평균 수율인 49.4 %보다 12.4% 향상된 결과를 나타내었다. 아울러 화합물 반도체 MMIC 제작 공정의 안정화를 위해 게이트 감광막 형상 정의 능력 및 공정 여유도를 향상 시켰으며, PECVD 질화막 균열 문제를 개선한 공정개발이 이루어졌다. 또한 후공정에 실험을 통해 design limit를 확인하였다.

. '02년도 실험실 공정운영 분야에서는 실리콘 관련 실험실에서 463 run, 5,205 wafer, 14,711 step 이었으며, 화합물 관련 실험실에서 523 run, 649 wafer(1,520 조각), 14,544 step을 수행하였다. 아울러 물성분석실험실에는 1,205 의뢰 건수에 10,142 시료를 물성분석 지원하였으며, 또한 원외 반도체소자 및 공정제작은 알에프세미(주) 등 23개 업체나 기관에 97건을

지원하였다. 그리고 장비 유지보수 분야는 고장유형별로 건수 및 수리시간을 조사해 본 결과 건수는 예방정비가 213 건으로 전체 수리건수 387 건의 약 55%를 점유해 가장 많았으며, 실험실별 주요 장비의 평균 가동률은 실리콘 관련 반도체 실험실이 95.4 %, 화합물 반도체 관련 실험실이 97.7 %로 나타났다. 반도체 유틸리티 운영분야는 '02 년도에는 구 반도체신기술 연구소와 구 원천기술연구소의 조직이 통합되어 실험실과 연구실을 재배치 조성 작업이 이루어졌으며, 주 5일 집중 근무체제로 인한 에너지 비용 절감에도 불구하고 신규 MOCVD(GaN), E-beam Litho 연구장비등 20여종이 추가 설치되어, '01 년도에 비해 '02 년도에는 전기 사용량은 3 %, 도시가스 사용량은 6 % , 질소 사용량은 4% 각각 증가하였다. 또한 각 실험실에 각종 연구장비 보완 및 신규장비도입과 관련된 각종 시설 유지보수 작업이 10억원의 비용이 소요되어 52건의 작업을 수행하였다. 그리고 반도체 종합실험실에서 사용되는 각종 원료, 화학약품, 유해가스 물질들의 사용 및 관리 그리고 처리가 규정대로 되어 안전하고 쾌적한 환경관리를 유지하였으며, 재고 관리 업무에 있어선 각 실험실의 운영, 유지에 소요되는 직, 간접재료 및 각종 장비부품 등에 대한 수요.공급을 적절히 유지 관리함으로써 효율적인 실험실 운영이 되도록 하였다.

주 의

1. 이 연구보고서는 기관고유사업으로 수행한 연구결과입니다.
2. 이 보고서의 내용을 발표할 때에는 반드시 한국전자통신연구원에서 수행한 기관고유사업 연구결과임을 밝혀야 합니다.