

2010년 12월

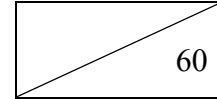
10ZI1120-01-3044P

차세대 IMT-Advanced 시스템 기술

Research and Development of IMT-Advanced System

2010년 12월

10ZI1120-01-3044P



차세대 **IMT-Advanced** 시스템 기술

Research and Development of IMT-Advanced System

인 사 말 씀

이동통신 기술은 지속적인 발전을 거듭하여 현재의 3세대 이동통신 서비스의 품질을 획기적으로 향상시키고 사용자의 요구를 더욱 충실히 반영하는 4세대 IMT-Advanced 기술이 전세계적으로 활발히 개발되고 있습니다. 이를 더욱 발전시킨 차세대 IMT-Advanced 기술은 언제, 어디서나 사용자에게 고용량의 필요한 정보를 1Gbps에 이르는 초고속으로 제공할 수 있게 될 것이고, 이동통신을 활용한 에너지, 물류 운송, 원격의료 등 다양한 융합 서비스 산업의 성장을 견인하는 원동력이 될 것입니다.

이에 따라 차세대 IMT-Advanced 서비스를 구현하기 위한 초석을 마련하고 향후 전개될 차세대 이동통신 분야에서 지속적인 기술 경쟁력을 유지하기 위해 본 연구를 수행하였으며, 차세대 이동통신 단말용 송수신기 통합 IP 기술 개발의 계획된 연구목표를 차질없이 달성하여 당해년도 연구를 마치게 되었습니다.

본 보고서는 유비쿼터스 인프라 연구의 세부과제로서 총 사업기간 중 3차년도에 해당하는 지난 1년간의 연구개발 결과를 요약한 것이며, 연구가 원활히 수행될 수 있도록 지원해 주신 관계자 여러분들께 감사의 말씀을 드립니다.

2010년 12월

한국전자통신연구원 원장 김 홍 남

제 출 문

본 연구보고서는 정부출연금사업인 "차세대 IMT-Advanced 시스템 기술에 관한 연구"의 결과로서, 본 과제에 참여한 아래의 연구팀이 작성한 것입니다.

2010년 12월

대과제 연구책임자 : 책임연구원 김대식 (인터넷연구부문)

연구책임자 : 선임연구원 정재호 (이동RF 연구팀)

연구참여자 : 책임연구원 이광천 (이동RF 연구팀)

책임연구원 조권도 (이동RF 연구팀)

책임연구원 김영훈 (이동RF 연구팀)

책임연구원 박봉혁 (이동RF 연구팀)

책임연구원 현석봉 (이동RF 연구팀)

선임연구원 강병수 (이동RF 연구팀)

선임연구원 장승현 (이동RF 연구팀)

선임연구원 김준형 (이동RF 연구팀)

선임연구원 권현국 (이동RF 연구팀)

선임연구원 이성준 (이동RF 연구팀)

연구원 황택진 (이동RF 연구팀)

연구원 최윤호 (이동RF 연구팀)

요 약 문

I. 제 목

차세대 IMT-Advanced 시스템 기술에 관한 연구

II. 연구개발의 목적 및 중요성

가. 연구개발의 목적

이동통신 서비스 및 단말기등 관련 산업이 오늘날의 국가 경제에 기여하는 비중은 적지 않으며 기술력에 있어서도 세계 최고 수준으로 발전하였는데, 이는 2세대 CDMA 상용화 연구를 필두로 3세대 IMT-2000, WiBro 시스템 개발에 정부와 기업의 적극적인 지원과 참여가 있었기에 가능하였다. 향후에도 지속적인 성장과 경쟁력 강화를 위해서 4세대 이동통신 기술인 LTE-Advanced 및 WiBro-Evolution 등의 차세대 기술 개발이 진행되고 있으며, 주로 국제 표준화 및 서비스, 시스템 통합 분야에 집중적인 연구가 이루어지고 있다. 한편 단말 시스템 및 부품 분야에서는 4세대의 직전 단계인 3.9세대급 LTE (3GPP-Release 9) 표준 규격을 구현하는 연구가 진행되고 있으나, 차세대 IMT-Advanced용 부품 기술에 관해서는 아직 표준이 확정되지 않은 등의 요인으로 인해 본격적인 개발이 이루어지지 않고 있다.

따라서 이러한 기술 동향 및 수요를 고려하여, 시스템 및 단말 부품의 기술력을 확보할 수 있는 “차세대 IMT-Advanced 시스템 기술”에 관한 연구를 수행하는 것을 목적으로 한다.

나. 연구개발의 중요성

차세대 이동통신 서비스는 현재의 표준 기술인 Mobile WiMax (WiBro) 또는 3GPP LTE 기술이 진화된 4세대 시스템에 기반할 것으로 예상됨에 따라, 이러한 표준 시스템의 RF 특성에 최적화된 RF 트랜시버를 개발할 필요성이 있다. 즉, 다중 안테나 (MIMO)와 다중 대역, 높은 신호대 잡음비(SNR) 및 선형성을 요구하는 광대역 OFDM 변조 기술을 지원하는 차세대 RF 트랜시버가 요구되고 있다.

또한 IMT-Advanced 시스템에 부합되는 기능 및 성능 규격을 가지는 단말 시스템은 다양한 이동통신 환경에서 사용자가 임의의 서비스를 선택할 수 있도록 다중 서비스를 지원하고, 이를 위한 다중대역, 다중경로 등의 기능을 가지는 융복합 형태로 발전할 것으로 예상된다. 따라서 융복합 단말기 구현시 파생되는 전력소비 문제와 신호 간섭, OFDM 변조 방식에 따른 선형성 문제 등을 해결하고, 디지털 신호 처리 기술과 RF 트랜시버 기술을 접목한 고집적 구현 기술을 통해 차세대 단말의 효율문제를 근원적으로 개선함으로써 저가격화, 저전력화 및 소형화를 실현할 수 있을 것이다.

III. 연구개발의 내용 및 범위

- SISO UDMR Receiver integration 기술 개발
 - SISO UDMR 다중대역 Receiver chain IP 개발
 - SISO UDMR 다중대역 Receiver chain IP 특성 검증

- SISO UDMR 고효율 Transmitter integration 기술 개발
 - SISO UDMR 고효율 Transmitter chain IP 설계
 - SISO UDMR 고효율 Transmitter chain IP 특성 검증

- SISO UDMR Receiver 자체 테스트 플랫폼 개발

- Receiver 기능 제어 모듈 개발
 - SISO UDMR Receiver 자체 테스트 플랫폼 시험
- SISO UDMR 고효율 system 개발
 - 고분해능 Fractional-N PLL IP 설계
 - 고분해능 Fractional-N PLL IP 특성 검증
 - SISO UDMR 고효율 system 성능 시험

IV. 연구 결과

본 연구를 통하여, 차세대 IMT-Advanced 시스템의 성능 요구사항에 적합한 UDMR (User Defined Multi-Radio) 기반 다중대역/다중모드 송수신기 통합 IP를 개발하였다. Efficiency boosting 기법을 Bias modulator에 적용하여 효율을 증대시킨 ET(Envelop Tracking) 구조 CMOS 전력증폭기 IP 개발을 추진하여, 송신부 최대 출력전력 23dBm 목표를 달성하였다.

또한 LTE-Advanced 후보 규격에 기반하여 다중대역 (2.3~2.7GHz, 3.3~3.8GHz) 가변 채널 밴드폭 특성을 갖는 SISO UDMR Receiver chain IP를 개발하였으며, 제작된 Transceiver 통합 칩의 수신부 특성을 측정하여 77dB 이상의 Dynamic range 성능을 확인하였고, LTE 모델과 연동하여 통합 시험 가능한 SISO UDMR 자체 테스트 플랫폼을 개발하였다.

V. 기대성과 및 건의

본 사업을 통해 획득된 당해년도 연구결과물은 2013년 이후에 기존의 WCDMA 및 LTE 시스템 upgrade 수요에 따라 본격적으로 시장이 형성될 LTE-Advanced 시스템 관련 제품 (단말기, 기지국, 시험장비 등) 개발에 활용될 수 있으며, 대부분 수입에 의존하는 연간 약 3조6천억원 규모의 이동통신 단말기용 RF

Transceiver 칩 시장에 재진입할 수 있는 기반을 제공할 것으로 기대된다.

또한 연구 성과는 다양한 송수신 RF 분야에 적용 가능하므로, 차세대 융복합 단말기 및 RF 시험용 장비, Femto-cell 등의 초소형 중계기/기지국, 차세대 무선 LAN (802.11ac) 등의 개발에도 적용 가능하다. 최근 국내 기업들도 LTE-Advanced 및 Wibro-Evolution 칩셋 개발에 착수하고 있으나 시험 검증 시스템이 부족한 상황인데, 테스트 플랫폼의 조기 제공을 통해 RF 부품의 신뢰성 및 완성도를 제고하는데도 기여할 것으로 기대된다.

Abstract

1. Title

The Study on the Next Generation IMT-Advanced System Technology

2. Objectives and Importance of Research and Development

A. The objectives of research and development

In South Korea, not only we have world class technologies of mobile communication services and cellular phones, but also industries related to those technologies have played an important role in developing national economy. This could be possible because the Korean government and companies have invested in development of 3G technologies such as IMT-2000 and WiBro systems as well as have poured their valuable efforts into them with commercialization of 2G technology of CDMA. To keep this leading position, the development of next-generation 4G mobile technologies such as LTE-Advanced or WiBro-Evolution is being conducted these days. Unfortunately, however, it has been mainly focused on international standardization, services or system integration. Also, in UE (user equipment) research and development, components compatible with 3.9G LTE (3GPP-Release 9) instead of 4G technologies attract much more attention since the standardization of 4G mobile communications has not been completed yet.

Therefore, according to the situation in South Korea, the study on “the Next Generation IMT-Advanced System Technology” is highly needed in order to obtain the system and UE components technologies for 4G communications to preempt the related market.

B. The importance of research and development

Since the next generation mobile service is expected to be based on a 4G system via

current standards such as Mobile WiMax (WiBro) or 3GPP LTE, the development of the RF transceiver optimized to RF characteristics of such standards are highly required. That is, the next generation RF transceiver is needed that supports the multi-antenna (MIMO), multi-band, and wide-band OFDM modulation technology requiring high SNR and high linearity.

Also, the UE terminal for IMT-advanced system is expected to become a mega-convergence device that supports multi-service operation in various mobile communication circumstances, multi-band and multi path functionalities. Accordingly, in order to solve the power consumption problem derived by realization such fused-complex UE, the linearity problem by using OFDM technology and signal interference, the study on the highly integrated fabrication technology merging digital signal processing techniques and RF transceiver techniques are required. By conducting this study, the low efficiency problem of the next generation UE could be solved and the low-price, low-power consumption and miniaturization could be accomplished.

3. Contents and Scope of the Research and Development

- Research and development of SISO UDMR receiver technologies
 - Design of SISO UDMR multi-band receiver chain IP
 - Measurement of SISO UDMR multi-band receiver chain IP

- Research and development of SISO UDMR high efficiency transmitter technologies
 - Design of SISO UDMR highly efficient transmitter chain IP
 - Measurement of SISO UDMR highly efficient transmitter chain IP

- Development of self-test platform for SISO UDMR receiver
 - Development of SISO UDMR receiver function control module
 - Test of the self-test platform for SISO UDMR receiver

- Research and development of SISO UDMR high efficiency system
 - Design of high resolution fractional-N PLL IP
 - Measurement of high resolution fractional-N PLL IP

- Performance test of SISO UDMR high efficiency system

4. Research Results

As a result of this study, UDMR (User Defined Multi-Radio) based multi-band/multi-mode transceiver IP has been developed.

Our main research results are the followings.

Firstly, maximum transmitter output power up to 23dBm could be accomplished with developed ET(Envelope Tracking) transmitter consisting of power amplifier and supply modulator fabricated in CMOS technology.

Secondly, a dual-band SISO UDMR receiver chain IP for 2.3-2.7GHz and 3.3-3.8GHz, candidates for frequency ranges of LTE-Advanced, has been developed. It also supports four different channel bandwidths of 5/10/15/20MHz.

Thirdly, dynamic range of 77dB in receiver has been achieved for LTE dynamic range specification.

Finally, a self-test platform for integration test with LTE MODEM has also been developed.

5. Expected Effects and Suggestion for Application

The developed IPs, obtained by this year research results, could be used in research or development of UE, base station or test equipment for LTE-Advanced which is recognized as a successor of WCDMA or LTE. It is estimated that LTE-Advanced market will start to expand drastically in 2013 due to the need for upgrade of WCDMA or LTE equipment. Not only that, the research results can provide us a chance to try to reenter the UE component market which reaches approximately \$3 billion dollars a year.

Also, the results including a whole package of RF transceiver chipset can be applied to next-generation convergence UE, RF test equipment, ultra small repeater/base-station for femto cell or future wireless LAN 802.11ac.

Moreover, we anticipate the project results will give a solid foundation for improving RF

component reliability and quality by providing a test platform to domestic companies, in particular, interested in LTE-Advanced or WiBro-Evolution at the beginning stage of the chipset development.

Contents

Chapter 1. Introduction	오류! 책갈피가 정의되어 있지 않습니다.	3
Section 1. Importance of R&D.....	오류! 책갈피가 정의되어 있지 않습니다.	3
Section 2. Trend of R&D.....	오류! 책갈피가 정의되어 있지 않습니다.	5
1. Trend of Global Technologies	오류! 책갈피가 정의되어 있지 않습니다.	5
2. Trend of Domestic Technologies	오류! 책갈피가 정의되어 있지 않습니다.	8
Section 3. Objective of R&D.....	오류! 책갈피가 정의되어 있지 않습니다.	10
1. Final Objectives.....	오류! 책갈피가 정의되어 있지 않습니다.	10
2. Contents of R&D	오류! 책갈피가 정의되어 있지 않습니다.	10
3. Contents of R&D in 2010.....	오류! 책갈피가 정의되어 있지 않습니다.	12
Chapter 2. Design of Integrated UDMR Receiver	오류! 책갈피가 정의되어 있지 않습니다.	14
Section 1. Introduction to UDMR Transceiver.....	오류! 책갈피가 정의되어 있지 않습니다.	14
Section 2. Functional and Performance Requirements of UDMR Receiver.....	오류! 책갈피가 정의되어 있지 않습니다.	16
1. UDMR Receiver Function.....	오류! 책갈피가 정의되어 있지 않습니다.	16
2. UDMR Receiver Performance Requirements.....	오류! 책갈피가 정의되어 있지 않습니다.	17
Section 3. Design of Integrated UDMR Receiver	오류! 책갈피가 정의되어 있지 않습니다.	18
1. Design of Multi-band Receiver RF Front-End	오류! 책갈피가 정의되어 있지 않습니다.	18
2. Design of Variable Channel Filter in the Receiver.....	오류! 책갈피가 정의되어 있지 않습니다.	21

3. Design of Variable Gain Amplifier in the Receiver..... 오류! 책갈피가 정의되어 있지 않습니다.	26
4. Layout and Simulation Results of Integrated Receiver chain... 오류! 책갈피가 정의되어 있지 않습니다.	29
Section 4. Fabrication and Measurement Results of UDMR Receiver. 오류! 책갈피가 정의되어 있지 않습니다.	31
1. Fabrication of UDMR Transceiver 오류! 책갈피가 정의되어 있지 않습니다.	31
2. Measurement Results of Multi-band Receiver RF FE 오류! 책갈피가 정의되어 있지 않습니다.	32
3. Test and Measurement Results of Multi-band Receiver BBA.. 오류! 책갈피가 정의되어 있지 않습니다.	35
4. Test Results of Integrated Multi-band Receiver chain 오류! 책갈피가 정의되어 있지 않습니다.	37

Chapter 3. High Efficiency UDMR Transmitter .. 오류! 책갈피가 정의되어 있지 않습니다. 41

Section 1. Introduction to High Efficiency Transmitter 오류! 책갈피가 정의되어 있지 않습니다.	41
1. Efficiency of Mobile Terminal Equipment ... 오류! 책갈피가 정의되어 있지 않습니다.	41
2. Architecture of High Efficiency Transmitter 오류! 책갈피가 정의되어 있지 않습니다.	43
Section 2. Structure of ET and Bias Modulator..... 오류! 책갈피가 정의되어 있지 않습니다.	55
1. Architecture of Envelope Tracking Transmitter 오류! 책갈피가 정의되어 있지 않습니다.	55
2. Bias Modulator 오류! 책갈피가 정의되어 있지 않습니다.	55
Section 3. CMOS Linear Power Amplifier.. 오류! 책갈피가 정의되어 있지 않습니다.	61
1. Introduction 오류! 책갈피가 정의되어 있지 않습니다.	61

2. CMOS RF Power Amplifier Design Issue..... 오류! 책갈피가 정의되어 있지 않습니다.	61
3. CMOS RF Power Amplifier Design..... 오류! 책갈피가 정의되어 있지 않습니다.	65
Chapter 4. UDMR Test Platform..... 오류! 책갈피가 정의되어 있지 않습니다.	74
Section 1. UDMR Transceiver Testbed..... 오류! 책갈피가 정의되어 있지 않습니다.	74
1. Introduction to UDMR RF Transceiver Testbed... 오류! 책갈피가 정의되어 있지 않습니다.	74
2. Function Control Modules for UDMR Receiver.. 오류! 책갈피가 정의되어 있지 않습니다.	74
Section 2. UDMR Receiver Self-Test Platform..... 오류! 책갈피가 정의되어 있지 않습니다.	77
1. Structure of UDMR Receiver Self-Test Platform. 오류! 책갈피가 정의되어 있지 않습니다.	77
2. Test Results of UDMR Receiver Self-Test Platform.. 오류! 책갈피가 정의되어 있지 않습니다.	78
Section 3. Design and Verification of High Resolution Fractional-N PLL IP 오류! 책갈피가 정의되어 있지 않습니다.	80
Section 4. Performance Test of SISO UDMR High Efficiency System 오류! 책갈피가 정의되어 있지 않습니다.	84
1. Structure of SISO UDMR High Efficiency System..... 오류! 책갈피가 정의되어 있지 않습니다.	84
2. Performance Test Results of SISO UDMR High Efficiency System 오류! 책갈피가 정의되어 있지 않습니다.	85
Chapter 5. Conclusions..... 오류! 책갈피가 정의되어 있지 않습니다.	88
References..... 오류! 책갈피가 정의되어 있지 않습니다.	90
Acronym..... 오류! 책갈피가 정의되어 있지 않습니다.	91

List of Tables

- (Table 1-1) Trend of Global RF Transceiver Technologies for IMT-Advanced System. 오류! 책갈피가 정의되어 있지 않습니다.7
- (Table 2-1) E-UTRA (LTE) Operating Bands . 오류! 책갈피가 정의되어 있지 않습니다.15
- (Table 2-2) Electrical performance requirements for receiver 오류! 책갈피가 정의되어 있지 않습니다.17
- (Table 2-3) Post-simulation Summary of Rx RF-FE 오류! 책갈피가 정의되어 있지 않습니다.21
- (Table 2-4) Requirements of Rx variable bandwidth channel filter.... 오류! 책갈피가 정의되어 있지 않습니다.22
- (Table 2-5) Design Summary of Variable bandwidth Channel Filter . 오류! 책갈피가 정의되어 있지 않습니다.26
- (Table 2-6) Simulation conditions for Integrated Receiver 오류! 책갈피가 정의되어 있지 않습니다.30
- (Table 2-7) Design summary of multi-band Receiver 오류! 책갈피가 정의되어 있지 않습니다.31
- (Table 2-8) Test results of receiver RF-FE conversion gain ... 오류! 책갈피가 정의되어 있지 않습니다.34
- (Table 2-9) Measurement result summary of multi-band Receiver RF-FE .. 오류! 책갈피가 정의되어 있지 않습니다.35
- (Table 2-10) Test result of receiver gain control..... 오류! 책갈피가 정의되어 있지 않습니다.36
- (Table 2-11) Test result of receiver dynamic range .. 오류! 책갈피가 정의되어 있지 않습니다.36
- (Table 2-12) Measurement result of Rx variable bandwidth channel filter 오류! 책갈피가 정의되어 있지 않습니다.37
- (Table 2-13) Measurement result summary of UDMR transceiver chip performance . 오류! 책갈피가

- 피가 정의되어 있지 않습니다.38
- (Table 3-1) Various mobile system PAPR (2005 RFIC, UCSD material) 오류! 책갈피가 정의되어 있지 않습니다.42
- (Table 3-2) Commercial power amplifier output power and efficiency 오류! 책갈피가 정의되어 있지 않습니다.43
- (Table 3-3) EER architecture characteristics ... 오류! 책갈피가 정의되어 있지 않습니다.46
- (Table 3-4) Hybrid EER/ET architecture characteristics .. 오류! 책갈피가 정의되어 있지 않습니다.48
- (Table 3-5) 1-bit DSM transmitter architecture characteristics .. 오류! 책갈피가 정의되어 있지 않습니다.53
- (Table 3-6) Class-S transmitter characteristics 오류! 책갈피가 정의되어 있지 않습니다.54
- (Table 3-7) CMOS PA Performance Summary 오류! 책갈피가 정의되어 있지 않습니다.58
- (Table 3-8) CMOS PA Measured Performance Summary 오류! 책갈피가 정의되어 있지 않습니다.68
- (Table 3-9) Performance of Class AB PA with Adaptive Bias Circuit.. 오류! 책갈피가 정의되어 있지 않습니다.71
- (Table 4-1) UDMR Transceiver Control Register Map Table 오류! 책갈피가 정의되어 있지 않습니다.74
- (Table 4-2) EVM Performance criteria of UDMR Receiver .. 오류! 책갈피가 정의되어 있지 않습니다.79
- (Table 4-3) Summary of Fractional-N PLL IP characteristics 오류! 책갈피가 정의되어 있지 않습니다.80
- (Table 4-4) Summary of UDMR transceiver performance test... 오류! 책갈피가 정의되어 있지 않습니다.85

List of Figures

(Figure 1-1) Evolution of mobile communication technology	4
(Figure 1-2) Concept of next generation terminal using UDMR RF Transceiver technology.....	4
(Figure 1-3) Infineon RF chip and block diagram for LTE	7
(Figure 2-1) Internal block diagram of UDMR transceiver.....	14
(Figure 2-2) Block signal characteristics in the LTE-Advanced frequency bands.....	15
(Figure 2-3) Block diagram of UDMR Receiver RF Front-End.....	18
(Figure 2-4) Schematic of high-band LNA cell	19
(Figure 2-5) S-parameter characteristics of Receiver RF-FE block (high gain mode)	20
(Figure 2-6) NF and conversion gain of Receiver RF-FE block	20
(Figure 2-7) Structure of variable bandwidth LPF	23
(Figure 2-8) Schematic of 4th order Elliptic filter in the variable bandwidth LPF.....	24
(Figure 2-9) Digital Tuning block in the variable bandwidth LPF	24
(Figure 2-10) Digital Tuning block – operational waveform.....	25
(Figure 2-11) Receiver VGA block diagram	27
(Figure 2-12) Receiver VGA core sub-block schematic.....	28
(Figure 2-13) Receiver VGA simulation result – frequency characteristics	28
(Figure 2-14) Receiver VGA simulation result – stability.....	29
(Figure 2-15) Receiver full-path transient simulation result (output I/Q signal).....	29
(Figure 2-16) Receiver BBA impulse response	30
(Figure 2-17) UDMR Transceiver chip photo	31
(Figure 2-18) Package pin map & bonding diagram	32
(Figure 2-19) Measurement setup for multi-band Receiver RF-FE.....	33
(Figure 2-20) Measurement result of receiver output waveform and spectrum.....	34
(Figure 2-21) Measurement result of Rx output power vs input power sweep.....	35
(Figure 2-22) Measurement result of Rx output vs digital gain control	36
(Figure 2-23) Measurement result of receiver channel filter (LPF) characteristics	37
(Figure 3-1) Power consumption distribution of mobile system	41
(Figure 3-2) Mobile system PAPR probability	42
(Figure 3-3) EER Tx structure.....	44

(Figure 3-4) Bias modulation method of EER architecture	44
(Figure 3-5) Bandwidth expansion of phase information	45
(Figure 3-6) Hybrid EER Tx architecture.....	47
(Figure 3-7) Different operation between EER and hybrid EERarchitecture	47
(Figure 3-8) Delta Sigma modulation model.....	49
(Figure 3-9) SNR vs OSR and LPF order.....	50
(Figure 3-10) 1-bit DSM Tx architecture	51
(Figure 3-11) EVM degradation due to delay (OSR=32)	52
(Figure 3-12) Power amplifier leakage problem	53
(Figure 3-13) Class-S Tx architecture	54
(Figure 3-14) Envelope Tracking power transmitter architecture.....	55
(Figure 3-15) 3G LTE signal probablility distribution	55
(Figure 3-16) Bias Modulator Block Diagram	57
(Figure 3-17) Photograph of Bias Modulator	59
(Figure 3-18) Measurement Results of Bias Modulator	60
(Figure 3-19) Structure of power amplifier using current summing method.....	62
(Figure 3-20) Conceptual diagram of DAT with 1:1 slab inductor	63
(Figure 3-21) Power amplifier using DAT.....	64
(Figure 3-22) Power Amplifier Structure (a) Single-ended (b) differential	65
(Figure 3-23) Schematic of Class AB Power Amplifier	66
(Figure 3-24) Layout of Class AB Power Amplifier.....	67
(Figure 3-25) Chip Photograph of Class AB Power Amplifier.....	67
(Figure 3-26) Mearsurement Results of Class AB Power Amplifier	68
(Figure 3-27) Schematic of Class AB PA with Adaptive Bias Circuit.....	69
(Figure 3-28) Gate bias voltage (a) MN3, (b) MN4	70
(Figure 3-29) Chip Layout and Photograph (a) Layout (b) Photograph	70
(Figure 4-1) Functional control test of UDMR Receiver with SPI.....	76
(Figure 4-2) Board schematic of UDMR Receiver self-test platform	77
(Figure 4-2) UDMR Receiver self-test platform	78
(Figure 4-4) LTE DL signal analysis using UDMR Receiver self-test platfom.....	79
(Figure 4-5) Phase Locked Loop Block	81
(Figure 4-6) PLL Course Tuning	82

(Figure 4-7) Wideband Fractional PLL architecture including automatic tuning.....	82
(Figure 4-8) Wideband Fractional-N PLL chip photography	83
(Figure 4-9) Fractional-N PLL LO output spectrum	83
(Figure 4-10) IMT-Advanced terminal system based on UDMR.....	84
(Figure 4-11) RF interface board for IMT-Advanced terminal system.....	84

목 차

제 1 장 서 론	3
제 1 절 연구 개발의 중요성	3
제 2 절 연구 개발 동향	5
1. 세계 기술 현황	5
2. 국내 기술 현황	8
제 3 절 연구 개발 목표	10
1. 최종 목표	10
2. 연차별 연구 개발 내용	10
3. 당해 년도 (2010년) 연구 개발 내용	12
제 2 장 UDMR 수신부 통합 설계	14
제 1 절 UDMR 트랜시버 개요	14
제 2 절 UDMR 수신부 기능 및 성능 요구사항	16
1. UDMR 수신부 기능	16
2. UDMR 수신부 성능 요구 사항	17
제 3 절 UDMR Receiver Integration 설계	18
1. 다중대역 Receiver RF Front-End 설계	18
2. Receiver Variable Channel Filter 설계	21
3. Receiver Variable Gain Amplifier (VGA) 설계	26
4. Receiver chain 통합 layout 및 시뮬레이션 결과	29
제 4 절 UDMR Receiver 제작 및 측정 결과	31
1. UDMR Transceiver 제작	31
2. 다중대역 Receiver RF FE 측정 결과	32
3. 다중대역 Receiver BBA 통합시험 측정 결과	35
4. 다중대역 Receiver chain 통합 시험	37

제 3 장 UDMR 고효율 송신부	41
제 1 절 고효율 송신부 개요	41
1. 단말기 효율	41
2. 고효율 송신 구조	43
제 2 절 ET Structure 및 Bias Modulator	55
1. Envelope Tracking 송신 구조	55
2. 바이어스 모듈레이터 (Bias Modulator)	55
제 3 절 CMOS Linear Power Amplifier	61
1. 서론	61
2. CMOS RF Power Amplifier Design Issue	61
3. CMOS RF Power Amplifier Design	65
제 4 장 UDMR 테스트 플랫폼	74
제 1 절 UDMR Transceiver 테스트베드	74
1. UDMR 기반 RF Transceiver 테스트베드 개요	74
2. UDMR Receiver 기능 제어 모듈	74
제 2 절 UDMR Receiver 자체 테스트 플랫폼	77
1. UDMR Receiver 자체 테스트 플랫폼 구조	77
2. UDMR Receiver 자체 테스트 플랫폼 시험	78
제 3 절 고분해능 Fractional-N PLL IP 설계 및 검증	80
제 4 절 SISO UDMR 고효율 시스템 성능 시험	84
1. SISO UDMR 고효율 시스템 구조	84
2. SISO UDMR 고효율 시스템 성능 시험 결과	85
제 5 장 결 론	88
참 고 문 헌	90
약 어 표	91

표 목차

(표 1-1) IMT-Advanced 관련 RF 트랜시버 개발 세계 동향	7
(표 2-1) E-UTRA (LTE) Operating Bands	15
(표 2-2) 수신부 전기적 성능 요구사항	17
(표 2-3) Rx RF-FE Post Simulation summary	21
(표 2-4) Rx variable bandwidth channel filter requirements	22
(표 2-5) Variable bandwidth Channel Filter Design Summary.....	26
(표 2-6) Receiver 통합 simulation condition	30
(표 2-7) 다중대역 Receiver 설계결과 요약	31
(표 2-8) Receiver RF-FE부 conversion gain 시험결과	34
(표 2-9) 다중대역 Receiver RF-FE 측정결과 요약	35
(표 2-10) Receiver 이득 제어 시험 결과	36
(표 2-11) Receiver dynamic range 시험 결과	36
(표 2-12) Rx variable bandwidth channel filter 측정 결과	37
(표 2-13) UDMR Transceiver 칩 성능 측정결과 요약	38
(표 3-1) 시스템 별 PAPR(2005 RFIC, UCSD자료 재구성).....	42
(표 3-2) 상용 전력 증폭기 출력 전력 및 효율	43
(표 3-3) EER 구조의 장단점	46
(표 3-4) 하이브리드 EER/ET구조의 장단점	48
(표 3-5) 1-bit DSM 송신기 구조의 장단점	53
(표 3-6) Class-S 송신기 구조의 장단점	54
(표 3-7) CMOS PA Performance Summary	58
(표 3-8) CMOS PA Measured Performance Summary	68
(표 3-9) Performance of Class AB PA with Adaptive Bias Circuit.....	71
(표 4-1) UDMR Transceiver Control Register Map Table	74
(표 4-2) UDMR Receiver EVM 성능 기준	79

(표 4-3) Fractional-N PLL IP 특성 요약	80
(표 4-4) UDMR Transceiver 성능 시험 요약.....	85

그림 목차

(그림 1-1) 이동통신 기술 진화경로	4
(그림 1-2) UDMR RF Transceiver 기술을 이용한 차세대 단말기 개념도	4
(그림 1-3) Infineon사 LTE용 RF 칩 및 block diagram	7
(그림 2-1) UDMR 트랜시버 내부 block diagram	14
(그림 2-2) LTE-Advanced 주파수 대역 내 Blocker 신호 특성	15
(그림 2-3) UDMR Receiver RF Front-End block diagram	18
(그림 2-4) High-band LNA cell schematic	19
(그림 2-5) Receiver RF-FE block S-parameter 특성 (high gain mode).....	20
(그림 2-6) Receiver RF-FE block NF 및 conversion gain	20
(그림 2-7) 가변 대역폭 LPF 구조	23
(그림 2-8) 가변 대역폭 LPF 내부 4차 Elliptic filter schematic	24
(그림 2-9) 가변 대역폭 LPF 내부 Digital Tuning block	24
(그림 2-10) Digital Tuning block – operational waveform	25
(그림 2-11) Receiver VGA block diagram	27
(그림 2-12) Receiver VGA core sub-block schematic	28
(그림 2-13) Receiver VGA simulation 결과 – 주파수 특성	28
(그림 2-14) Receiver VGA simulation 결과 – stability	29
(그림 2-15) Receiver full-path transient simulation 결과 (output I/Q signal)	29
(그림 2-16) Receiver BBA impulse response	30
(그림 2-17) UDMR Transceiver chip photo.....	31
(그림 2-18) Package pin map & bonding diagram.....	32
(그림 2-19) 다중대역 Receiver RF-FE 측정 환경	33
(그림 2-20) Receiver 출력 waveform 및 spectrum 측정 결과.....	34
(그림 2-21) Input power sweep에 따른 Rx 출력 전력 측정결과 (선형성).....	35
(그림 2-22) Digital gain control에 따른 Receiver 출력신호 측정 결과	36

(그림 2-23) Receiver channel filter (LPF) 특성 측정결과.....	37
(그림 3-1) 단말기 내부 전력소모 분포 (출처: 2009 RFIC workshop).....	41
(그림 3-2) 시스템 별 확률분포를 기반으로 한 PAPR값.....	42
(그림 3-3) EER 송신기 구조.....	44
(그림 3-4) EER구조의 바이어스 변조 방식.....	44
(그림 3-5) phase 정보의 대역폭 확장 현상.....	45
(그림 3-6) 하이브리드 EER 송신기 구조.....	47
(그림 3-7) EER 구조와 하이브리드 EER 구조의 전력 증폭기 동작 차이.....	47
(그림 3-8) Delta Sigma 변조기 모델.....	49
(그림 3-9) OSR 및 LPF 차수에 따른 SNR.....	50
(그림 3-10) 1-bit DSM 송신기 구조.....	51
(그림 3-11) 지연 오차 에 따른 EVM 열화(OSR=32).....	52
(그림 3-12) 전력증폭기의 누설 특성에 따른 문제점.....	53
(그림 3-13) Class-S 전력 송신 구조.....	54
(그림 3-14) Envelope Tracking 전력 송신 구조.....	55
(그림 3-15) 3G LTE 신호의 전력 확률 분포.....	55
(그림 3-16) Bias Modulator Block Diagram.....	57
(그림 3-17) Photograph of Bias Modulator.....	59
(그림 3-18) Measurement Results of Bias Modulator.....	60
(그림 3-19) 전류결합 방식을 이용하는 전력증폭기의 구조도.....	62
(그림 3-20) 1:1 Slab inductor를 사용한 DAT의 개념도.....	63
(그림 3-21) DAT를 이용한 전력증폭기.....	64
(그림 3-22) Power Amplifier Structure (a) Single-ended 구조 (b) differential 구조.....	65
(그림 3-23) Schematic of Class AB Power Amplifier.....	66
(그림 3-24) Layout of Class AB Power Amplifier.....	67
(그림 3-25) Chip Photograph of Class AB Power Amplifier.....	67
(그림 3-26) Measurement Results of Class AB Power Amplifier.....	68
(그림 3-27) Schematic of Class AB PA with Adaptive Bias Circuit.....	69

(그림 3-28) Gate에 인가되는 Bias Voltage (a) MN3, (b) MN4.....	70
(그림 3-29) Chip Layout and Photograph (a) Layout (b) Photograph	70
(그림 4-1) UDMR Receiver 기능제어용 SPI 시험 (정상동작 확인).....	76
(그림 4-2) UDMR Receiver 자체 테스트 플랫폼 보드 도면	77
(그림 4-2) UDMR Receiver 자체 테스트 플랫폼	78
(그림 4-4) UDMR Receiver 자체 테스트 플랫폼 기반 LTE DL 신호 분석	79
(그림 4-5) Phase Locked Loop Block.....	81
(그림 4-6) PLL Course Tuning.....	82
(그림 4-7) Automatic tuning 포함한 광대역 Fractional PLL 구조.....	82
(그림 4-8) 광대역 Fractiona-N PLL chip photography	83
(그림 4-9) Fractional-N PLL LO output spectrum.....	83
(그림 4-10) UDMR 기반 IMT-Advanced 단말 시스템	84
(그림 4-11) IMT-Advanced 단말 시스템용 RF 인터페이스 보드	84

제 1 장 서 론

제 1 장 서 론

제 1 절 연구 개발의 중요성

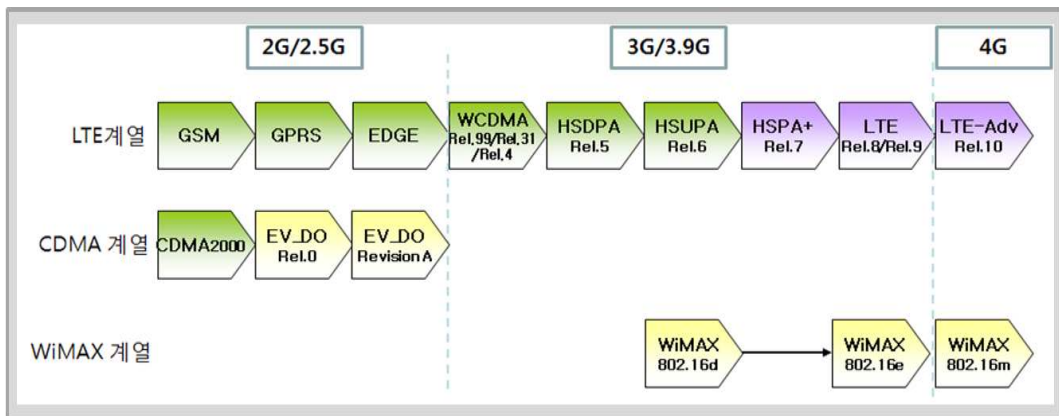
이동통신 서비스 및 단말기등 관련 산업이 오늘날의 국가 경제에 기여하는 비중은 적지 않으며 기술력에 있어서도 세계 최고 수준으로 발전하였는데, 이는 2세대 CDMA 상용화 연구를 필두로 3세대 IMT-2000, WiBro 시스템 개발에 정부와 기업의 적극적인 지원과 참여가 있었기에 가능하였다. 향후에도 지속적인 성장과 경쟁력 강화를 위해서 4세대 이동통신 기술인 LTE-Advanced 및 WiBro-Evolution 등의 차세대 기술 개발이 진행되고 있으며, 주로 국제 표준화 및 서비스, 시스템 통합 분야에 집중적인 연구가 이루어지고 있다. 한편 단말 시스템 및 부품 분야에서는 4세대의 직전 단계인 3.9세대급 LTE (3GPP-Release 9 Long Term Evolution) 표준 규격을 구현하는 연구가 진행되고 있으나, 차세대 IMT-Advanced용 부품 기술에 관해서는 아직 표준이 확정되지 않은 등의 요인으로 인해 본격적인 개발이 이루어지지 않고 있다.

한편, 단말 기술은 WCDMA/GSM 등의 기존 이동통신 외에도 DMB, WLAN, Bluetooth 등 다양한 서비스를 지원하는 다중모드 (Multi-mode) 단말의 활용이 일반화 되고 있으며, 단말을 구성하는 부품 측면에서도, 단일한 트랜시버 칩으로 3~4개 이상의 다중 모드를 지원할 수 있는 고성능 다기능 집적회로 기술이 활발히 연구되고 있다.

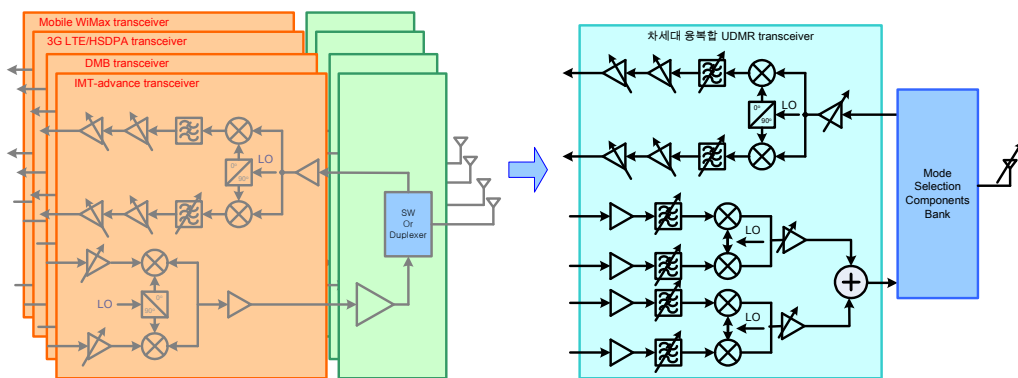
따라서 이러한 기술 수요와 환경 변화에 신속히 대응하기 위해 UDMR(User Defined Multi-Radio) 기반의 RF transceiver 시스템이 개발되고 있는데, 이는 다양한 이동통신 환경에서 사용자가 임의의 서비스를 선택할 수 있거나 최적의 서비스 사양을 선택할 수 있도록 가변 RF 중심 주파수(Variable RF carrier frequency), 가변 채널 대역폭(Scalable channel bandwidth), 가변 듀플렉싱(Duplexing) 등을 서비스 환경에 따라 최적화시키는 RF 시스템을 말한다.

융복합 단말기 구현시, 특히 4세대 이동통신의 후보군으로 거론되는 Mobile Wimax(WiBro)-evolution 이나 LTE-Advanced 등은 효율적인 하향고속 데이터 전송을

위하여 OFDM 변조 방식을 채택함에 따라 높은 선형성 보장을 위하여 RF 시스템 측면에서 이전 세대에 비해 더 많은 전력을 소모하게 되며, 이러한 문제에 대응하기 위해 송신부의 전력 소모를 줄이는 구조 연구가 필수적이다. UDMR RF transceiver 는 Mode-selected Front-End 기술 및 analog component 들의 scalability 고집적 기술을 이용하여 3 세대에서 4 세대까지 여러 서비스의 다중 모드/다중 경로를 지원하며 Digital 신호처리 기술과 송신부 구조를 접목하여 효율문제를 개선하여 휴대 단말기의 근본적인 저가격, 저전력, 소형화를 실현한다.



(그림 1-1) 이동통신 기술 진화경로



(그림 1-2) UDMR RF Transceiver 기술을 이용한 차세대 단말기 개념도

현재 대표적인 차세대 이동통신 표준인 IMT-Advanced 는 ITU WRC-07 에서

2300~2450MHz, 3400~3600MHz 주파수 대역이 후보군으로 거론되고 있으며 기술적인 규격으로는 다중 접속 기술 및 가변 광대역 채널 대역, 가변 듀플렉싱 등이 논의되고 있다. 이러한 차세대 이동통신 표준은 RF 하드웨어 구현에 많은 제약성을 가중시키고 있으며 다중 접속 기술 등과 같은 다중 경로 시스템을 지원하기 위해서 고집적도와 저전력 특성을 요구하고 있다.

이상과 같이, 차세대 단말기 시장의 경쟁력을 확보하기 위해서는 IMT-Advanced 표준을 지원함은 물론이고, 현재 서비스 준비 중인 3세대(WCDMA/HSDPA, DMB, 802.11), 3.5세대(Mobile WiMAX, 3G LTE) 시스템도 동시에 지원하는 범용 Universal radio 형태의 트랜시버 기술이 개발되어야 하는데, 이때 발생하는 신호 간섭, 전력 소모, 복잡도 증가, 성능 열화 문제를 동시에 해결할 수 있는 실효성 있는 회로 통합 기술에 대한 연구가 중요하다.

제 2 절 연구 개발 동향

1. 세계 기술 현황

가. 다중대역/다중모드 RF Transceiver ICs

IMT-Advanced 단말용 다중모드 RF 칩은 아직 전 세계적으로 개발되지 않은 상태이다. 단지 IMT-Advanced의 전 단계인 LTE 또는 WiBro, HSDPA 등을 지원하는 칩셋은 일부 업체에서 개발되었는데, 이와 관련한 국내외 연구 개발 동향은 다음과 같다.

- LTE 단말용 다중모드 RF 칩은 Infineon과 Nokia가 2009년도에 공동으로 개발 완료하고, 현재 서비스 시험 중인 LTE 단말 장비에 사용되고 있는 것으로 알려져 있다. 표준 CMOS 65nm 공정으로 제작되었고, LTE 외에도 기존 GSM, GPRS, EDGE 등의 2G/3G 표준 모드를 지원하는 multi-mode transceiver이며, 800MHz대, 1.9GHz대, 2.1GHz, 2.6GHz대 등 3GPP의 주요 9개 band를 지원한다. 또한 down-link에서 2x2 MIMO diversity를 지원하도록 설계되어 하향 150Mbps, 상향 50Mbps까지 고속 데이터 전송이 가능하다. 모뎀 칩과의 인터페이스는 MIPI DigRF version-4를 채용하여, 다양한 디지털 베이스밴드 칩과의 범용 고속 serial interface가 가능하다.

- Fujitsu사는 LTE를 포함하여 WCDMA/GSM 모드까지 지원 가능한 RF 칩을 2010년 6월 발표한 바 있으며, 가장 큰 특징은 SAW filter를 필요로 하지 않는 SAW-less 구조 기술을 구현한 점이다. 이 칩도 Infineon과 마찬가지로 MIPI DigRF v4 인터페이스를 지원하며 수신부에는 13개의 input port가 있어서 다중 모드의 동시 동작이 가능하며 2.6GHz 이하의 주요 3GPP LTE 표준 대역을 지원한다.

- Qualcomm 사는 자사 고유 기술인 CDMA 계열 칩에 주력하여 3GPP 계열인 LTE 칩 개발에는 비교적 늦게 착수한 편이다. 그러나 이동통신용 칩셋 분야에서는 베이스밴드 모뎀은 물론이고 RF 트랜시버 분야에서도 아직 최고의 시장 점유율을 유지하고 있다. 셀룰러 밴드와 PCS 밴드(혹은 WCDMA) 및 GPS 수신기가 내장한 수신기 "RFR6500"를 발표하였다. 광대역의 LNA 및 Down mixer 가 내장되며 광대역 VCO를 이용하여 PCS 대역(WCDMA) 및 셀룰러 대역의 신호를 지원하는 RF receiver chip 이며 SNR 의 3dB 향상을 위하여 2개의 RF diversity 경로를 지원한다.

- Maxim사는 2007 년도에 2.3~2.7GHz Mobile WiMAX용 "MAX2837" 과 3.3~3.8GHz 대역의 MAX2838" 를 개발하였다. 두 칩 모드 SISO 기반의 1TX/1RX 경로를 지원하지만 현재 MIMO 시스템을 지원하는 2TX/2RX 의 칩을 개발 중에 있다.

- Sierra monolithics 사는 필립스 사와 동일하게 2.3~3.8GHz 의 광대역을 지원하지만 소비전력은 공급 DC 전압이 1.8V로 더 낮다. 또한 2x 2 MIMO 동작을 지원하도록 개발되었으며 모든 송수신 구조가 Direct conversion architecture 구조이다. 하지만 가변 대역폭이 Max. 14MHz 로 비교적 좁은 채널대역폭을 처리하는 단점을 지니고 있다.

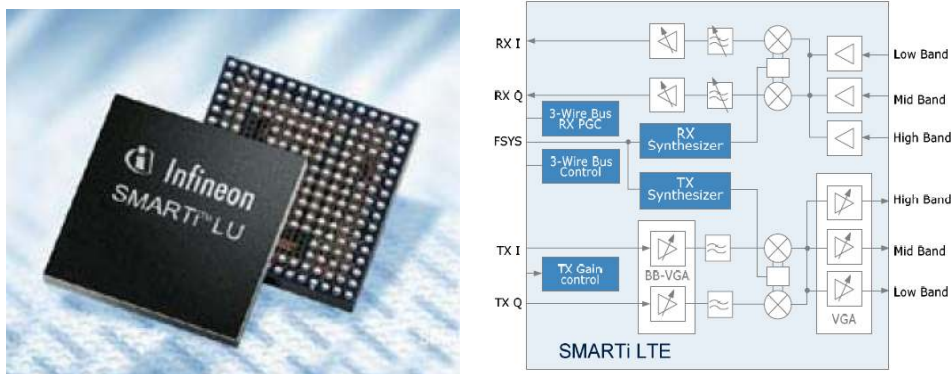
- RF 신호를 최대한 디지털 영역에서 처리하고자 하는 Digital RF 기술이 UC Berkeley, UCLA 등의 대학을 중심으로 연구되고 있으나 아직 기초 연구단계이고 Texas Instruments (TI) 사에서 한때 Digital RF 기술을 연구했으나 현재는 개발을 중단한 상태이다.

- 아래 표는 현재 상용화되었거나 개발 중인 국제 주요업체들의 Chip solution 의 간략한 정보를 기술하였다. 언급된 바와 같이 기존 LTE 또는 WiMAX 지원하는 트랜시버는 개발된 상태이나, 차세대 LTE-Advanced 용으로는 아직 개발된 칩이 없

으며, 기존 WiBro용 칩들도 과도한 전력소모 등의 문제를 안고 있다. 한편, Nokia 및 MAcom 사에서는 향후 4세대 단말기 형태를 Scalable radio 형태로 정의하고 현재 많은 연구 인력을 투입하여 개발 중에 있으며, 전력소모를 줄일 수 있는 고효율 회로기술에 대해 UC Berkeley, USC 등에서 연구되고 있다.

(표 1-1) IMT-Advanced 관련 RF 트랜시버 개발 세계 동향

연구기관	동작주파수 [GHz]	Application	구조	채널 대역폭 [MHz]	칩 size (mm ²)	Technology
Infineon	0.8, 1.9, 2.1, 2.6	LTE/HSDPA/GSM/GPRS	2 Rx, 1 Tx (2x2 MIMO)	≤20		65nm CMOS
Fujitsu	0.8, 1.9, 2.1, 2.6	LTE/WCDMA/GSM	SAW-less	≤20		CMOS
Sierra	2.3~2.7 3.3~3.5	WiMAX	2 Rx, 1 Tx (2x2 MIMO)	≤14	7×7	CMOS
Analog Device	2.3~2.7 4.9~5.9	Dual Band WiMAX	2 Rx, 1 Tx (2x2 MIMO)		9×9	CMOS
Maxim	2.3~2.7	WiMAX	SISO		6×6	CMOS
Qualcomm	0.7 ~ 2.1	WCDMA (all 3G/2G)	Multi-mode SISO	≤ 5		CMOS



(그림 1-3) Infineon사 LTE용 RF 칩 및 block diagram

나. Digital controlled transmitter

- MA/Com 사는 다중대역 다중모드의 수신기 구조와 더불어 Digital transmitter 구조를 Polar transmitter 형식으로 제안하였다. 6Bit 의 resolution를 갖는 GaAS HBT DPA 의 개발을 완료하였으며 CDMA 2000 이동통신 표준에 대하여 시험 결과를 발표하였다.

- Motorola는 PHEMT 와 LDMOS를 이용하여 LINC 구조를 기본으로 하는 DPA(Digital Power amplifier) 모듈 개발에 성공하였으며 LINC 와 Doherty amplifier 를 접목하여 효율 특성을 개선하였다.

- Rockwell collins/government system 사는 LINC architecture 를 연구하고 있으며 LINC 의 가장 큰 문제점인 constant envelop signal 의 대역폭이 넓어지는 문제점을 해결하기 위해 연구 중에 있다. 스위칭 전력증폭기로는 Class -D 급을 연구 중에 있으며 아직 테스트 베드 시험단계에 있다.

- Ecole de technologie superieure 에서는 DSP 기술을 이용한 LINC 송신부 구조를 연구하고 있으며 고효율의 신호 합성을 위하여 Modified 된 Chireix Combining 을 이용하였다. DSP 및 Digital 부분을 FPGA 및 Processor를 이용하여 테스트 베드 구축을 마쳤으며 Integration test platform을 IMS 2004에 발표하였다.

2. 국내 기술 현황

가. 다중대역/다중모드 RF Transceiver ICs

- 국내 산업계에서는 신개념의 융복합 단말기의 기술 연구는 아직 기초적인 연구단계에 있으며 시험적인 다중 대역/ 다중 모드의 트랜시버 기술 개발은 주로 연구기관이나 학교에서 주도하고 있다.

- GCT와 삼성전자, FCI에서 LTE 단말용 RF칩을 개발했으나, 기존의 2G/3G 모드를 포함하는 다중모드 기술은 아직 개발 중인 단계이며, LTE-Advanced 역시 아직은 표준이 확정되지 않은 상태이므로, 개발되지 않은 상태이다. 그러나 2013년 이후 LTE-Advanced가 4세대 이동통신 기술 표준으로서 대규모 시장을 형성할 것으로 예상됨에 따라 관련 기술 개발을 적극적으로 추진하고 있다.

- ETRI에서 Digital RF 기술을 적용한 LTE 모드지원 RF 트랜시버를 연구하고

있으며, NeMA 기술 연구를 통해 4세대 LTE-Advanced 시스템의 국제 표준화 및 기지국/단말기 시험 시스템 등을 개발하였다.

- ERC 연구 센터(ICU, Kaist등)는 Tuneable RF, 광대역, 저전력 RF 기술을 기반으로 Digital Tuned, Switched-Reconfigurable radio 구조를 연구하고 있으며 2005~2007년의 1단계 연구 목표로 이동통신/WLAN/WPAN을 수용하는 reconfigurable digital transceiver 구조와 내장되는 핵심 부품에 대해서 연구 중에 있다.

나. Digital controlled transmitter

- Digital RF transmitter 의 국내 기술 개발 현황은 아직까지 국내 산업체에서 활발히 연구되고 있는 단계는 아니지만 최근 삼성종합기술원 등 산업체 연구기관에서 Digital RF 의 송신부 구조의 기초 연구를 시작하는 등 점차 관심을 보이고 있으며 Postech 과 Kaist 등의 학교를 중심으로 구조 연구가 진행되고 있다. 아직은 초기 기술 연구 단계로 시스템의 전체적인 Integration 보다 Digital RF 송신부를 구성하는 개별적인 소자들의 회로 설계등이 진행되고 있으며 OFDM 변조방식의 시스템에 대한 적용 여부등의 연구는 아주 기초적인 단계만 이루어진 상태이다.

- 포항 공과 대학에서는 고효율 증폭기 기술을 기반으로 향후 단말기에서도 적용 가능한 LINC 구조의 송신기와 sigma delta digitized polar 송신기를 연구 개발하고 있다. 스위칭 전력증폭기로서 Class-F, Class-D 급의 연구 개발을 완료하였고 sigma delta digitized operation 부분은 FPGA 보드에서 담당하여 테스트 베드를 구축하고 있다.

- KAIST는 Delta sigma modulator 과 스위칭 전력 증폭기를 이용한 Polar transmitter 를 연구중에 있으며 스위칭 전력증폭기로서는 Class-E, Class-D 급의 기술 개발을 진행하고 있고 스위칭 증폭기에 Digital 제어부 및 신호 인가부는 DSP 보드로 구현하여 테스트 베드를 구축할 예정이다.

제 3 절 연구 개발 목표

1. 최종 목표

구 분	내 용
최종목표	o 차세대 융복합 이동통신 단말기 구현을 위해 UDMR(User Defined Multi-Radio) 기반 송수신 트랜시버 기술 개발
세부목표	o 차세대 융복합 Radio 구조 및 핵심 부품 표준 및 규격 연구 o 다중 대역/다중 모드 UDMR 기반 핵심 송수신 회로 기술 개발 o IMT-Advanced 를 포함한 Multi 서비스 단말기 테스트 환경 구축 o IMT-Advanced 특화 다중 대역 다중모드 융복합 단말기 기능 및 통합 성능시험

2. 연차별 연구 개발 내용

구 분	연차별 연구 목표	연차별 연구 내용
1 차년도 (2008)	차세대 이동통신 (IMT-Advanced) 포함 다중 대역/다중 모드 송수신 트랜시버 요구사항 정의	- RF 트랜시버 외부 인터페이스 규격 정의 - RF 트랜시버 성능 요구 규격 정의
	차세대 이동통신 (IMT-Advanced) 포함 다중 대역/다중 모드 송수신 트랜시버 상위 구조 설계	- Digitally tuned-wideband 수신부 UDMR 핵심 구조 설계 - High PAPR system의 UDMR 송신 구조 연구 - 송수신부 단위 소자 상세 규격(회로 기술, 전력소모, 단위 소자 간 인터페이스 등) 정의 - 트랜시버 검증용 테스트 플랫폼

		구조 연구
	UDMR 송수신부 핵심 알고리즘 연구	- Phase/amplitude 오차 보정 신호처리 기법 연구 - 송수신 핵심 알고리즘 연구
2 차년도 (2009)	UDMR 기반 다중대역/다중모드 송신기 핵심 IP 개발	- FE, VCO, Demodulator, filter 등 개별소자 IP 기술 개발 - 개별 소자별 Wide-band, tunable 특성 구현
	UDMR 기반 다중대역/다중모드 송신기 핵심 IP 개발	- Saturated/switched class E power amplifier IP 기술 개발 - Modulator, VGA, filter 등 IP 기술 개발
	UDMR 송수신부 핵심 알고리즘 검증	- UDMR 송수신부 핵심 알고리즘 성능검증 기술 개발
3 차년도 (2010)	차세대 이동통신 서비스용 고효율 융복합 SISO RF transceiver 기술 개발	- SISO UDMR 기반 고효율 송수신 RF transceiver 상세 설계 및 IP 기술 개발 - SISO UDMR 기반 고효율 송수신 RF transceiver 테스트 베드 구축 및 자체시험
4 차년도 (2011)	차세대 이동통신 서비스용 고효율 융복합 SISO RF transceiver 기술 개발	- MIMO UDMR 기반 고효율 송수신 RF transceiver 상세 설계 및 IP 기술 개발 - MIMO UDMR 기반 고효율 송수신 RF transceiver 테스트 베드 구축 및 자체시험
5 차년도 (2012)	IMT-advanced 다중대역/다중모드 radio 상용화 지원	특화 Universal
		- IMT-advanced 특화 다중 대역 다중 모드 Universal radio 플랫폼 구현 - IMT advanced 특화 차세대 융복합 단말기 플랫폼 연동 시나리오 개발 및 연동시험 - 패키징 및 상용화 지원

3. 당해 년도 (2010 년) 연구 개발 내용

연구 목표	주요 연구 내용 (계획)
SISO UDMR Receiver integration 기술 개발	- SISO UDMR 다중대역 Receiver chain IP 설계 - SISO UDMR 다중대역 Receiver chain IP 특성 검증
SISO UDMR 고효율 Transmitter integration 기술 개발	- SISO UDMR 고효율 Transmitter chain IP 설계 - SISO UDMR 고효율 Transmitter chain IP 특성 검증
SISO UDMR Receiver 자체 테스트 플랫폼 개발	- Receiver 기능 제어 모듈 개발 - SISO UDMR Receiver 자체 테스트 플랫폼 시험
SISO UDMR 고효율 system 개발	- 고분해능 Fractional-N PLL IP 설계 - 고분해능 Fractional-N PLL IP 특성 검증 - SISO UDMR 고효율 시스템 성능 시험

□ 당해년도 차세대 IMT-Advanced 시스템 개발 규격

- 송수신 분리 방식: FDD
- 주파수 대역: 2.3 ~ 2.7GHz, 3.3 ~ 3.8GHz
- Channel Bandwidth : 5/10/15/20MHz Variable
- 송수신기 구조
 - 송신기: Direct up-conversion & Envelope Tracking PA
 - 수신기: Direct down-conversion (Zero-IF)
- 송신부 최대 출력 전력: 23dBm
- 수신부 Dynamic Range : 75dB

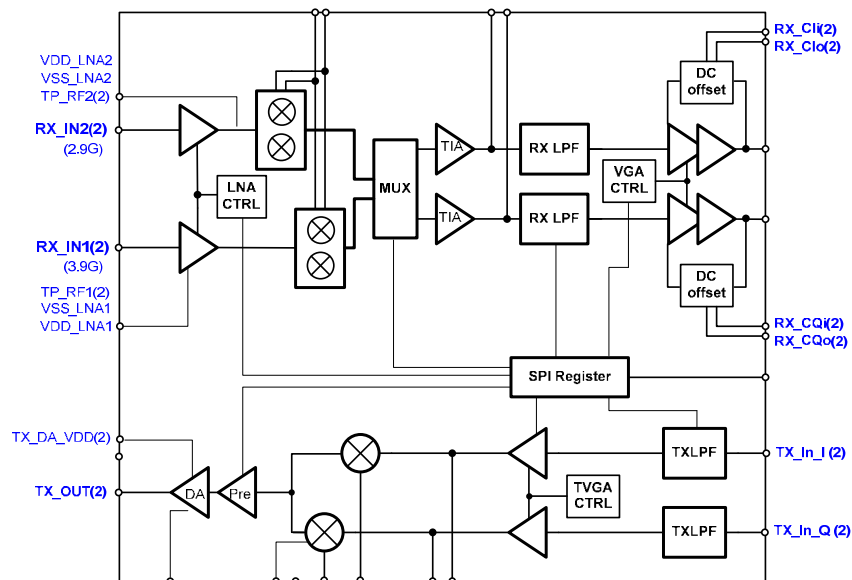
제 2 장 UDMR 수신부 통합 기술

제 2 장 UDMR 수신부 통합 설계

제 1 절 UDMR 트랜시버 개요

UDMR 수신부는 (그림 2-1)과 같이 제작 및 측정 완료된 UDMR 송수신기 (Transceiver) 내에 포함되어 있으며, 수신부를 구성하는 저잡음 증폭기(LNA), 믹서, MUX, TIA 증폭기, 저역통과필터(LPF), 가변이득증폭기(VGA), SPI (Serial Peripheral Interface) 등이 모두 단일 칩 상에 통합된 형태로 구현되었다. 설계 및 측정 완료된 UDMR 트랜시버의 개요는 다음과 같다.

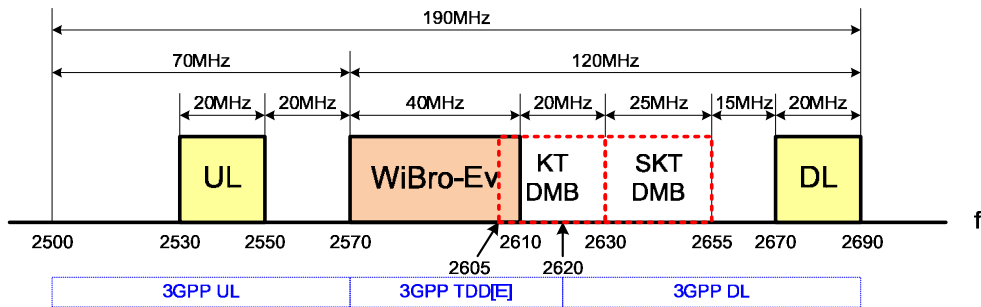
- SPI를 통한 RF 입력 신호의 -11 ~ 90dB 범위의 가변 이득 증폭 (Variable Gain Amp.) 및 5/10/15/20MHz 가변 채널대역폭 (Variable Channel Bandwidth), 가변 RF carrier 주파수 선택 등의 제어 기능
- 송수신기 구조: Direct up/down-conversion
- 1단계 (2010년)까지는 SISO 구조, 2단계에서 4x4 MIMO 지원
- Linear Regulator를 통한 1.2V 단일 전원에 의해 동작



(그림 2-1) UDMR 트랜시버 내부 block diagram

당해년도 개발된 UDMR 트랜시버는 단말 시스템을 구성하는 RF/Analog 구성 블록이 모두 단일 칩으로 통합되어 있으며, 기존의 TI사에서 제안한 MTDSM 구조 또는 digital sampling RF 방식 대신에 direct conversion (Zero-IF) 방식을 채택하였는데, 이는 다음에 설명할 In-band blocker 및 LTE-Advanced의 광대역 특성을 고려한 것이다.

E-UTRA (LTE) Band-7 대역 내에는 다음 그림과 같이 위성 DMB 신호가 2.61 ~ 2.655GHz 대역에 존재하고 Wibro-Evolution 신호도 인접해 있어서, LTE 수신 신호에 대한 강력한 In-band blocker 로서 작용하게 된다. Blocker에 의한 수신부 감도 저하를 해결하기 위해서는 간섭 제거 성능이 매우 우수한 front-end channel filter가 필요한데, 이를 기존의 digital sampling RF 방식으로 구현할 경우 수신부 복잡도와 전력 소모가 매우 증가할 수 있다. 따라서 고성능의 채널 선택도를 확보할 수 있는 direct-conversion 방식을 채택하여 (그림 2-1)과 같은 구조로 설계 되었다.



(그림 2-2) LTE-Advanced 주파수 대역 내 Blocker 신호 특성

(표 2-1) E-UTRA (LTE) Operating Bands

E-UTRA Operating Band	Uplink (UL) operating band UE transmit	Downlink (DL) operating band UE receive	Duplex Mode
	F_{UL_low} - F_{UL_high}	F_{DL_low} - F_{DL_high}	
1	1920 MHz - 1980 MHz	2110 MHz - 2170 MHz	FDD
2	1850 MHz - 1910 MHz	1930 MHz - 1990 MHz	FDD
3	1710 MHz - 1785 MHz	1805 MHz - 1880 MHz	FDD
4	1710 MHz - 1755 MHz	2110 MHz - 2155 MHz	FDD
5	824 MHz - 849 MHz	869 MHz - 894MHz	FDD

6 ¹	830 MHz - 840 MHz	875 MHz - 885 MHz	FDD
7	2500 MHz - 2570 MHz	2620 MHz - 2690 MHz	FDD
8	880 MHz - 915 MHz	925 MHz - 960 MHz	FDD
9	1749.9 MHz - 1784.9 MHz	1844.9 MHz - 1879.9 MHz	FDD
10	1710 MHz - 1770 MHz	2110 MHz - 2170 MHz	FDD
11	1427.9 MHz - 1452.9 MHz	1475.9 MHz - 1500.9 MHz	FDD
12	698 MHz - 716 MHz	728 MHz - 746 MHz	FDD
13	777 MHz - 787 MHz	746 MHz - 756 MHz	FDD
14	788 MHz - 798 MHz	758 MHz - 768 MHz	FDD
15	Reserved	Reserved	FDD
16	Reserved	Reserved	FDD
17	704 MHz - 716 MHz	734 MHz - 746 MHz	FDD
18	815 MHz - 830 MHz	860 MHz - 875 MHz	FDD
19	830 MHz - 845 MHz	875 MHz - 890 MHz	FDD
...			
33	1900 MHz - 1920 MHz	1900 MHz - 1920 MHz	TDD
34	2010 MHz - 2025 MHz	2010 MHz - 2025 MHz	TDD
35	1850 MHz - 1910 MHz	1850 MHz - 1910 MHz	TDD
36	1930 MHz - 1990 MHz	1930 MHz - 1990 MHz	TDD
37	1910 MHz - 1930 MHz	1910 MHz - 1930 MHz	TDD
38	2570 MHz - 2620 MHz	2570 MHz - 2620 MHz	TDD
39	1880 MHz - 1920 MHz	1880 MHz - 1920 MHz	TDD
40	2300 MHz - 2400 MHz	2300 MHz - 2400 MHz	TDD
Note 1: Band 6 is not applicable			

제 2 절 UDMR 수신부 기능 및 성능 요구사항

1. UDMR 수신부 기능

통합된 수신부는 다음과 같은 기능을 지원한다.

- Direct down-conversion 방식 적용
 - RF 신호의 Baseband I/Q로의 Quadrature demodulation 기능
- Band Selection 기능
 - SPI에 의한 Low-Band / High-Band 선택
- 수신 이득 제어
 - SPI 신호 제어
 - 이득 제어 범위 :

- ◆ VGA stage : -11dB ~ +66dB
- ◆ LNA stage : 14dB ~ 35dB
- ◆ Full receiver chain control range : 100 dB
- 수신 채널 선택 filtering
 - SPI 신호 제어
 - 통신 사업자별 Channel selection
 - LTE (3GPP-Rel. 9) 표준 규격의 5/10/15/20MHz Channel mode 지원
- Baseband I/Q Differential Analog 인터페이스
 - ADC interface
- Local phase calibration 기능

2. UDMR 수신부 성능 요구 사항

수신부의 전기적 성능 요구사항은 다음 표와 같이 규정지어진다.

(표 2-2) 수신부 전기적 성능 요구사항

No.	Parameter	Unit	Specification	Comments
1	RF Frequency	MHz	2300 ~ 2700, 3300 ~ 3800	Low Band, High Band
2	RF total band	MHz	400MHz, 500MHz	Low Band, High Band
3	Channel Bandwidth	MHz	5, 10, 15, 20	LTE / WiBro channel
4	Max. Input Power	dBm	-30	64-QAM SNR 최소 요구사항 만족
5	Rx AGC range	dB	> 60	Average Power @ full subcarrier
6	Noise Figure	dB	< 7	
7	RF Flatness	dB	+/-2dB	Baseband analog spectrum
8	Blocker Rejection	dB	< -60	The lowest frequency of DMB

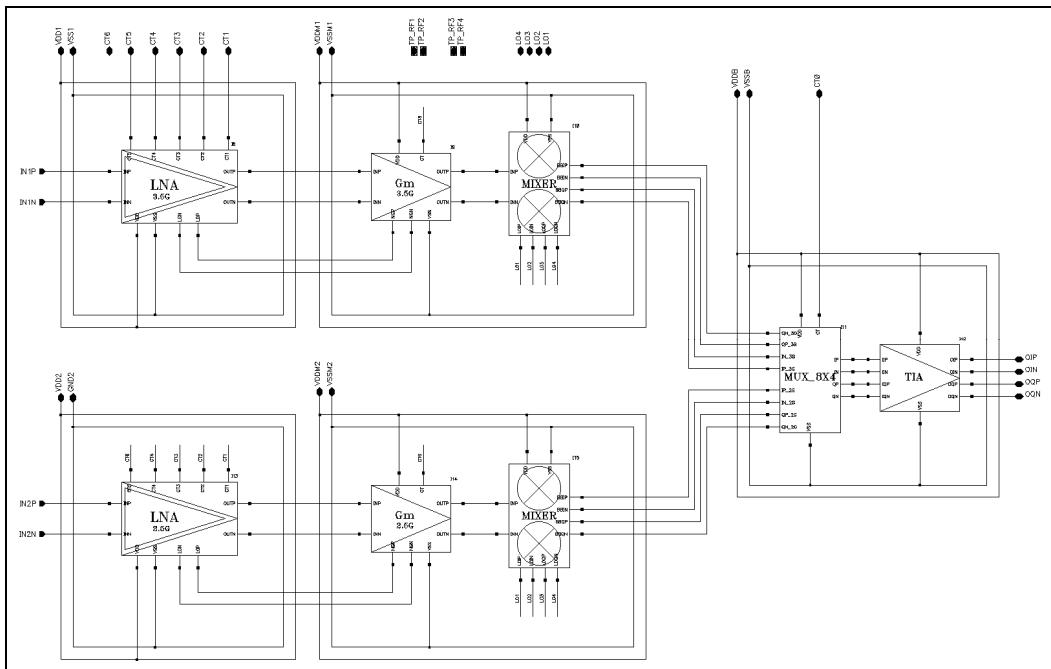
9	Rx Power 에 따른 implementation loss	dB	< 5	전체 system implementation loss 요구 사항
10	VSWR		< 1.5 : 1	@ Antenna port
11	Max. SNR	dB	> 32	64-QAM

제 3 절 UDMR Receiver Integration 설계

1. 다중대역 Receiver RF Front-End 설계

가. 다중대역 Front-End 구조 및 설계 결과

상기한 요구사항에 따라 2.3 ~ 2.7 GHz 및 3.3 ~ 3.8 GHz 대역을 커버하는 IMT-Advanced 단말용 UDMR Receiver RF Front-End(FE) 부의 내부 sub-block diagram은 다음 그림과 같다. RF-FE 부는 단일 칩으로 통합된 전체 Receiver chain 중에서 RF 저잡음 증폭(LNA) 및 하향 주파수 변환 기능을 수행하는 블록을 지칭한다.

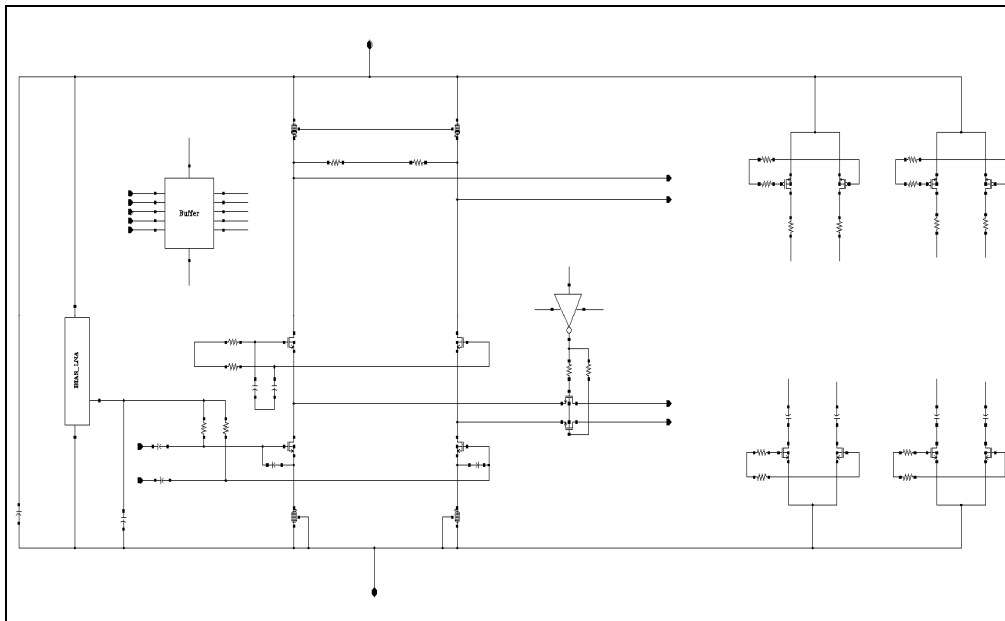


(그림 2-3) UDMR Receiver RF Front-End block diagram

RF-FE 부의 저잡음증폭기 이득은 20dB 범위 내에서 SPI를 통해 조절될 수 있으며, 하향변환부는 선형성이 우수한 current driven passive mixer 구조를 택하여 증폭부 (Gm) 및 switching core 부, TIA (Trans-impedance Amplifier) 로 구성된다. RF-FE의 잡음 및 선형성이 전체 시스템에 미치는 영향이 가장 크므로, 2GHz 대역의 Low-band 부와 3GHz 대역의 high-band 부로 나누어져 구성되어 있다.

RF-FE를 구성하는 각 sub-block - LNA, mixer 등 - 에 대한 상세 구조 및 회로도, 시뮬레이션 결과 등의 세부적인 사항은 전년도 연구보고서에 기술되어 있으므로 당해년도 보고서에는 이를 생략한다.

단, 전년도 설계된 회로 대비하여 당해년도 integration 과정에서 크게 변경된 일부 사항에 대해 간략히 기술하고자 한다. LNA는 일반적인 source degeneration을 갖는 Common source 증폭단으로 구성되며, cascade differential pair 구조이다. 일반적인 LNA core 회로에 low-gain mode switch와 gain control 회로, gain peak 주파수를 조절할 수 있는 frequency shifter 회로가 추가되어 있다. High-band (3.3 ~ 3.8GHz) LNA에 대한 회로 구조는 다음 그림과 같다.

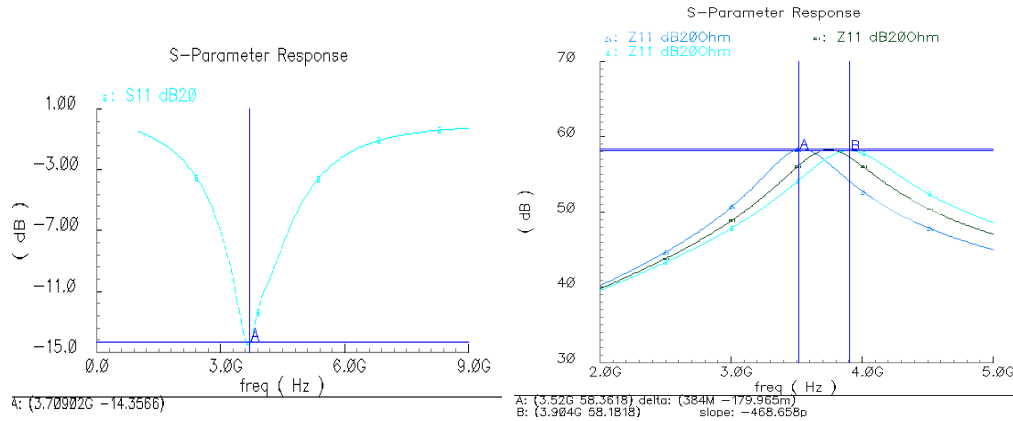


(그림 2-4) High-band LNA cell schematic

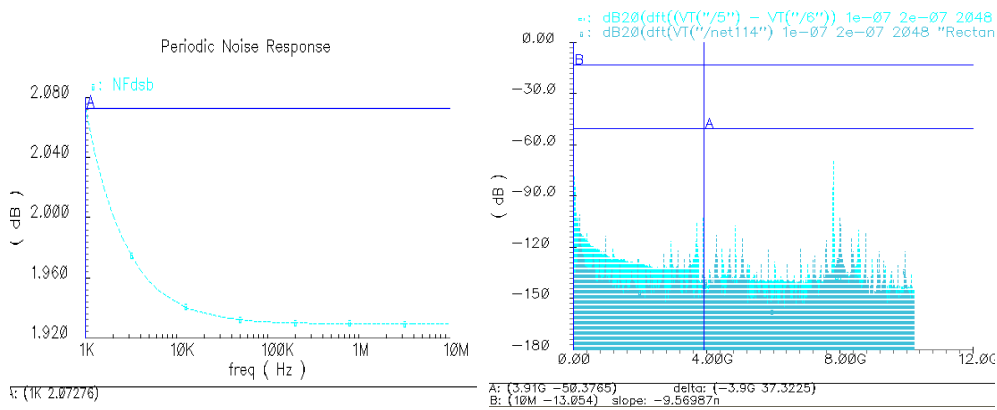
하향변환기는 RF 주파수를 베이스밴드 대역으로 주파수 변환시키는 기능을 수행하며 입력 RF 전압 신호에 대해 전류신호로 증폭하는 Gm (transconductance) 셀과 passive switching core 회로로 구성된다.

나. Post Layout 시뮬레이션 결과

상세 설계된 트랜시버 칩은 통합 layout 후 post layout simulation을 통해 설계 성능을 검증하였다. 다음 그림은 high-band (3.3 ~ 3.8GHz) 입력단에 대한 S-parameter 특성 of post-simulation 결과이다.



(그림 2-5) Receiver RF-FE block S-parameter 특성 (high gain mode)



(그림 2-6) Receiver RF-FE block NF 및 conversion gain

다음의 표는 RF-FE에 대한 layout 완료 후 post-simulation 결과를 정리한 것이다. 전원은 1.2V 단일전원이며, Receiver RF-FE block의 전류소모는 high-gain mode에서 약 26mA, 변환이득은 37dB ~ 42dB (high band)에 이른다.

(표 2-3) Rx RF-FE Post Simulation summary

Spec.								
Band	Low Band				High Band			
Input freq.	2300~ 2700				3300~3800			
VDD	1.2V							
DC Current	<16mA							
Gain (dB)	35	23	11	35	23	11		
NF (dB)	2.02	5.19	9.33	2.52	5.67	9.7		
IIP3 (dB)	-25.46	-12.79	-1.19	-25.46	-12.79	-1.19		
Post-Simulation Result								
Band	Low Band				High Band			
Input freq.	2300~ 2700				3300~3800			
VDD	1.2V							
DC Current	26mA		16mA	26mA		16mA		
Gain (dB)*	41	35	31	20	37	31	27	15
NF (dB)*	1.4	2.8	2.7	5.5	2.1	2.8	4.3	8.3
IIP3 (dB)*	-23			3	-23			

2. Receiver Variable Channel Filter 설계

UDMR Receiver는 RF-FE와 LPF(Low Pass Filter), VGA, SPI 등으로 구성되며, 가변 채널 filtering 기능을 수행하는 LPF 설계 특성 및 결과를 요약하면 다음과 같다. 세부적인 설계 사항은 전년도 연구보고서에 설명되어 있으므로 생략하고, 전년도 대비 통합 과정에서 변경된 부분 및 측정 결과를 중심으로 기술한다.

가. Receiver Variable Channel Filter 요구 사항

UDMR 기반 수신기 내에서 다중 대역 신호의 필터링을 위하여 MTDSM 회로를 전년도에 개발한 바 있다. 그런데, 1절 개요부에서 언급된 바와 같이 LTE-Advanced 의 국제 표준 주파수 대역에 의하면 band-7 대역에서 위성 DMB 및 WiBro-Evolution 신호가 강력한 blocker로 작용하므로, 이러한 blocker를 제거하기 위해 더 높은 필터링 특성이 요구된다. 또한, 수신부뿐만 아니라 송신부 baseband에서도 송신 DAC 출력 스펙트럼의 이미지 주파수 대역의 신호를 효과적으로 제거해주는 다중 대역폭 필터링 기능을 갖는 블록이 요구된다.

In-band blocker 특성을 고려한, 수신부 가변 밴드폭 채널 LPF의 cutoff 주파수 및 selectivity, group delay 특성 등의 기본적인 성능 요구사항을 정리하면 다음 표와 같다.

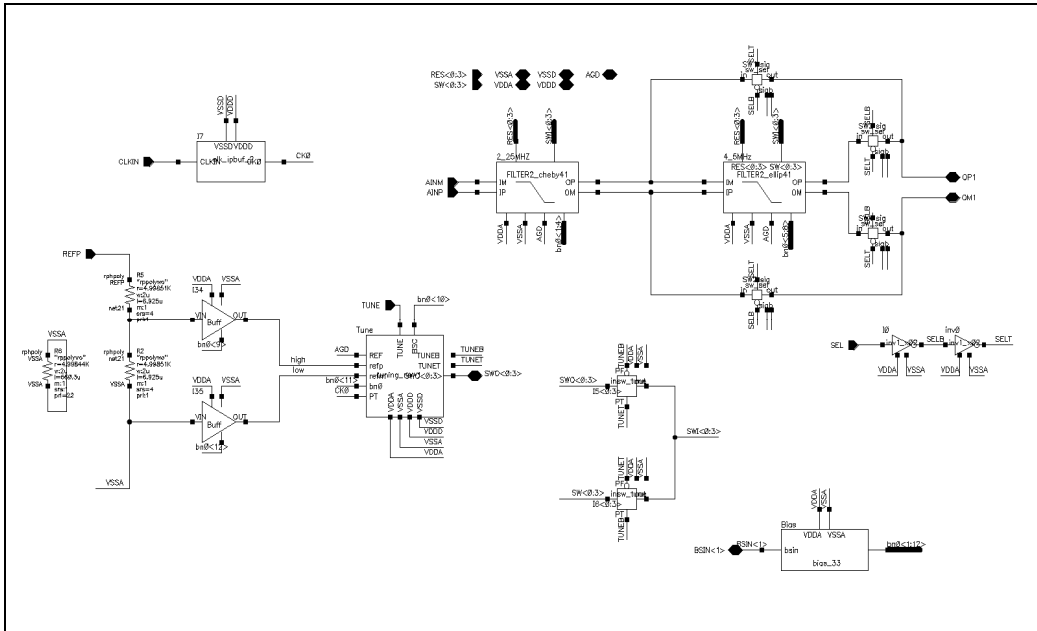
(표 2-4) Rx variable bandwidth channel filter requirements

RF Channel BW [MHz]	5	10	15	20
Signal BW [MHz]	4.5	9	13.5	18
1dB Cutoff Freq. [MHz]	2.25	4.5	6.75	9
Selectivity [dB]	32 @2.7MHz	32 @5.2MHz	29 @7.7MHz	26 @10.2MHz
	35 @ 5MHz	35 @7.5MHz	32 @10MHz	29 @12.5MHz
	54 @10MHz	51 @12.5MHz	47 @15MHz	43 @17.5MHz
	56 @15MHz	53 @17.5MHz	49 @20MHz	45 @22.5MHz
	70 @62.5MHz	67 @65MHz	63 @67.5MHz	59 @70MHz
	85 @87.5MHz	82 @90MHz	78 @92.5MHz	74 @95MHz

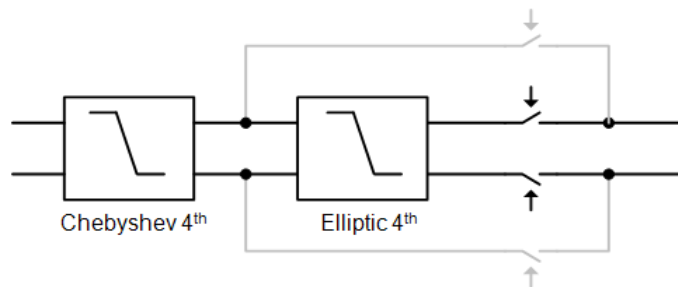
Bandwidth [MHz]	0 ~ 2.25	0 ~ 4.50	0 ~ 6.75	0 ~ 9.00
Group Delay [nsec]	< 469ns	< 469ns	< 469ns	< 469ns

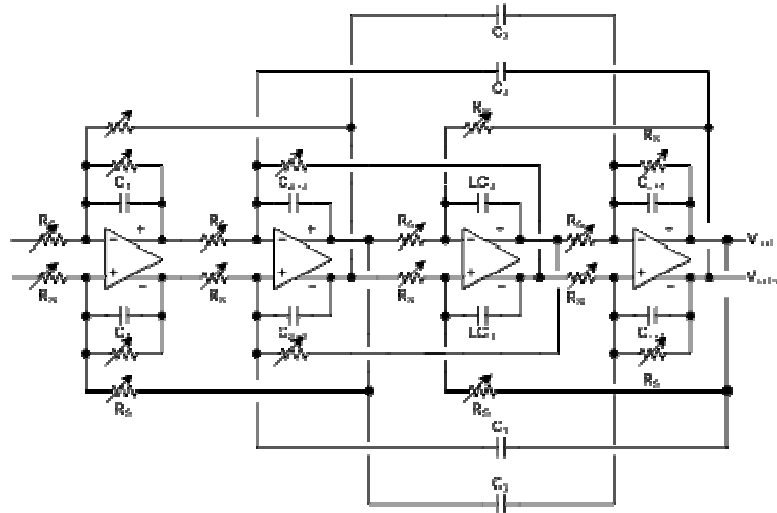
나. Receiver Variable Channel Filter 구조

상기 두 요구에 의해서 가변 대역폭 LPF가 설계되었으며, 그 전체적인 구조는 아래 그림과 같다. 필터의 가변 대역폭 주파수는 R과 C에 의해서 결정되는데, 본 구조에서는 C를 고정시키고 R 값만 스위치를 통해서 가변함으로써 필터의 대역폭을 변화시킬 수 있게 하였고, blocker 및 인접채널 간섭신호 제거에 필요한 stop-band에서의 충분히 큰 감쇄 특성을 얻기 위하여 4차 Chebyshev-I 필터와 4차 Elliptic 필터를 cascade로 연결하여 사용하였다.



(그림 2-7) 가변 대역폭 LPF 구조



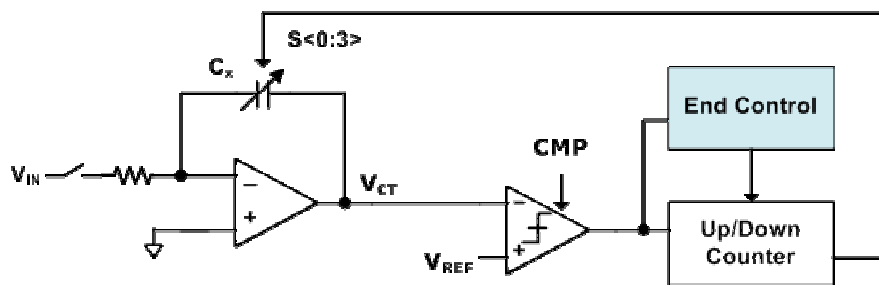


(그림 2-8) 가변 대역폭 LPF 내부 4차 Elliptic filter schematic

설계된 가변 대역폭 LPF에는 출력 버퍼가 built-in되어 있으며, PVT (Power, Voltage, Temperature)에 의한 주파수 변화에도 일정한 대역폭을 제공하기 위하여 튜닝(tuning)회로도 함께 설계되었다. 그 구성은 다음 절에 기술한다.

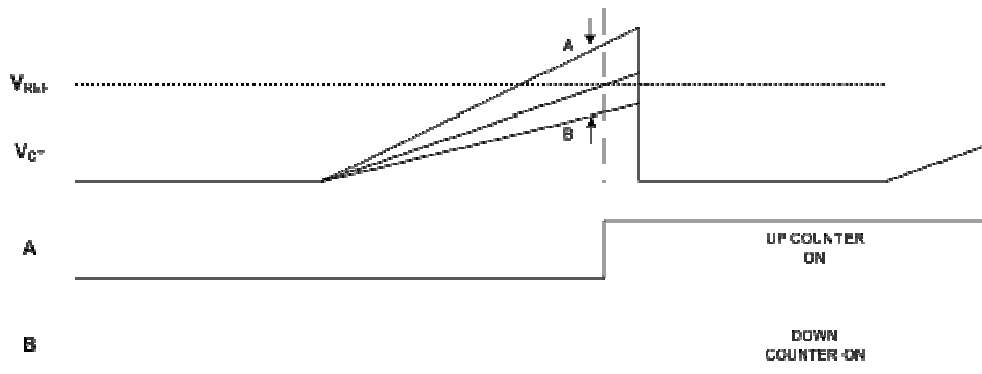
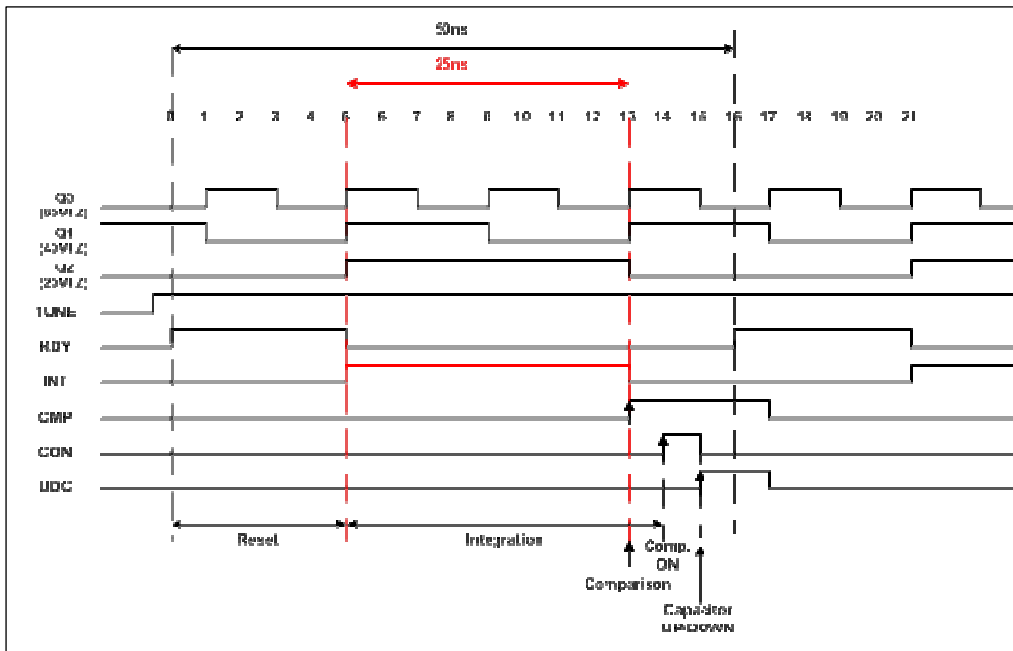
다. Filter Tuning Block

채널 필터는 아날로그 회로로 구현시 PVT variation에 따른 특성 변화가 발생하여 시스템 전체 성능을 열화시킬 수 있다. 따라서 이러한 변화에 무관하도록 자동 tuning 회로를 추가로 구현하였으며, 그 구조는 다음 그림과 같다.



(그림 2-9) 가변 대역폭 LPF 내부 Digital Tuning block

가변 채널 필터 대역폭이 RC 값에 의해 결정되며, RC 값은 디지털 펄스 신호 입력에 대해 상기한 적분기 회로에서 전압 (V_{ct})로 변환된다. 이 전압을 기준 전압 V_{ref} 와 비교하여 기준 전압보다 높거나 낮은 경우 up/down counter 이용하여 capacitor bank의 capacitance 값을 조정함으로써, 원하는 정확한 RC 값에 맞출 수 있다.



(그림 2-10) Digital Tuning block – operational waveform

라. Variable Channel Filter 시뮬레이션 성능 요약

상기한 구조에 따라 설계 및 layout 완료한 가변 대역폭 채널 LPF 의 post-layout 시뮬레이션 결과를 정리하면 다음 표와 같다.

(표 2-5) Variable bandwidth Channel Filter Design Summary

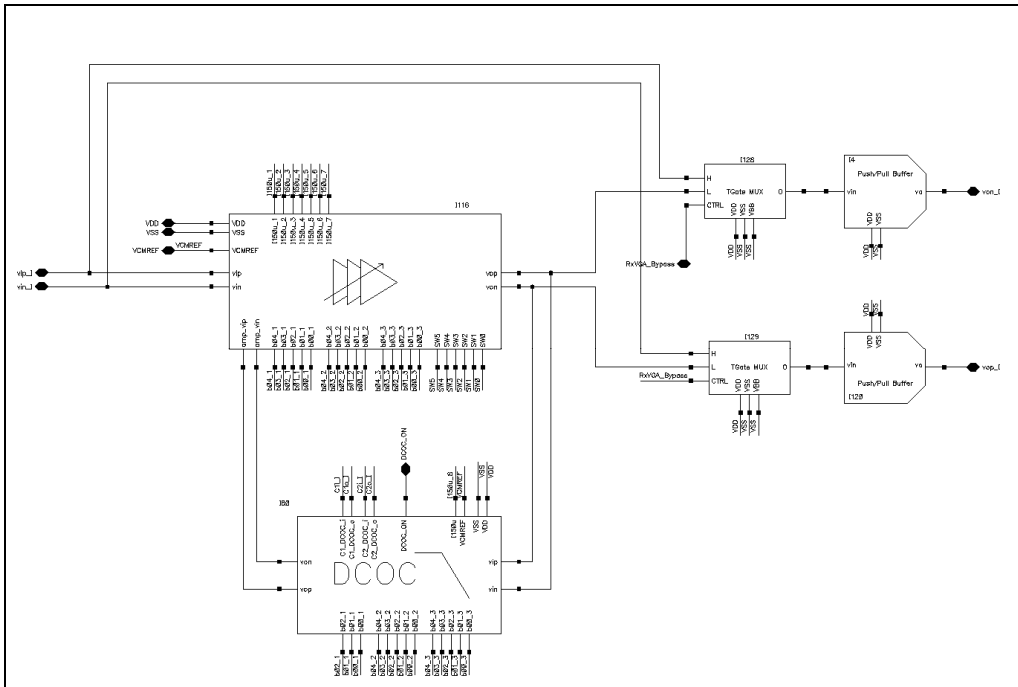
Performance		Rx Filter	Tx Filter	Note
Filter Type	BW=2.50MHz	4 th -order Cheby-I	4 th -order Butterworth	
	BW=4.50MHz	4 th -order Cheby-I +4 th -order Elliptic		
	BW=6.75MHz			
	BW=9.00MHz			
Passband Ripple [dB]		2.5 (max)		< 1.5dB
			0.22 (max)	< 0.2dB
Group Delay Variation [nsec]		444 (max)		< 469nsec
			36 (max)	< 40nsec
Power Dissipation [mW]		26.2	14.6	V _{DD} =1.2V
Area [mm ²]		2.94x0.62	1.52x0.62	130nm

3. Receiver Variable Gain Amplifier (VGA) 설계

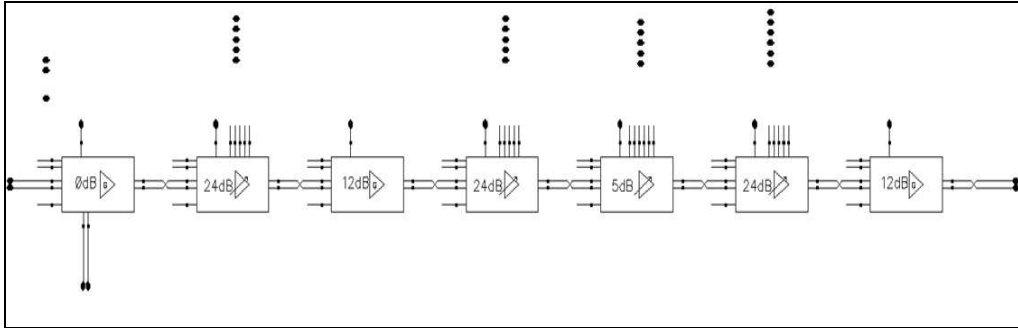
UDMR Receiver에서 베이스밴드 신호의 가변 이득 증폭 기능을 수행하는 VGA 는 DC-offset 제거 기능을 포함하고 있으며 가변 범위는 77dB 이상이다. VGA를 구성하는 세부 회로에 대해서는 전년도 연구 보고서에 기술되어 있으므로 당해년도 보고서에는 생략하고 Transceiver Integration 성능 및 통합 시뮬레이션 결과를 중심으로 정리하였다.

가. Receiver VGA 구조

모뎀 수신부의 ADC에 인가되는 RF 수신부 출력신호는, 최적의 SNR 특성을 얻기 위해 RF 입력 신호에 관계 없이 일정한 수준으로 신호 레벨이 조절되어야 하며, 이를 SPI를 통해 디지털 자동 제어가 가능하도록 하는 digitally controlled VGA 회로가 개발되었다. VGA 출력단에는 ADC interface를 위한 buffer stage가 있으며 DC offset compensation (DC-OC) sub-block을 포함하고 있다.



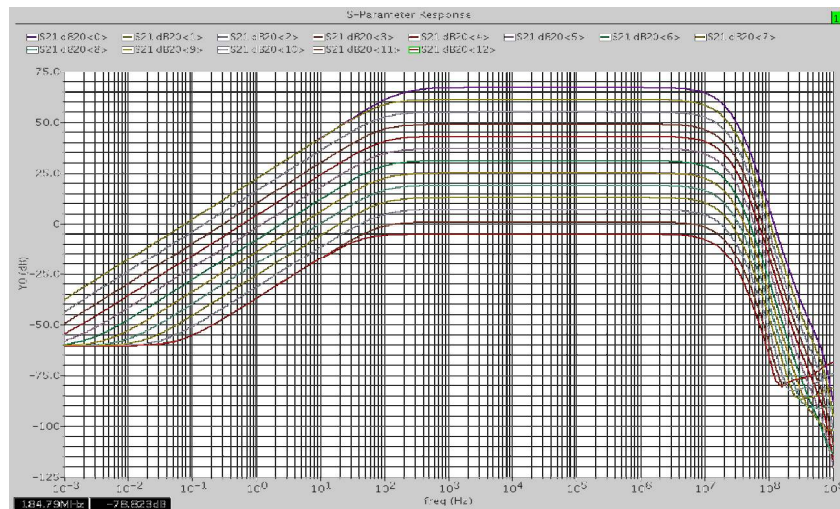
(그림 2-11) Receiver VGA block diagram



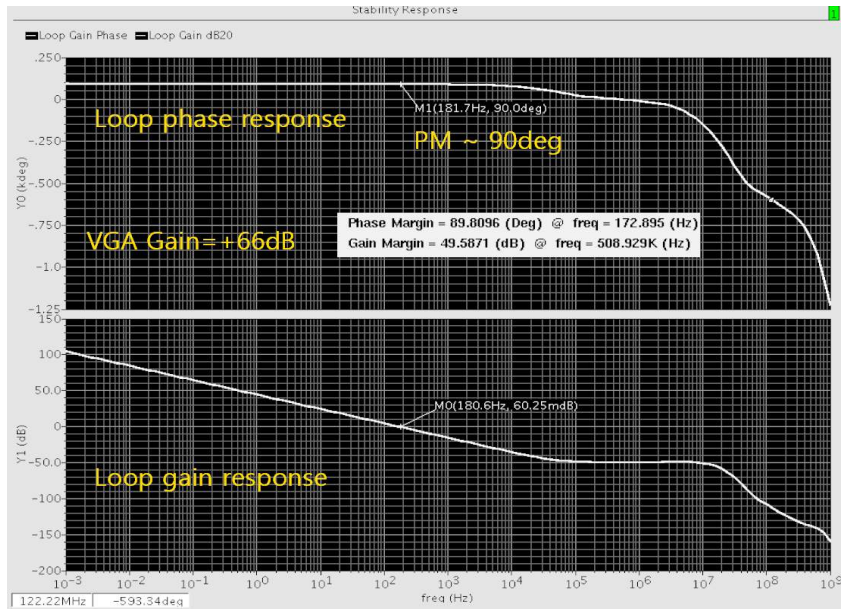
(그림 2-12) Receiver VGA core sub-block schematic

나. Receiver VGA 설계 결과

UDMR Receiver chain 중에서 VGA block에 대한 post-layout 시뮬레이션 결과는 다음 그림과 같다. 중요한 DC offset 제거 기능이 정상 동작하며 가변 이득 범위가 요구사항을 만족함을 확인할 수 있다.



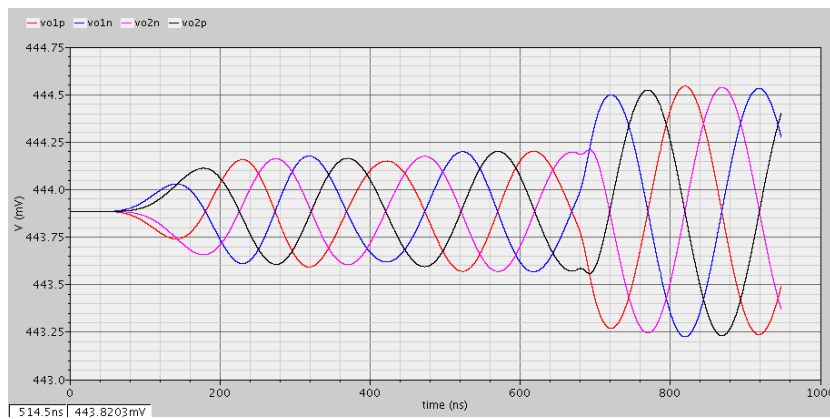
(그림 2-13) Receiver VGA simulation 결과 - 주파수 특성



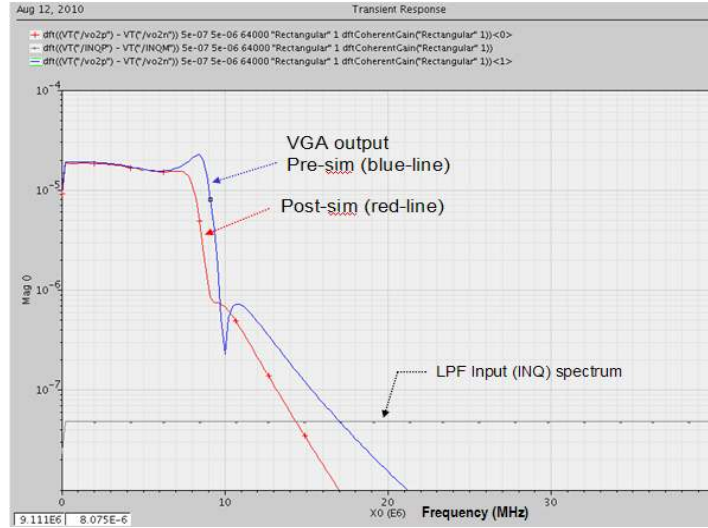
(그림 2-14) Receiver VGA simulation 결과 – stability

4. Receiver chain 통합 layout 및 시뮬레이션 결과

UDMR 다중대역 Receiver chain 전체에 대한 통합 layout 및 시뮬레이션 결과는 다음과 같다. RF FE 및 BBA, SPI까지 포함한 Full chip simulation 환경에서 single-tone RF 입력에 대해 post-layout transient simulation을 수행한 결과 수신부의 출력 파형은 다음 그림과 같다.



(그림 2-15) Receiver full-path transient simulation 결과 (output I/Q signal)



(그림 2-16) Receiver BBA impulse response

(표 2-6) Receiver 통합 simulation condition

Parameter	Unit	Value	Comments
RF input Frequency	MHz	3905	Default = High Band
LO input Frequency	MHz	3900	
RF input Power	dBm	-110	
LO input Power	dBm	-3	
RF input impedance	Ohm	50	
R_load	Ohm	200	Output load impedance
C_load	pF	10	Output load impedance
Rx FE gain mode	dB	39	Default SPI setting
Rx LPF BW mode	MHz	10	RF 20MHz mode
Rx VGA gain setting	dB	50 -> 55	Gain variation via SPI
Supply Voltage	V	1.2	

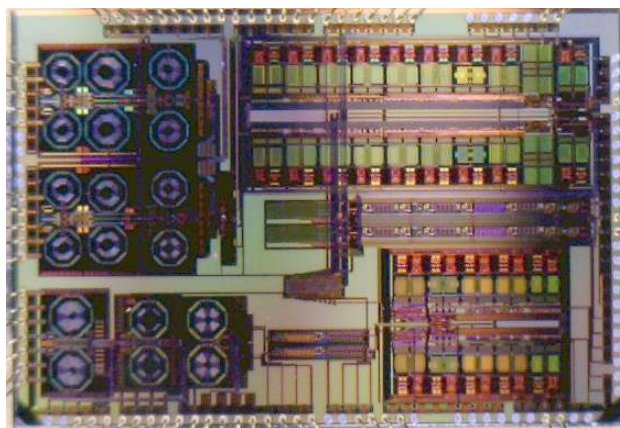
(표 2-7) 다중대역 Receiver 설계결과 요약

Block	Parameters		기존논문 , 상용칩	설계결과
수신부 Front-end	주파수 대역 (LTE/Wibro용)	GHz	< 2.5	2.3~2.7, 3.3~3.8
	Gain (Max/Min)	dB	34 / 2.3	41 / 15
	Noise Figure	dB	3.9	1.5 ~ 2.5
수신부 Analog	VGA Gain Range	dB	50 / -10	66 / -11
	LPF selectivity @ 2fc	dB	50	43 ~ 54
수신부 전체	Process Technology	nm	-	130
	Power Consumption	mW	> 200	134

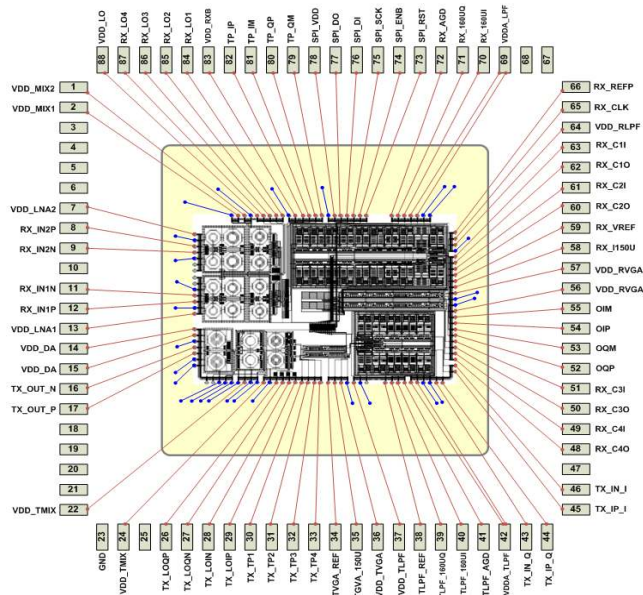
제 4 절 UDMR Receiver 제작 및 측정 결과

1. UDMR Transceiver 제작

CMOS 0.13um 공정을 이용하여 제작 완료된 RF Transceiver 칩 사진 및 패키징된 배치도는 다음 그림과 같으며, Receiver integrated chain은 이 칩 내에 포함되어 있다.



(그림 2-17) UDMR Transceiver chip photo

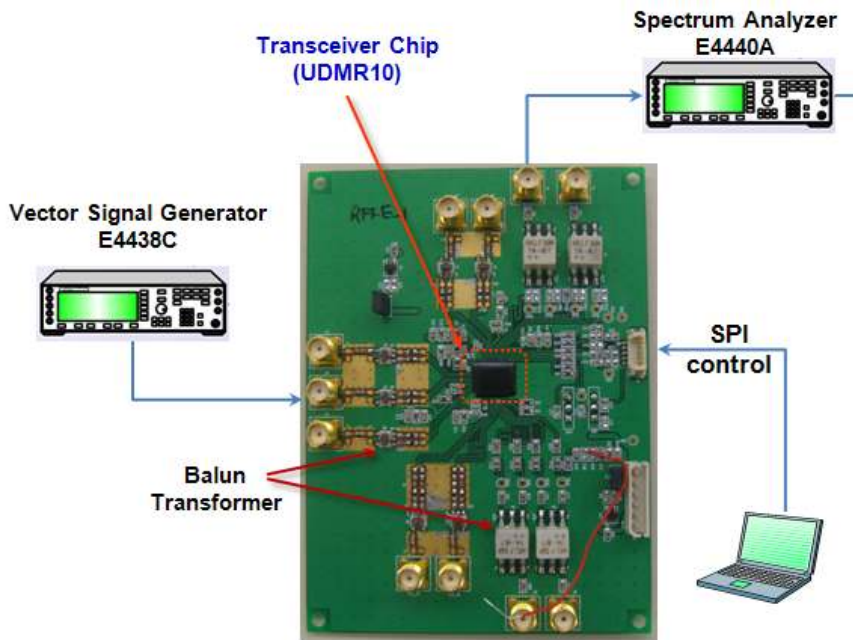


(그림 2-18) Package pin map & bonding diagram

제작된 칩 크기는 5mm x 3.5mm 이며, 패키지는 각종 테스트 핀 등을 포함하여 88 핀 MLF로 제작하였다. 제작된 UDMR Transceiver는 전력증폭기를 제외한 송신부 및 수신부, SPI 제어부 등이 모두 단일 칩 내에 집적되어 LTE 모뎀 칩과 직접 연결 가능하며, 2.3 ~ 2.7GHz 및 3.3 ~ 3.8GHz 다중 대역, 가변 채널 밴드폭 기능을 지원한다.

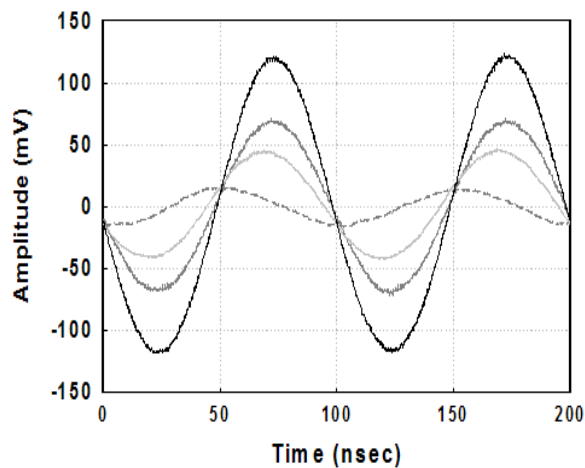
2. 다중대역 Receiver RF FE 측정 결과

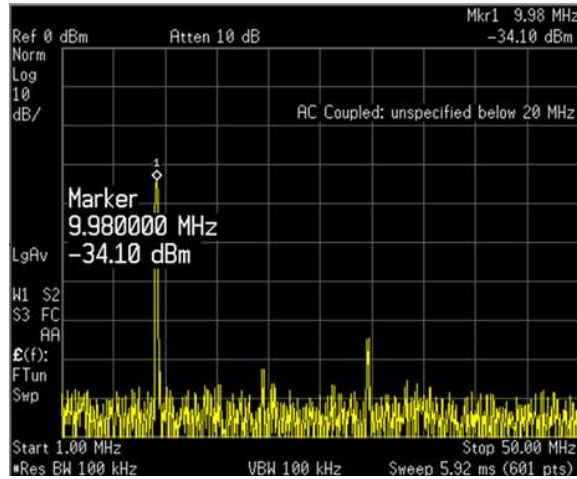
앞서 설계 및 제작된 Transceiver 칩에서 다중대역 Receiver RF FE 부분에 대한 성능 측정 과정 및 결과는 다음과 같다. 우선 single-tone test에서는, vector signal generator E4438C 이용하여 LB 대역 또는 HB 대역 (3.3 ~ 3.8GHz) 신호를 RF 수신부 입력 port에 인가한다. SPI 제어 신호를 노트북 PC의 USB dongle을 통해 트랜시버 칩에 인가한 후, 수신부의 BBA 입력단 test port에 spectrum analyzer E4440A 또는 digital oscilloscope 연결하여 출력 신호를 분석하였다. 제작된 Receiver 통합 시험용 보드 및 측정 setup은 다음 그림과 같다.



(그림 2-19) 다중대역 Receiver RF-FE 측정 환경

상기한 측정 보드 이용하여 RF 입력으로 3.510GHz, -40dBm 신호를 인가하고 LO 주파수는 3.5GHz로 setting 했을 때, oscilloscope 및 spectrum analyzer로 측정된 수신부 출력 신호 파형을 도시하면 다음 그림과 같다.



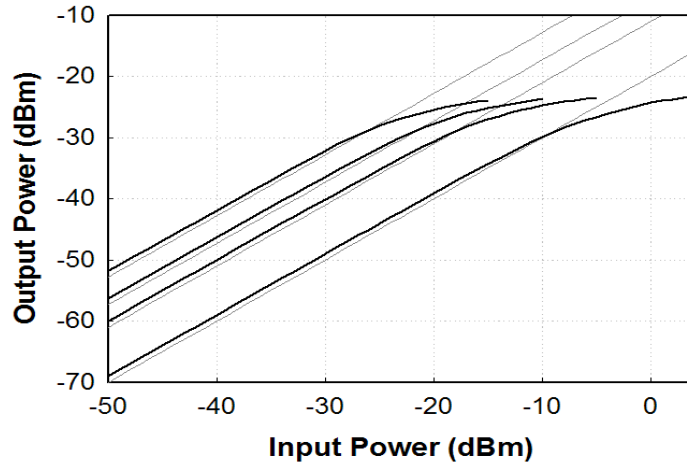


(그림 2-20) Receiver 출력 waveform 및 spectrum 측정 결과

수신부 RF FE의 변환 이득이 시험 기준을 만족하는지 측정한 결과와, 선형성 (P1dB) 측정 결과는 다음과 같다.

(표 2-8) Receiver RF-FE부 conversion gain 시험결과

주파수 대역	Gain	측정결과	비고
2570MHz~2610MHz	30dB 이상	39dB	Pass
3500MHz~3600MHz	30dB 이상	35dB	Pass



(그림 2-21) Input power sweep에 따른 Rx 출력 전력 측정결과 (선형성)

상기한 변환이득 및 선형성 등의 측정 결과를 각각의 band 및 gain mode에 따라 정리하면 다음 표와 같다.

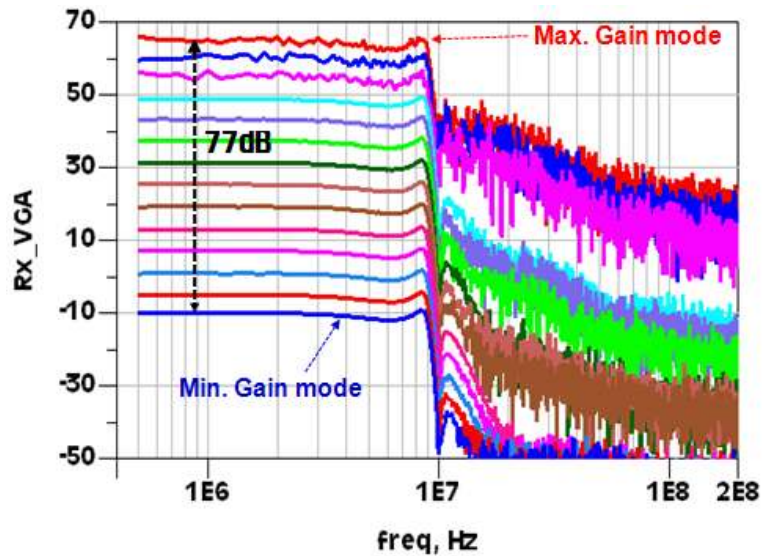
(표 2-9) 다중대역 Receiver RF-FE 측정결과 요약

Measured Result								
Band	Low Band				High Band			
Input freq.	2300~2700				3300~3800			
DC Current	26mA		16mA		26mA		16mA	
Gain (dB)*	39	33	29	19	35	29	25	14
NF (dB)*	2.0	2.5	3.3	6.1	2.4	3.2	4.8	8.8
IIP3 (dB)*	-25	-16	-7	-1	-21	-16	-12	-1
*측정 보드에 의한 손실 보정한 측정 결과								

3. 다중대역 Receiver BBA 통합시험 측정 결과

제작된 다중대역 Receiver의 BBA 부 특성을 측정한 결과는 다음과 같다. 아래 그림은 SPI gain control에 따른 BBA 출력 (ADC 입력) 신호를 측정한 결과이다.

트랜시버에 내장된 채널 필터(LPF) 영향으로 출력 신호 spectrum이 정해지며, 최대 및 최소 gain mode에서 BBA 이득은 각각 66dB, -11dB로 측정되었다 (gain control range = 77dB).



(그림 2-22) Digital gain control에 따른 Receiver 출력신호 측정 결과

규정된 수신 전력 범위 내에서 수신 이득 제어 성능 기준을 만족하는지 확인한 결과는 다음 표와 같다.

(표 2-10) Receiver 이득 제어 시험 결과

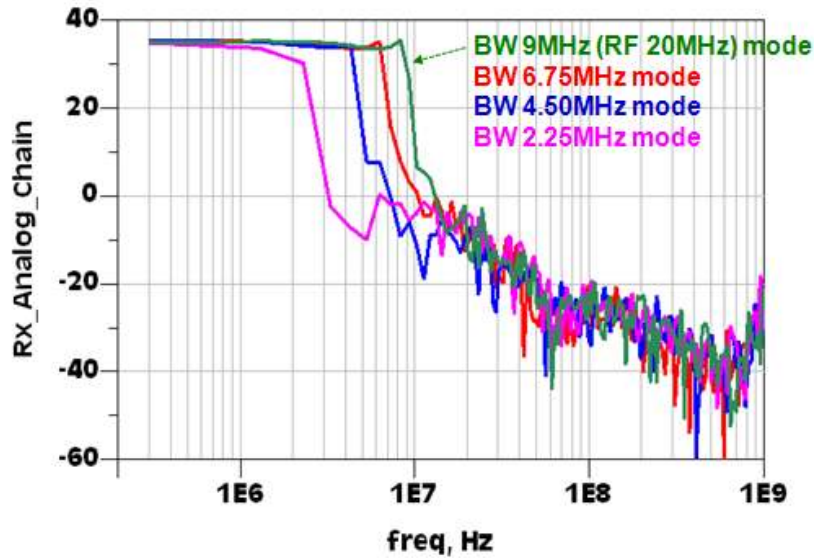
Rx gain range 시험기준	측정결과	비고
60dB 이상 (-30dBm~-90dBm)	77dB 이상	Pass

(표 2-11) Receiver dynamic range 시험 결과

Rx dynamic range 시험기준	측정결과	비고
75dB 이상 (-15dBm~-90dBm)	80dB 이상	Pass

제작된 다중대역 Receiver의 가변 채널 필터 특성 시험 결과는 다음 그림과 같

다. 가변 채널 필터 (5/10/15/20 MHz mode)에 의해 설계된 대로 출력 신호 대역폭이 결정됨을 확인할 수 있다.



(그림 2-23) Receiver channel filter (LPF) 특성 측정결과

(표 2-12) Rx variable bandwith channel filter 측정 결과

RF Channel BW mode	Unit	5MHz	10MHz	15MHz	20MHz
Signal BW	MHz	4.5	9	13.5	18
1dB Cutoff Freq. (simulation)	MHz	2.25	4.5	6.75	9
1dB Cutoff Freq. (Measured)	MHz	2.3	4.6	6.8	9.1

4. 다중대역 Receiver chain 통합 시험

제작된 UDMR Transceiver 칩 내의 다중대역 Receiver chain 에 대한 통합 시험을 수행하였으며, 측정 결과를 요약하면 다음과 같다. 측정 결과 성능은 기존 논문에서 보고된 LTE 또는 WiBro-Evolution용 RF 칩에 비해 부분적으로 우수한 특성을

보이고 있다.

(표 2-13) UDMR Transceiver 칩 성능 측정결과 요약

Block	Parameters		기존논문 상용칩	측정결과
수신부 Front-end	주파수 대역 (LTE/Wibro용)	GHz	< 2.5	2.3 ~ 2.7, 3.3 ~ 3.8
	Gain (Max/Min)	dB	34 / 2.3	39 / 14
	Noise Figure (Min.)	dB	3.9	2.0 ~ 2.5
수신부 Analog	VGA Gain Range	dB	50 / -10	66 / -11
	LPF selectivity @ 2fc	dB	50	43 ~ 54
수신부 전체	Process Technology	nm	-	130
	Power Consumption	mW	> 200	134

제 3 장 UDMR 고효율 송신부

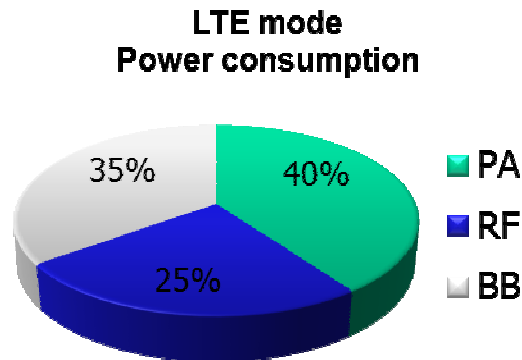
제 3 장 UDMR 고효율 송신부

제 1 절 고효율 송신부 개요

1. 단말기 효율

가. 단말기의 Power amplifier 및 Transmitter 전력소모

상용 단말기 구성은 크게 User Interface 와 Modem이 탑재된 Baseband and Mixed ASICs 과 RF Transceiver 이루어져 있다. 각 부분 별 전력 소모량을 살펴보면, User Interface를 제외한 송신부 중에서 Transmitter 부가 가장 전력 소모가 많다. 그 이유는 단말기의 송신 전력을 고효율로 증폭하는 전력 증폭기 (PA)의 전력 소모가 매우 크기 때문이다. 따라서 단말기의 Battery-life 연장 측면에서 선형성을 보장하면서 효율 특성이 우수한 송신 구조 연구가 활발히 진행되고 있다.

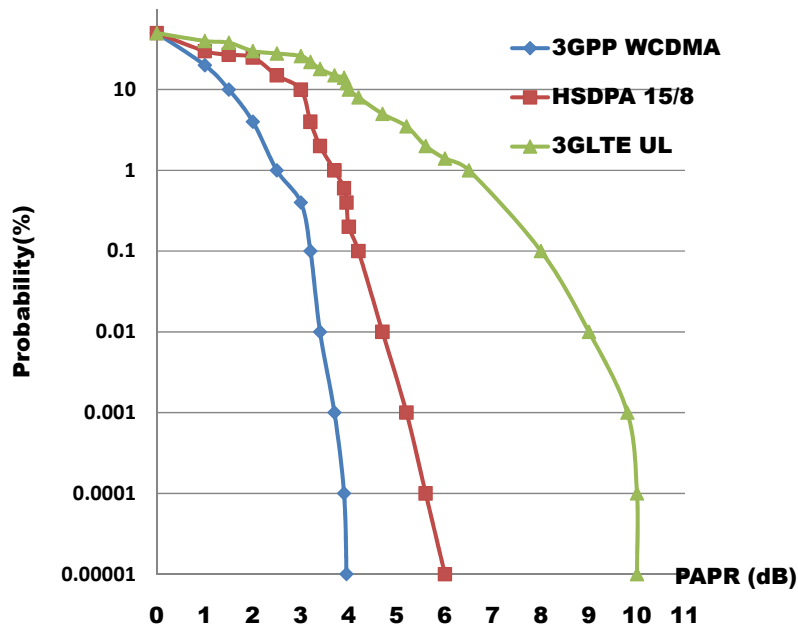


(그림 3-1) 단말기 내부 전력소모 분포 (출처: 2009 RFIC workshop)

나. PAPR (Peak-to-average power ratio)

차세대 이동통신 단말기의 송신부의 고효율 구조가 요구되는 다른 큰 이유는 송신 신호의 PAPR(Peak-to-Average Power Ratio)이 매우 크다는 것이다. GSM 및 CDMA 등의 기존 2~3G 의 시스템의 송신 신호는 신호의 최대값과 평균값의 차이가 그리 크지 않지만 OFDM 변조 방식을 이용하는 3.5G나 4G 시스템에서는 신호의 멀티

캐리어 변조 방식(OFDM)으로 인하여 PAPR이 매우 커진다. 큰 PAPR은 전력 증폭기의 Back-off Level를 증가시켜 신호를 선형적으로 송신하기 위해서는 송신 평균전력보다 PAPR+margin(dB) 만큼 큰 P1dB를 갖는 전력 증폭기를 사용하기 때문에 전력 증폭기의 전력 효율 (PAE : Power Added Efficiency)를 크게 감소시키는 단점을 가지고 있다. 아래 오류! 참조 원본을 찾을 수 없습니다.(그림 2-2)는 시스템 별 PAPR 값을 도시한 그림이다. WCDMA의 PAPR값은 0.001% 확률에서 약 3.5dB의 PAPR 값을 나타낸 반면 3G LTE UL의 신호는 약 9dB의 확률 분포를 나타낸다. 이는 같은 평균전력을 안테나로 방사하는 경우 3G LTE의 전력 증폭기가 WCDMA 전력 증폭기보다 약 6.5dB 높은 P1dB 특성을 가져야 한다는 것이다.



(그림 3-2) 시스템 별 확률분포를 기반으로 한 PAPR값

(표 3-1) 시스템 별 PAPR(2005 RFIC, UCSD자료 재구성)

System	PAPR@0.001%(dB)	Access type
GSM	0	TDMA

GPRS	0	TDMA
EDGE	3.2	TDMA
CDMA One	5.5	CDMA
WCDMA	3.5	CDMA
CDMA2000	4	CDMA
802.11a/g	8~10	TDMA
WiMAX/WiBro	10.3	OFDM
3G LTE/WiMAX	9.2	SC-OFDM

다. 상용 단말기 전력 증폭기의 효율

현재 상용 단말기는 거의 화합물 반도체 기판인 III-V InGaP HBT(Hetero-junction Bipolar Transistor) 를 사용하며 선형성 측면에서 설계 제작되고 있다.

상용 단말기 전력 증폭기의 대표적인 벤더인 Anadigics 및 Skworks 사의 전력 증폭기의 효율을 살펴보면 Average 23~25dBm 출력에서 15~25% 의 낮은 효율 특성을 보이고 있다. 이러한 이유는 현재 전력 증폭기의 타겟이 선형성 위주로 되어 있으며 WiMAX 등 OFDM 시스템의 전력 증폭기는 PAPR 이 커 Back-off 를 많이 하기 때문이다. 하지만 이러한 효율 저하는 단말기의 배터리 수명을 매우 단축시키며 방열에 대한 부가적인 기법이 필요하기 때문에 고효율 전력 증폭기의 구조의 연구가 매우 절실하게 요구된다.

(표 3-2) 상용 전력 증폭기 출력 전력 및 효율

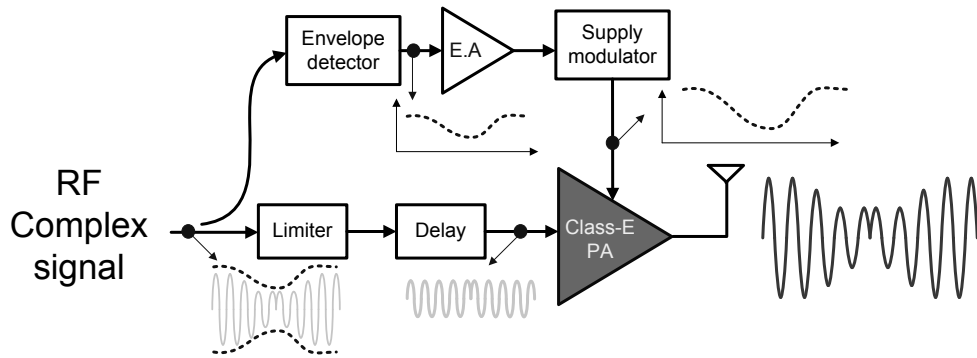
Power amp vendor	출력 전력	PAE
AP3012@RFIC	23dBm	20%
AWT6261@Anadigics	25dBm	21%

2. 고효율 송신 구조

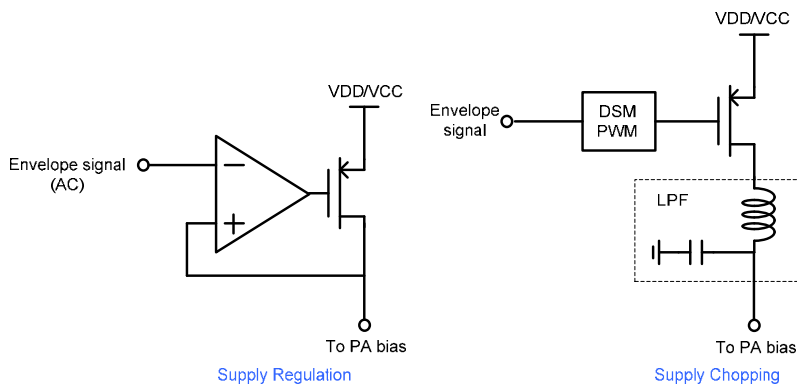
가. EER (Envelope Elimination and Restoration)

EER구조의 간략한 도면을 **오류! 참조 원본을 찾을 수 없습니다.**(그림 3-3)에

도시하였다. 기존의 아날로그 형식의 EER구조의 경우 Up-conversion되는 I/Q complex 신호를 Limiter로 거치게 하여 Envelope 정보를 제거 하여 스위칭 전력 증폭기에 입력 시킨다. Envelope이 제거된 신호는 단지 위상 정보만을 포함하기 때문에 Constant Envelope 특성을 보인다. Envelope 정보는 Envelope Detector에서 검출되며 검출된 Envelope 정보는 Envelope Amplifier(E.A)를 거쳐 증폭되고 스위칭 전력 증폭기의 바이어스 부에 변조되도록 Supply Modulator등으로 인가되어 최종 증폭기에 공급된다.



(그림 3-3) EER 송신기 구조



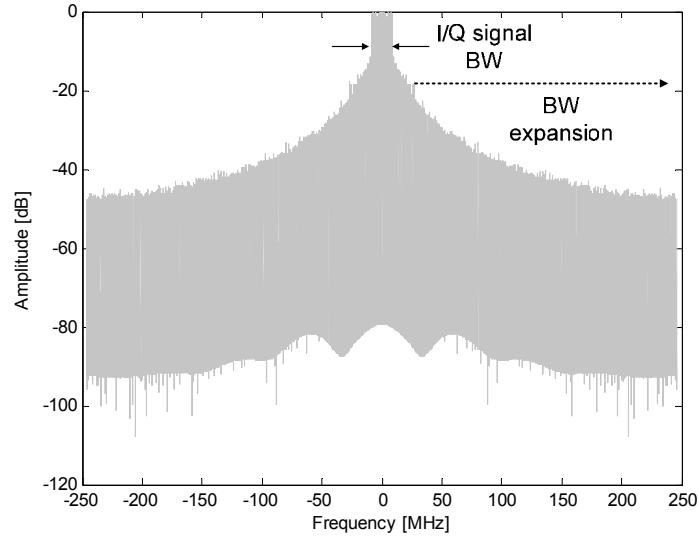
(그림 3-4) EER구조의 바이어스 변조 방식

EER 구조에서 Supply Modulator의 경우오류! 참조 원본을 찾을 수 없습니다.(그림

3-4)에 도시 되어 있듯이 흔히 두 가지 타입으로 나뉠 수 있는데 Op-amplifier를 이용하여 구성하는 Regulation방식과 Envelope정보를 DSM(Delta-sigma-modulation) 혹은 PWM(Pulse-width-modulation)으로 변환하여 펄스로 바꾼 뒤 Low Pass Filtering 하는 Chopping 방법이 있다. 두 방법 모두 아날로그 신호처리를 수행하며 전력 증폭기에 DC전압을 인가해주는 PMOS 스위치가 내장된다.

EER구조의 장점은 “Polar”계열의 구조에서 가장 먼저 연구가 진행되었으며 RF/Analog부에서 모든 프로세서를 진행할 수 있어 기존 모뎀 및 기저대역의 블록의 구조를 변경하지 않고 그대로 두어 사용할 수 있는 장점을 지닌다.

EER 구조의 단점은 RF/Analog 부에서 Envelope과 Phase 정보간의 Time Delay를 보정해야 하기 때문에 Delay Line이 필요하게 되어 RFIC구현 시 용이성이 떨어지게 된다. 특히 Strip Line등으로 구현되는 경우 Line 길이가 매우 길어지며 혹은 L/C의 Passive Components등을 이용하여 구성하는 경우에도 그 정확도가 떨어지게 되므로 구현이 용이하지 않게 된다. EER구조의 또 하나의 단점은 Supply Regulation방식을 적용 시 구성되는 Op-amp 또는 Class-S급의 Envelope변조 증폭기 등의 효율이 우수하지 못하다는 데에 있다. 따라서 이러한 증폭기를 함께 내장하였을 때 EER구조의 전반적인 Overall Efficiency는 많이 감소하게 된다.



(그림 3-5) phase 정보의 대역폭 확장 현상

또한, RF complex 신호를 Limiter를 거쳐 Phase 정보만 추출하는 경우 Phase정보는 실제 Origin I/Q Signal보다 Bandwidth가 매우 확장되어 있음을 알 수 있다. 아래 오류! 참조 원본을 찾을 수 없습니다.(그림 3-5)는 3G LTE 20MHz Bandwidth 가진 Complex 신호의 Phase정보의 Spectrum 그림이다. 도시되어 있는 것처럼 Phase정보는 20MHz보다 훨씬 더 넓은 대역을 Spreading되어 있는 것을 알 수 있다. Phase정보의 Spectrum을 Bandwidth Limiting 시켰을 때는 신호의 왜곡(Distortion)이 발생하며 Signal Bandwidth의 약 5배~6배 정도의 Phase정보의 Spectrum를 이용할 때에 EVM(Error Vector Magnitude)의 열화가 1dB 안으로 시뮬레이션 된다. 즉, 20MHz RF Complex 신호의 Phase정보의 Spectrum은 약 100MHz~120MHz 대역으로 처리되어야 하며 이는 EER 구조의 전력 증폭기의 광대역 Matching 특성을 요구한다.

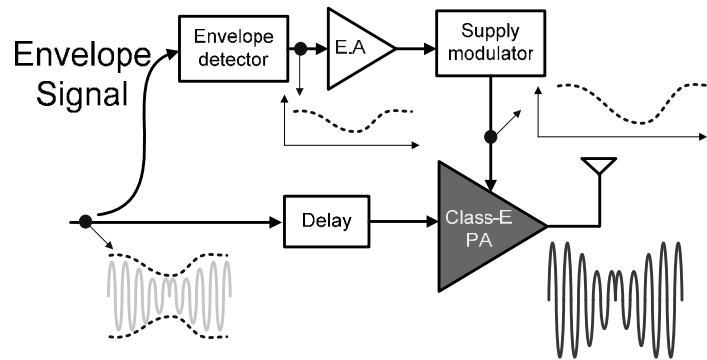
(표 3-3) EER 구조의 장단점

Architecture	장점	단점
EER	- RF/Analog 부에서 모든 신호처리	- Time Delay Mismatch

	가능 - 기저 대역의 ASIC 등의 구성을 바꿀 필요가 없어 용이성 우수	- 전력 증폭기의 광대역 Matching 구조 필요
--	------------------------------------------------	---------------------------------

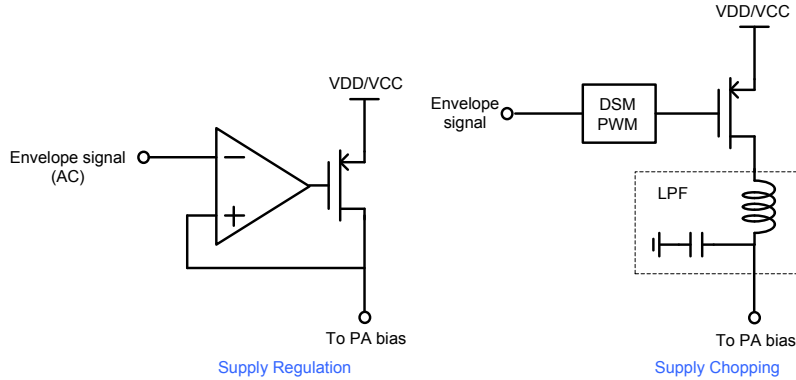
나. H-EER (Hybrid Envelope Elimination and Restoration) or ET (Envelope Tracking)

EER 구조의 Phase Signal의 Bandwidth의 확장 문제를 해결하기 위하여 “Hybrid EER” 구조가 제시되었다. 기존 EER구조와 동작원리는 동일하나 Phase Signal를 전력 증폭기에 입력시키는 것이 아니고 RF Complex Signal를 Delay Line만 거쳐 입력 시킨다.



(그림 3-6) 하이브리드 EER 송신기 구조

기존 EER 구조와 동작원리의 차이점은 EER구조의 경우 전력 증폭기는 Constant Envelope Phase Signal를 입력 받아 전력 증폭기의 바이어스 부를 이용하여 Envelope을 복원하는 원리이며, Hybrid EER구조의 경우에는 입력되는 RF Complex Signal의 Envelope 신호 크기에 따라 선형성을 보장하면서 효율이 최적화되는 바이어스 상태로 추적하는 차이가 있다. 아래 오류! 참조 원본을 찾을 수 없습니다.(그림 3-7)은 EER구조와 Hybrid EER구조와의 차이에 대한 그림을 간략하게 도시하였다.



(그림 3-7) EER 구조와 하이브리드 EER 구조의 전력 증폭기 동작 차이

일반적인 Hybrid EER구조의 전력 증폭기는 선형성이 우수한 Class-AB급을 사용하다가 최근 들어 UCSD를 중심으로 스위칭 전력 증폭기를 이용한 Hybrid EER구조가 연구되고 있다. 기존의 Class AB를 사용하였을 때는 Complex Signal의 Envelope 크기에 따른 바이어스값에 대한 증폭기의 Gain Variation과 Phase Variation이 작고 또한 변동 범위도 크기가 큰 Envelope 중심으로 변동하여 Gain과 Phase Error에 대한 Calibration이 크게 중요하지 않았지만 스위칭 전력 증폭기를 이용하게 되면 입력 신호의 크기에 따라 Gain/Phase Variation이 매우 심하기 때문에 Class-E/F급을 사용하기 위해서는 입력 대비 Gain/Phase Deviation값을 Digital Block에서 Look-up Table로 Pre-distortion하는 방법이 반드시 필요하다.

이러한 단점을 보완하는 방법이 Envelope Tracking (ET) 방법으로 신호의 포락선을 그대로 바이어스에 인가하는 것이 아니라 실제 포락선 보다 높은 영역에서의 바이어스를 Re-shaping 하여 선형성을 크게 저하시키지 않는 방법이다. Envelope Tracking 방법을 적용하면 전력 증폭기가 항상 포화 상태에서 동작하기 때문에 효율 또한 EER 과 비슷한 수준으로 높지만 EER 보다 선형성이 우수한 특성을 지닌다.

(표 3-4) 하이브리드 EER/ET구조의 장단점

Architecture	장점	단점
--------------	----	----

EER	- RF/Analog 부에서 모든 신호처리 가능 - 기저 대역의 ASIC 등의 구성을 바꿀 필요가 없어 용이성 우수	- Time Delay Mismatch - 선형성이 좋지 않음
ET	- RF/Analog 부에서 모든 신호처리 가능 - 기저 대역의 ASIC 등의 구성을 바꿀 필요가 없어 용이성 우수 - 선형성이 EER 보다 우수	

다. Class-S and 1-bit DSM(Delta sigma Modulaotor) 구조

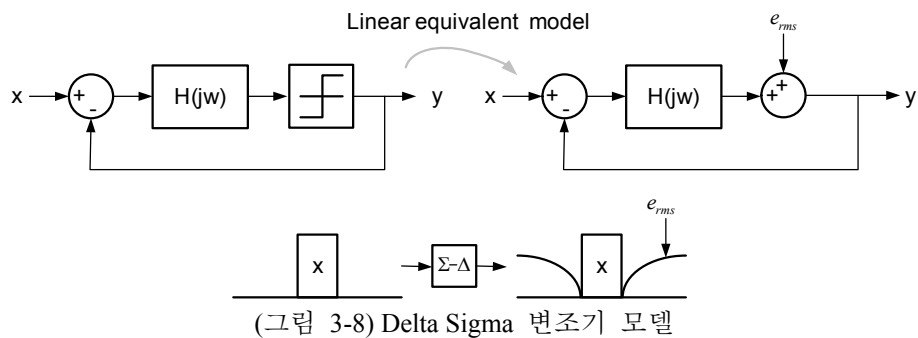
DSM 는 Quantizer 의 Quantization Noise 의 Noise Shaping 의 특성을 가지고 있기 때문에 DAC, ADC, PLL Block 에서 이미 광범위하게 사용하고 있다. DSM 의 1차 구조는 아래 오류! 참조 원본을 찾을 수 없습니다.(그림 3-8)과 같고 S-domain 에서의 함수는 (Eqn.3.1)과 같이 표현된다.

$$y = H(x - y) + e_{rms}$$

$$y = H_x x + H_n e_{rms}$$

where, $H_x = \frac{H}{1+H}$, $H_n = \frac{1}{1+H}$

(Eqn. 3.1)



(Eqn.2.1)에서 볼 수 있듯이 Signal x 에 곱하여지는 Transfer Function은 Low Pass

Filter 형태이고 Quantization Noise에 적용되는 Transfer Function는 High Pass Filter 임을 알 수 있다. 이는 즉 DSM의 전달 함수가 신호는 Low Pass Filter의 Pass Band 대역에 대하여서는 그대로 전달하며 Quantization Noise에 대하여서는 Noise를 High Pass Filtering 특성으로 높은 주파수 대역으로 “Shaping” 한다 하여 Noise Shaping 특성이라 부른다.

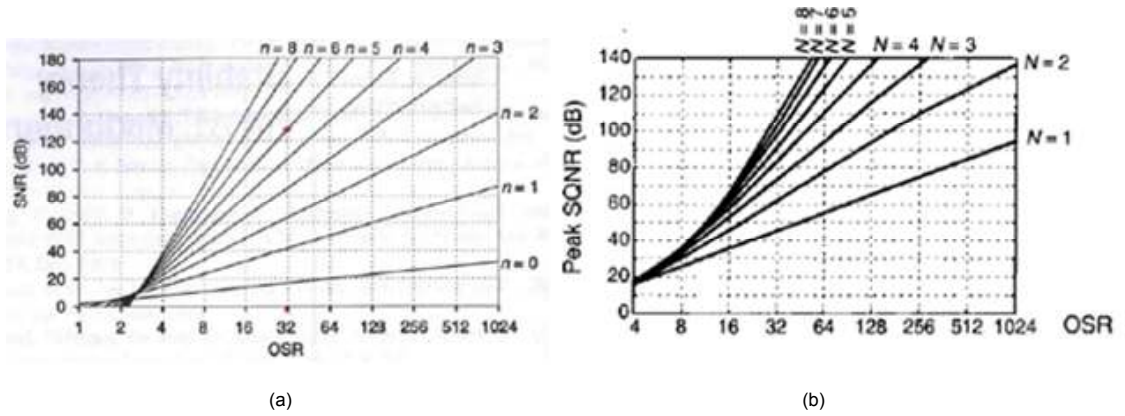
Noise Shaping 특성에 따라 주파수 대역의 전체 Noise 양은 아래 (Eqn.3.4)로 표현되며 OSR(OverSampling Ratio)의 함수임을 알 수 있으며 OSR이 증가할수록 In-band Noise 양은 감소함을 알 수 있다.

$$e_o^2 = \int_0^{f_o} S(e_{rms}^2) df = e_{rms}^2 \frac{2f_o}{f_s} = \frac{e_{rms}^2}{OSR}, \text{ where } OSR = \frac{f_s}{2f_o} \quad (\text{Eqn. 3.2})$$

Signal band 내에서의 noise 양은 아래 (Eqn.3.2)와 같이 간략화 될 수 있으며 (Eqn.3.2)에 n은 DSM의 차수이다. OSR이 증가할수록 또한 DSM의 차수가 증가할수록 Signal의 Bandwidth에 분포하고 있는 Noise 양이 감소함을 알 수 있다.

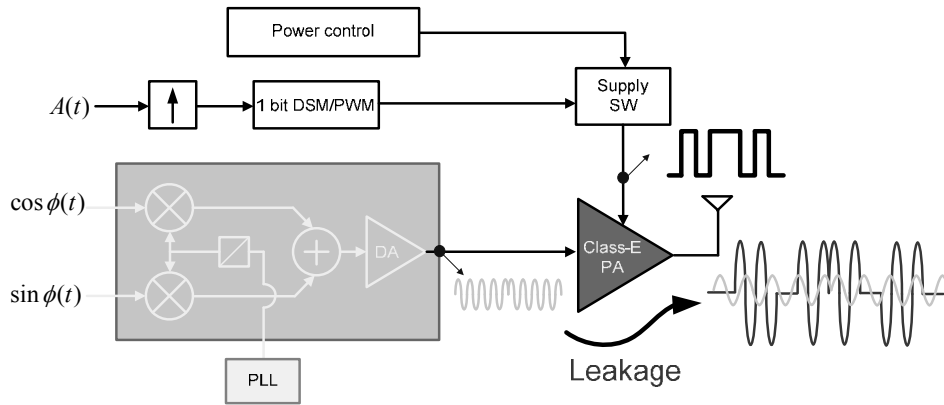
$$e^2 = \int_0^{f_o} S(e_{rms}^2) |H_n|^2 df \approx e_{rms}^2 \frac{\pi^{2n}}{(2n+1)(OSR)^{2n+1}} \quad (\text{Eqn. 3.3})$$

아래 오류! 참조 원본을 찾을 수 없습니다.(그림 3-9)은 (Eqn.3.2)와 (Eqn.3.3)에 대한 Signal Bandwidth 내에 SNR 값을 나타낸 것이다. (a)는 이론적으로 LPF가 Ideal한 상태의 결과이며 (b)는 LPF의 Stability Factor를 고려해 Empirical Case에 대한 SNR 결과 값이다.



(그림 3-9) OSR 및 LPF 차수에 따른 SNR

Polar Transmitter는 이러한 DSM의 Noise Shaping 특성 및 DSM의 출력 y 가 Pulse Signal인 점을 이용하여 구현된다. **아래 오류! 참조 원본을 찾을 수 없습니다.**(그림 3-10)는 DSM를 이용한 Polar Transmitter의 구성도이다. **오류! 참조 원본을 찾을 수 없습니다.**(그림 3-10)을 참조하면 Phase signal은 $\cos\phi(t)$ 와 $\sin\phi(t)$ 를 Up-conversion하여 RF Phase Signal로 변환되며 Constant Envelope 특성을 지니며 전력 증폭기 입력된다. 기저 대역에서 추출된 Envelope 정보는 OSR값에 맞게 Oversampling되어 DSM으로 입력된 후 Supply Switch등을 통해 스위칭 전력 증폭기를 “On”, “Off” 시킨다. 따라서 출력 파형은 RF Phase Signal이 Pulse화 되어 출력되고 이는 안테나로 방사되기 전 BPF를 통과하여 Envelope이 복원된다.



(그림 3-10) 1-bit DSM 송신기 구조

1-bit DSM Tx 구조는 기존 EER/Hybrid EER 구조에 비해 구조가 간단하며 단지 Phase Signal에 Envelope 정보를 Gating 시키는 방법이기 때문에 별도의 Calibration Issue도 존재하지 않지만 다음과 같은 문제점을 지니고 있다.

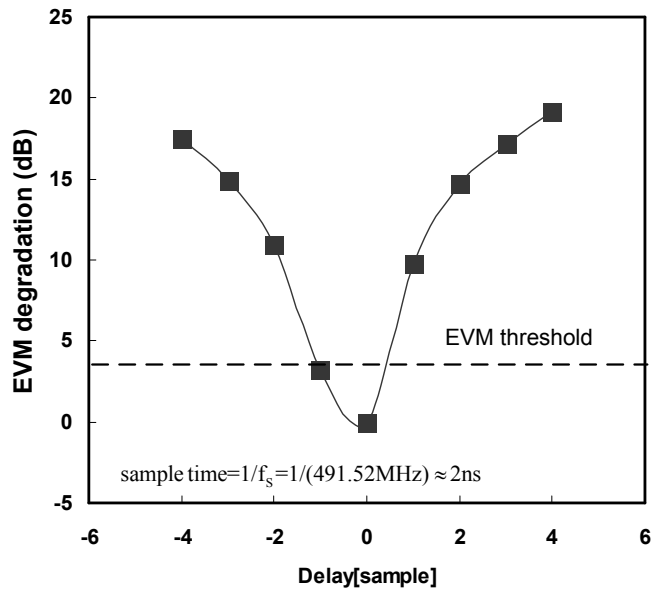
DSM 을 Polar Transmitter 에 적용할 때 가장 큰 문제점은 OSR 문제이다. 위에서 언급했듯이 OSR이 커지면 커질수록 Noise Shaping 특성이 우수하나 Sampling 속도가 커짐으로써 전력 소모가 증가하고 FPGA나 DSP의 속도 한계로 인하여 OSR 의 Limitation이 발생한다. 이는 반대로 작은 OSR를 적용하면 Out-band의 Noise 양이 증가하여 Spectral Mask의 특성을 맞추기 힘들며 In-band의 Noise 증가로 EVM(Error Vector Magnitude) 특성의 Specification 을 만족하기 힘들다.

특히 3G LTE나 4G 시스템의 시스템 BW가 20MHz 이상 되기 때문에 상용 단말기에서 OSR을 16이상 가져가기 힘들며 시스템 BW가 20MHz라고 하더라도 envelope 정보의 $A(t)$ 의 BW는 BW expansion 특성으로 인하여 대역폭이 증가하기 때문에 OSR이 더욱더 작아 질 수 밖에 없다. 하지만 최근 Time Delta-Sigma Modulator 기술의 속도 약 650MHz에서 더욱더 증가 추세에 있어 DSM자체 OSR 속도 문제도 극복될 수 있을 것으로 여겨진다.

1 bit DSM구조도 Phase 정보와 Envelope 정보가 서로 다른 경로로 진행되어 PA 에서 결합되는 구조이기 때문에 Analog Device 특성으로 인하여 위상 정보와 크기 정보의 시간상 Mismatch가 발생하게 된다.

- 1) $A(t + \Delta t) \cos(\omega_c t + \phi(t))$; 크기 정보의 Delay 가 발생하는 경우
- 2) $A(t + \Delta t) \cos(\omega_c t + \phi(t + \Delta t))$; 위상 정보의 Delay 가 발생하는 경우

특히 Signal이 Wide Band 특성을 가질 때 Time Mismatch의 Dependant가 심하게 되는데 아래 그림은 20MHz의 3G LTE Signal을 이용하여 2nd Order Delta Sigma Modulator와 OSR=16을 이용하였을 때의 Time Mismatch에 의한 EVM 열화 정도를 도시하였다. 그림에서 볼 수 있듯이 1Sample Delay=2nsec의 Delay 가 발생하면 송신 EVM이 급격히 나빠진다. 이러한 Delay가 발생하였을 때의 문제는 Base-band 단에서 1/sampling Clock의 간격만큼 밖에 오차 보정이 되지 않는 다는 것이다. 나머지의 Delay의 오차에 대해서는 Analog 부분의 Fine Tuning에 의해서 이루어져야 하는데 그 방법 및 구현이 쉽지 않다.

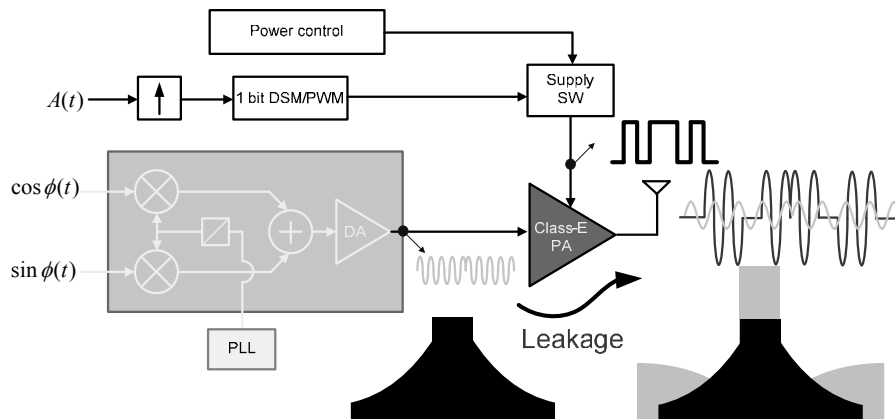


(그림 3-11) 지연 오차 에 따른 EVM열화(OSR=32)

1 bit DSM 구조의 또 하나의 문제점은 스위칭 전력 증폭기의 “Off-state” 상의

Signal Leakage 문제이다. Pulse Signal이 “0” 인 구간에서는 전력 증폭기의 바이어스가 완전히 “Off”되어 Phase Signal이 출력되지 않아야 하지만, **오류! 참조 원본을 찾을 수 없습니다.**(그림 3-12)에서와 같이 전력 증폭기 내의 Transistor는 “Off-state”상에서 작은 Capacitor 특성을 보이기 때문에 입력되는 Phase Signal이 Leakage 된다. 이를 수식으로 정리해 보면 아래 (Eqn.3.4)과 같다. P 변수가 Leakage 되는 양이며 p가 커지면 커질수록 Envelope Distortion이 발생하여 Signal 왜곡과 더불어 Inband 내의 Signal Power를 감소시키기 때문에 전력 증폭기의 효율도 감소하게 된다. 시뮬레이션 결과 p의 최소 값은 약 40dB 정도 이격량을 가지면 EVM이 0.3dB 열화되며 효율감소도 1% 이내의 특성을 가짐을 알 수 있다.

$$[A(t) + e(t)] \cos(\omega_c t + \phi(t)) + p \cos(\omega_c t + \phi(t)) \quad (\text{Eqn. 3.4})$$



(그림 3-12) 전력증폭기의 누설 특성에 따른 문제점

(표 3-5) 1-bit DSM 송신기 구조의 장단점

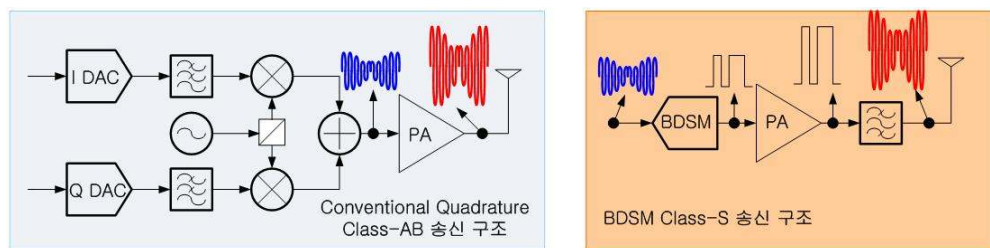
Architecture	장점	단점
1-bit DSM	- 구현이 간단함	- OSR 문제 - 전력 증폭기의 광대역 Matching 구조 필요

Class-S 송신 구조의 경우 아래 그림과 같이 RF Complex 신호를 Band Pass Delta Sigma (BPDSM) 처리하여 Semi-digital화 된 bit 신호를 전력 증폭기가 증폭하는 구

조이다.

Class-S 구조의 장점은 1-bit DSM과 같이 Envelope이 제거된 신호가 전력 증폭기에 인가 되기 때문에 전력 증폭기가 가지는 비선형 특성이 신호에 보이지 않는 장점을 지닌다.

하지만 BPDSM의 높은 고속 동작을 요구 하며 Signal 대비 Noise Ratio인 Coding Efficiency가 낮아 전체적인 효율이 감소하는 단점을 지니고 있다.



(그림 3-13) Class-S 전력 송신 구조

아래요류! 참조 원본을 찾을 수 없습니다.(표 3-6)에 Class-S Tx 구조의 장단점을 정리하였다.

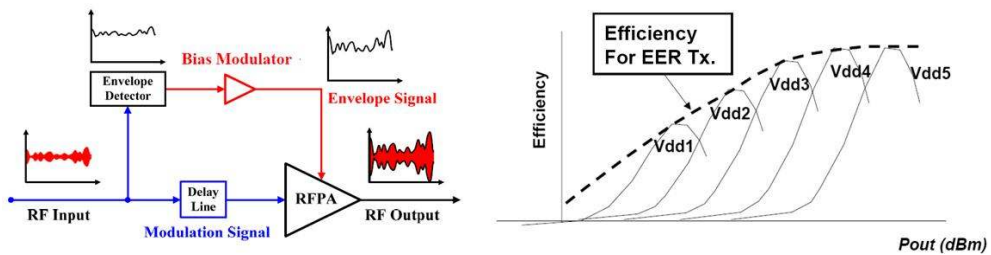
(표 3-6) Class-S 송신기 구조의 장단점

Architecture	장점	단점
Class-S	- 구현이 간단함	- Low Coding Efficiency 문제 발생 - 전력 증폭기의 광대역 Matching 구조 필요

제 2 절 ET Structure 및 Bias Modulator

1. Envelope Tracking 송신 구조

UDMR 전력 송신 구조는 현재 미국에서 활발히 연구중인 Envelope Tracking 기법을 이용하여 구현하며 Envelope Tracking 전력 송신 구조는 크게 Envelope 신호를 전달하는 Bias Modulator와 전력 증폭기로 구성된다.

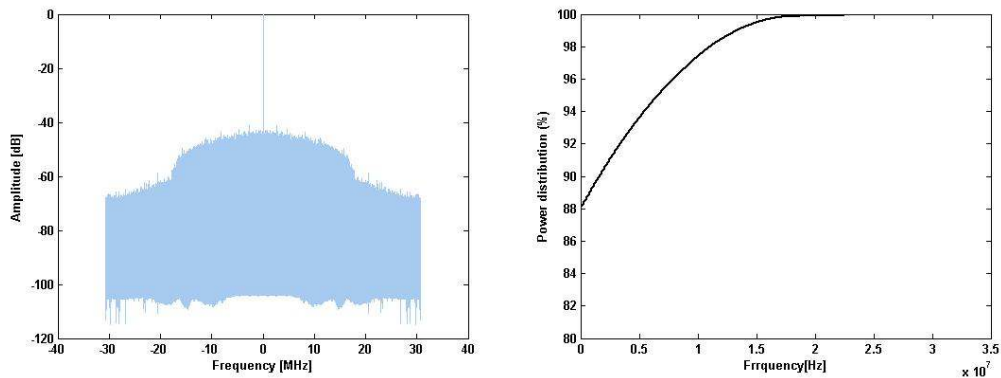


(그림 3-14) Envelope Tracking 전력 송신 구조

2. 바이어스 모듈레이터 (Bias Modulator)

가. 3G LTE Signal Signal 분포

3G LTE/WiMAX 20MHz 신호의 Envelope를 주파수상에 그려보면 아래 그림과 같다. DC 를 중심으로 약 500KHz 대역에 대부분의 신호가 집중되어 있으며 (94% energy), 500KHz 대역부터는 5~6% 의 신호 에너지가 존재하게 된다.



(그림 3-15) 3G LTE 신호의 전력 확률 분포

나. Bias Modulator Design

LTE Envelope 신호 전력의 대부분이 DC ~ 500KHz 대역에 존재하기 때문에, 이 주파수 대역에서 효율이 높은 구조를 갖으면서도 넓은 대역폭을 갖는 Envelope 신호를 쫓아갈 수 있는 Bias Modulator가 필요하다. 이러한 요구에 가장 잘 부합하는 Bias Modulator의 구조는 다음과 같이 두 가지의 증폭기를 혼합하여 사용하는 방법이다.

(1) Class D 증폭기

- 장점 : 저주파수 대역에서 효율이 높다. 보통 80 ~ 90%정도의 효율을 보여준다.
- 단점 : 고주파수 대역에서는 Parasitic Capacitance로 인하여 스위칭 감쇄가 증가하게 되어 효율이 떨어진다.

(2) Class AB 증폭기

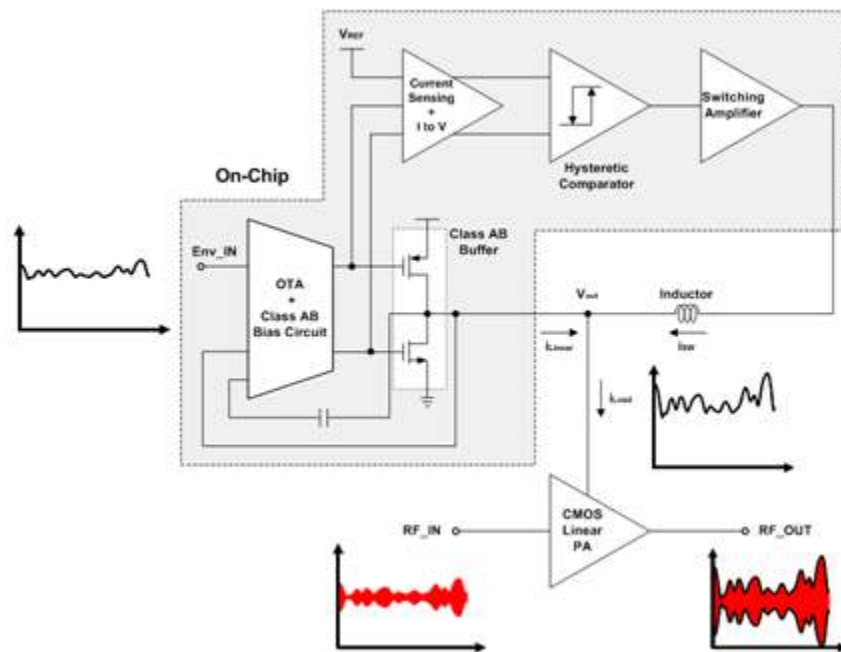
- 장점 : 넓은 대역폭을 갖는 신호를 처리할 수 있다.
- 단점 : Class D 증폭기와 같은 스위칭 증폭기에 비해 효율이 낮다.

즉, 신호 전력의 대부분이 존재하는 DC ~ 500KHz 대역의 LTE 신호는 대역폭은 좁지만 효율이 좋은 Class D 증폭기를 통해서 전력증폭기로 전류를 제공하고, 그보다 높은 주파수 대역의 LTE Envelope 신호는 Class AB 증폭기를 사용하여 전류를 제공함으로써, 넓은 대역폭을 갖는 신호에 대해서 높은 효율을 유지하면서 전력을 넘겨줄 수 있는 Bias Modulator를 얻을 수 있는 것이다.

아래 그림은 상기 Class D 및 Class AB 증폭기를 포함한 Bias Modulator의 블록 다이어그램을 나타낸다. 설계된 Bias Modulator는 상기 두 증폭기 이외에도 Current Sensing 회로 및 Hysteretic Comparator가 필요하다. Current Sensing 회로는 Class AB 증폭기에서 전력증폭기 Load로 흘러주는 전류를 Sensing하여 Class D 증폭기를 구동시키는 신호의 시발점이 된다. Hysteretic Comparator는 Current Sensing 회로에서 Sensing된 Class AB 증폭기의 출력 전류가 기준 이상의 전류를 초과하면 Comparator의 출력을 반전시켜 Class D 증폭기를 구동하는 역할을 수행한다. 예를 들면 다음의 두가지 상황이 존재하게 된다.

(1) Class AB 증폭기에서 전력증폭기 Load로의 출력 전류가 +50mA를 넘기면, Hysteretic Comparator의 출력 신호는 0V(Logic '0')가 된다. 이때 Class D 증폭기에서 전력증폭기 Load로 큰 전류가 흘러 들어가게 되고, 이로 인하여 전력증폭기 Load에 걸리는 전압이 커지고 Class AB 입력 신호인 Envelope 신호의 전압과의 차이가 줄게 된다. 따라서 Class AB 증폭기에서 전력증폭기 Load로 흘러들어가는 전류는 감소하게 된다.

(2) Class AB 증폭기로부터 전력증폭기 Load로 흐르는 전류가 줄다가 Class AB 증폭기의 출력 전류가 -50mA(즉, Class AB 증폭기로 흘러들어가는 전류가 +50mA)가 되었을 때, Hysteretic Comparator의 출력 신호는 3.3V(Logic '1')이 된다. 이때 전력증폭기 Load로부터 큰 전류가 Class D 증폭기로 흘러 들어오게 되고, 이로 인하여 전력증폭기 Load에 걸리는 전압이 낮아지게 되어 Class AB 입력 신호인 Envelope 신호의 전압과의 차이가 커지게 된다. 따라서 Class AB 증폭기에서 전력증폭기 Load로 흘러들어가는 전류가 다시 증가하게 된다.



(그림 3-16) Bias Modulator Block Diagram

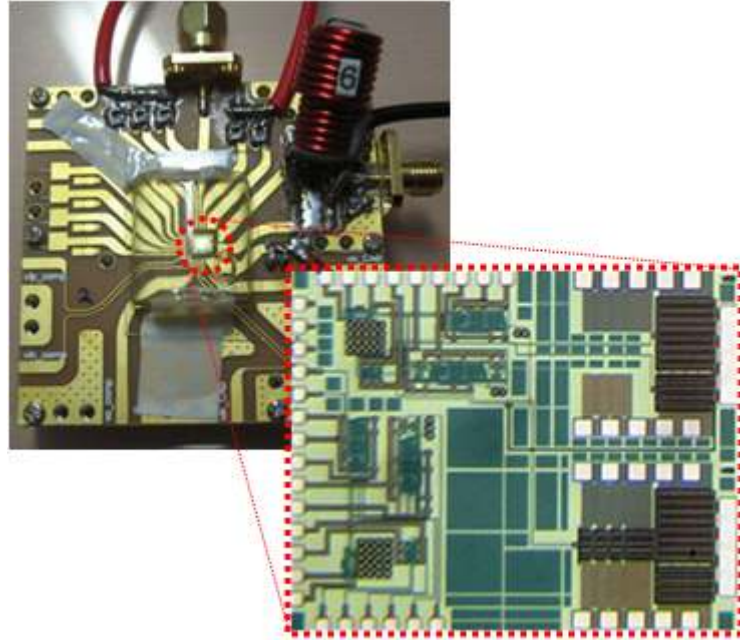
위에서 설명한 두가지의 경우가 반복되어 일어나면서 전력증폭기 Load에 걸리는 전압은 Class AB 증폭기 입력의 Envelope 신호를 쫓아가면서도 대부분의 전류는 Class D 증폭기가 제공하게 되는 것이다.

(표 3-7) CMOS PA Performance Summary

Parameter	Units	Target	Information
Supply Voltage	V	3.3	TSMC 0.18um 1.8/3.3V
Output Voltage Range	V	0.3 ~ 3.0	-
Output Peak Current	A	1.33	@PA Load = 2.26Ω
Bandwidth	MHz	> 100MHz	-
Efficiency	%	> 80	25dBm @ PA Output w/effi. of 40% (Tx Overall Effi. ~ 32%)

위의 표는 설계된 Bias Modulator의 Target Specification을 정리한 것이다. 3.3V 전압을 전원으로 사용하며, 출력 전압은 0.3 ~ 3.0V를 낼 수 있게 하여 PAPR(Peak to Average Power Ratio)이 큰 다양한 입력 전압 크기에 대해서도 안정적인 출력을 낼 수 있도록 하였다. Target하는 Bias Modulator의 최대 출력 전력은 36dBm으로써(이때 Equivalent Power Amplifier Load Resistance는 약 2.26Ω) 출력 전압 3.0V에서 1.33A의 최대 전류가 흐르게 된다. 최대 효율은 80%이상을 낼 수 있도록 설정하였다.

아래 그림은 제작된 Bias Modulator의 Chip 및 측정용 PCB 사진이다. 두 개의 SMA Connector를 통하여 Envelope 신호의 입력을 받고, 전력증폭기로 전력을 제공해 줄 수 있게 하였다. 외부의 전압 변화에도 일정한 기준 전류를 생성하는 회로를 Chip 내부에 구현하여 3.3V 하나의 전압만 Chip에 인가되도록 하였다. Class D 증폭기의 출력에는 Serial Parasitic Resistance 성분이 작아서 큰 전류를 흘릴 수 있는 Power Inductor를 사용하였다. 이때 Serial Parasitic Resistance는 0.15Ω이하이다.

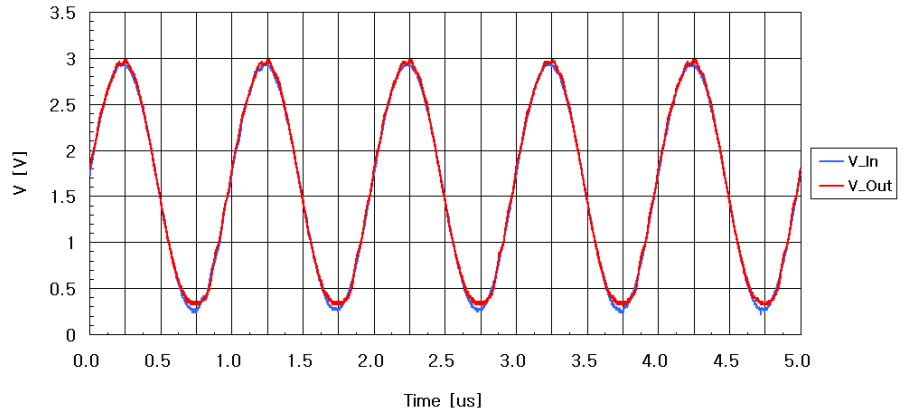


(그림 3-17) Photograph of Bias Modulator

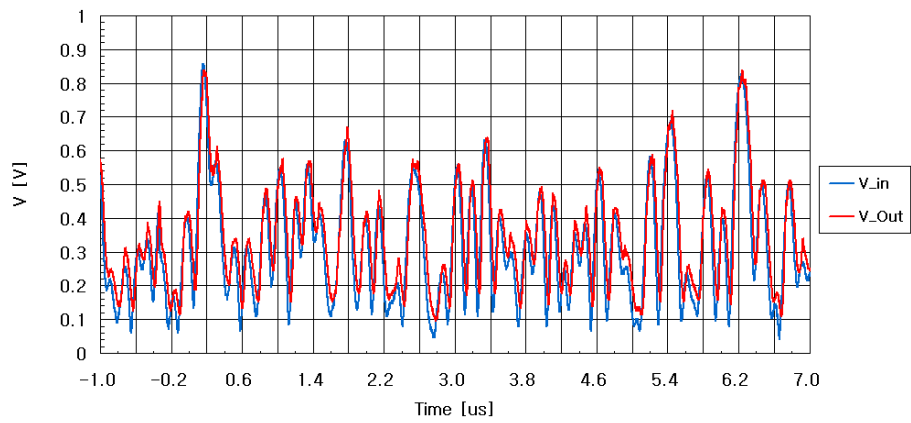
아래 그림은 제작된 Bias Modulator의 측정 결과를 나타낸다. 먼저 (a)를 살펴보면, 입력에 0.3 ~ 3.0V로 Swing하는 1MHz 주파수를 갖는 Sine Wave가 들어올 경우, 출력에서 최대 32dBm의 전력을 전달하면서 신호의 왜곡없이 입력 신호를 잘 따라가는 것을 확인할 수 있다. 파란색으로 표시된 선은 Bias Modulator의 입력 전압 신호를, 빨간색으로 표시된 선은 Bias Modulator의 출력 전압 신호를 나타낸다.

(b)는 실제 LTE Envelope 신호에 대해서도 잘 동작하는지를 확인하기 위하여 LTE Envelope 신호를 제작된 Bias Modulator의 입력에 인가하였을 경우, 입력신호에 대한 출력에서의 전압 신호를 나타낸다. (a)와 마찬가지로 LTE Envelope 신호가 10MHz 정도로 변하고 있어도 Bias Modulator의 출력 신호는 입력 신호를 잘 따라가고 있는 것을 확인할 수 있다.

Bias Modulator의 측정된 최대 효율은 83.7%이며, 이때 출력 전력은 35dBm이다.



(a) 32dBm(Load Impedance 5Ω)에서 In/Output Signal (1MHz Sine Wave)



(b) 23dBm(Load Impedance 40Ω)에서 In/Output Signal (Modulation)

(그림 3-18) Measurement Results of Bias Modulator

제 3 절 CMOS Linear Power Amplifier

1. 서론

현재까지 상용화 되어있는 RF 전력증폭기의 거의 대부분은 화합물 반도체로 만들어진 전력증폭기이다. 전력증폭기가 CMOS 기술로 구현 되는 것은 다양한 이동통신용 송신기에서 Digital Circuitry와의 집적이 가능하기 때문에 제품의 소형화와 제작비 절감의 관점에서 매우 매력적이다. 최근에는 CMOS 기술의 발전 덕택에 CMOS 의 능동소자 자체의 성능은 GaAs의 능동소자와 비교해 출력전력과 효율 면에서 필적 할만하다. 또한 CMOS 기술을 통한 전력증폭기 설계의 가능성이 이전의 여러 연구들을 통해서 검증 되었다. 이러한 연구를 통해 Watt 급의 출력을 내기 위한 전력증폭기의 설계에 있어서 CMOS 기술이 가지는 몇몇의 문제를 해결하기 위한 방법들이 제시 되었다.

2. CMOS RF Power Amplifier Design Issue

가. Low Breakdown Voltage

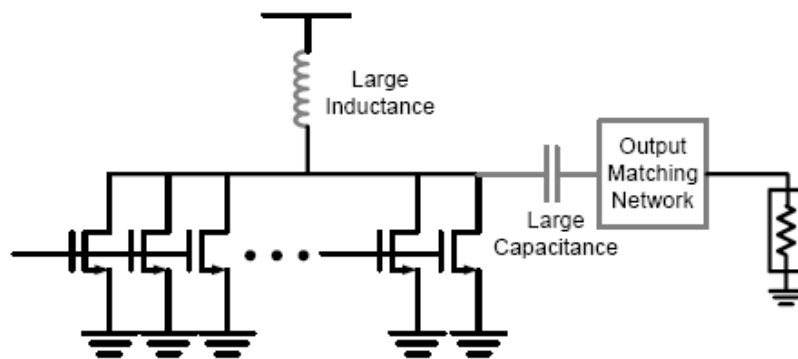
CMOS 기반의 전력증폭기에서 가장 많이 알려진 문제점은 CMOS 자체의 낮은 Breakdown Voltage이다. 무선 단말기 응용 측면에서 HBT는 3.3V의 전원 전압에 대하여 Breakdown Voltage 이슈는 거의 없는 것이 일반적이다. 하지만 CMOS 0.18um 공정의 경우 Drain Breakdown Voltage가 6V 이하이기 때문에, 3.3V의 전원전압을 사용할 경우 약 10V까지 올라가는 Drain 전압을 이겨낼 수가 없다. 주어진 조건에서 낮은 Breakdown Voltage는 최고 출력 전력의 감소뿐만 아니라, 결과적으로 전력 효율을 높게 가져갈 수 없다는 문제점이 있다. 이를 해결하기 위한 방법으로 Cascode 형태의 구성을 사용한다. 단순 계산으로 증폭단 및 Cascode용 트랜지스터를 모두 최소 Gate Length로 구성 할 수 있으나, 이경우 마진이 부족하다는 단점이 있고, 반대로 큰 Gate Length를 사용할 경우 효율 저하의 단점이 있다. 따라서 증폭단을 구성하는 NMOS와 Cascode를 구성하는 NMOS의 Gate Length를 마진과 효율 사이에서

Optimization이 필요하다.

나. Lossy Substrate

CMOS의 경우 실리콘 기판의 손실이 화합물 반도체 기반에 비하여 높기 때문에 전력 효율이 중요시 되는 전력 증폭기에서는 치명적인 취약점을 가진다. 특히 Matching Network의 구성을 위하여 사용되는 Inductive 소자는 맴돌이 전류의 발생 뿐만 아니라, Metal Line의 Parasitic 성분으로 높은 전력 효율을 기대하기 어렵다는 단점이 있다. 이를 극복하기 위한 방법으로 효율에 가장 큰 영향을 주는 출력 정합 회로를 Spiral Inductor가 아니라, Slab Inductor를 사용한다. Slab Inductor의 경우 Spiral Inductor에 비해 높은 Q값을 가짐이 이미 여러 문헌에서 발표되었다. 이러한 Slab Inductor를 활용하여 원하는 Power Matching을 하기 위해 전송선 변압기를 활용한다.

일반적으로 전력증폭기의 출력전력을 올리기 위한 방법으로는 전류결합 방식과 전압결합 방식이 있다. 전류결합 방식은 다수의 전력 트랜지스터를 병렬로 연결하여 전류의 크기를 키워주는 방식이며, 전압 결합방식은 다수의 전력 트랜지스터의 출력전압을 변압기를 사용하여 AC 전압을 직렬로 더해주어서 최종 출력전력을 증가시키는 방식이다.

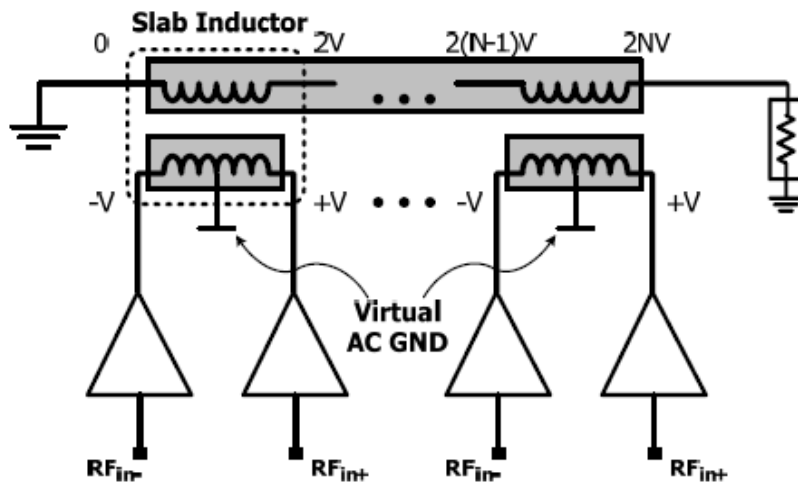


(그림 3-19) 전류결합 방식을 이용하는 전력증폭기의 구조도

하지만 전류 결합방식을 사용할 경우에는 더 큰 전류를 흘려주기 위하여 전력트

랜지스터의 크기가 커지게 되어 열 발산 문제가 전력 트랜지스터의 성능을 열화시키는 주요 요인이 된다. 또한 전력 트랜지스터의 크기가 커질수록 기생 커패시턴스나 인덕턴스가 증가 하게 되어 전력 정합이 어려워져서 전력 트랜지스터의 크기를 증가시킨 만큼 출력 전력이 증가 하기가 어렵다. 그리고 전력증폭기의 출력 회로 중 사용되는 Choke Inductor와 DC-block Capacitor 의 크기가 MMIC 기술로 집적화 하기에는 힘들고 High Q 특성을 얻어야 하기 때문에 이에 따른 장애물이 많이 존재하게 된다.

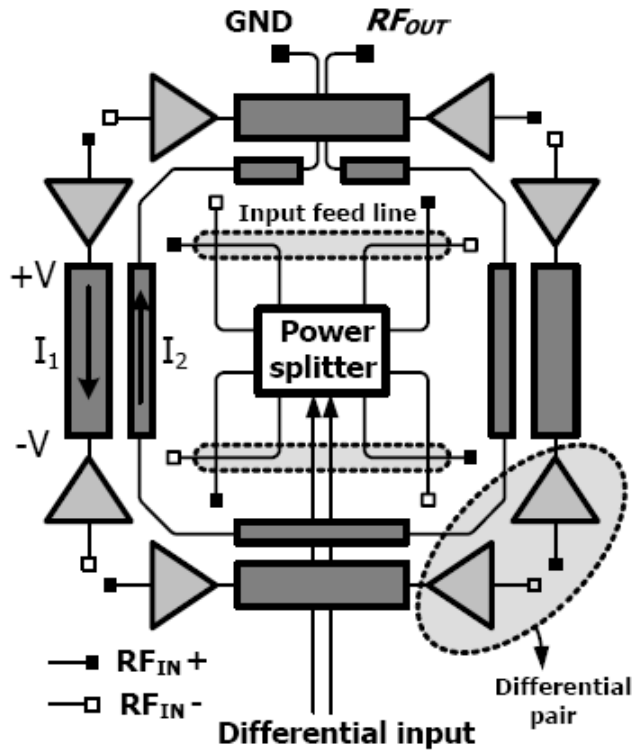
전류 결합방식의 이러한 단점들을 극복하기 위한 대안으로 전압 결합방식의 정합회로를 출력 정합회로로서 사용할 수 있다. 이에 가장 대표적인 방식이 DAT (Distributed Active Transformer) 이다.



(그림 3-20) 1:1 Slab inductor를 사용한 DAT의 개념도

다수의 전력 트랜지스터의 출력이 자기적으로 변압기의 2 차측에 유도 되고, 각각의 유도된 전압들이 직렬로 더해지게 된다. 그 결과 최종 출력 전압은 전력 트랜지스터의 숫자의 배수만큼 증가하게 되어 최종 출력 전력을 증가시킬 수 있다. DAT 구조의 장점은 다음과 같다. 우선 Differential 구조와 Virtual AC Ground를 사용하기 때문에 전력증폭기의 성능이 Bonding Wire 에 대해 둔감해진다. 또한 Spiral

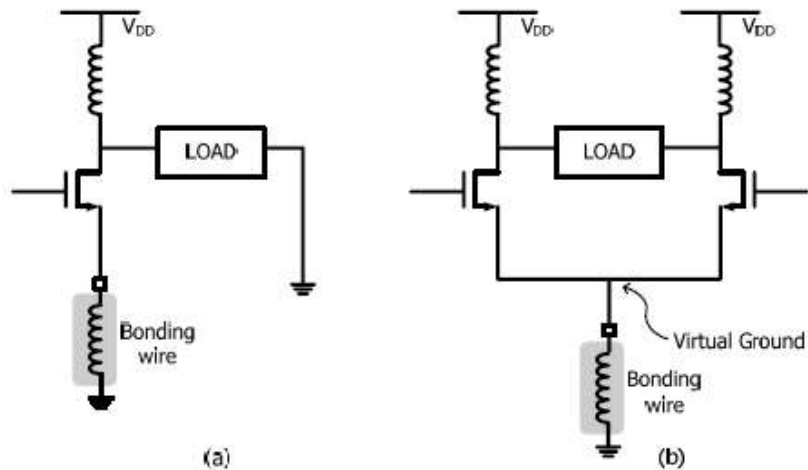
Type의 Inductor가 아닌 Slab Inductor의 사용으로 인한 장점을 가져갈 수 있다. Slab Inductor 는 Spiral Type 에 비해 높은 Q-factor 를 가질 수 있는데, 이는 Metal Width 가 넓어질 수 있고, 접힌 구조에서 오는 Negative Coupling과 수반된 문제점을 해결 할 수 있으며, Port 사이의 거리가 멀어 더 높은 Substrate Resistance 를 크게 가져갈 수 있다. 따라서, DAT 구조의 변압기를 사용함으로써 전력 트랜지스터의 개수를 증가 시키는 방법으로 비교적 손쉽게 전력을 증가시킬 수 있으며, 높은 Q-factor를 가지는 1:1 변압기가 공급 전압을 인가해주는 RF choke의 역할을 겸하기 때문에 일반적인 전류 결합방식 구조에 비해 손실이 적다.



(그림 3-21) DAT를 이용한 전력증폭기

다. No Via Process

CMOS의 경우 화합물 기반의 반도체 기술과는 달리 Via 공정을 제공하지 않기 때문에 회로상에서 AC ground를 형성 하기가 매우 힘들다. 기본적인 Single-ended 구조의 경우, Ground를 위한 Metal Line이나 Bonding Wire가 필요한데, 이들의 Parasitic Inductance 성분에 의해 전력증폭기의 Gain이 감소하게 되는 영향을 미친다. 이러한 문제의 해결을 위해 전력증폭단의 구조를 차동구조로 가져가게된다. 이 구조는 가상접지를 형성하여 Chip 상에서의 AC Ground를 쉽게 형성할 수 있게 되어 Parasitic Inductance의 영향을 줄이게 된다. 또한 그림에서 확인할 수 있듯이 Load 에 걸리는 Voltage Swing이 같은 조건의 Single-ended구조에 비해 2배가 되기 때문에 고출력을 위한 구조로 적합하다.



(그림 3-22) Power Amplifier Structure (a) Single-ended 구조 (b) differential 구조

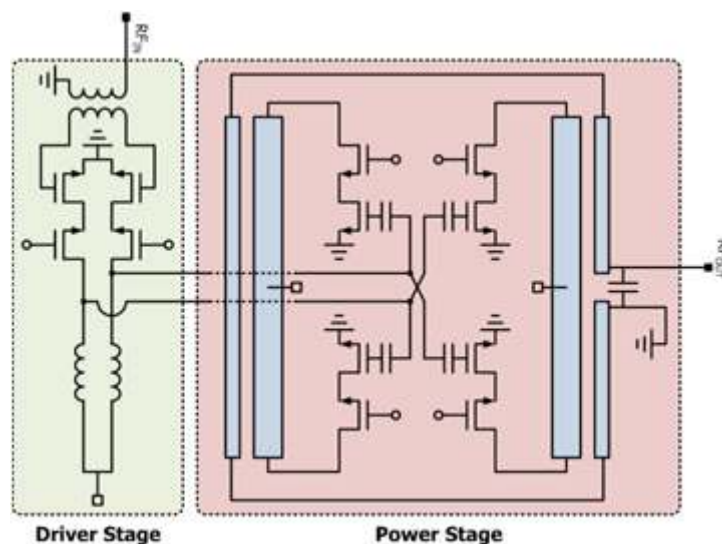
3. CMOS RF Power Amplifier Design

전력증폭기는 크게 입력 파형에 따라 선형적인 출력을 내보내는 선형증폭기와 입력의 크기에 따라 출력의 크기가 변화하지 않는 스위칭 증폭기로 나눌 수 있다. UDMR 송신단의 구성을 위해 필요한 전력증폭기에서는 출력전력과 동작 효율 성

능지표뿐만 아니라 선형성이 중요한 사항이며, 이러한 조건을 만족시키기 위해서는 선형증폭기의 사용을 필요로 한다. A, B, AB, C 급 출력단 전력증폭기가 선형증폭기에 속하며, D, E, F급 출력단 전력증폭기가 스위칭 증폭기에 속하게 된다. 이론적으로 동작의 선형성과 효율은 trade-off 관계에 있다고 할 수 있으며, 선형증폭기의 효율은 이론적으로 100% (Class C)까지 가능하다.

가. Class AB Power Amplifier

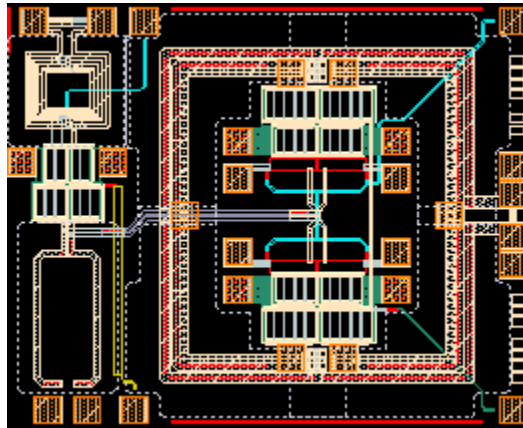
Fully On-Chip화된 선형 전력증폭기에 전송선 변압기를 이용한 전압 결합방식의 출력 Matching Network를 채택하였으며, Drive Stage와 Power Stage 모두 Class AB로 설계하였다.



(그림 3-23) Schematic of Class AB Power Amplifier

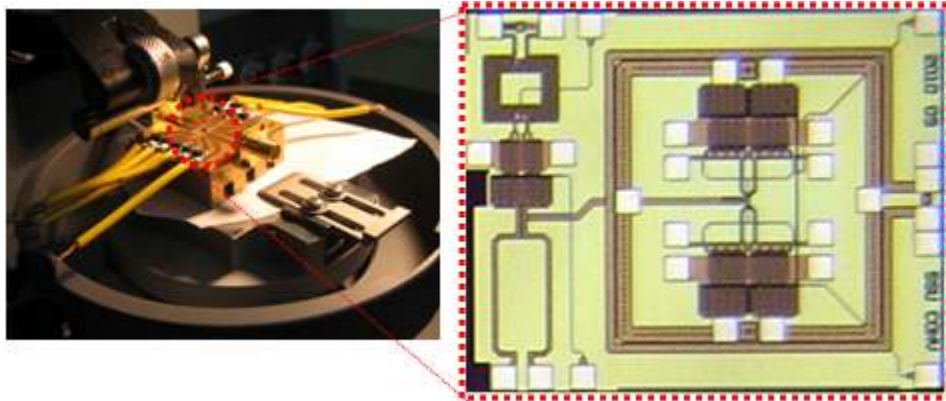
Chip 면적의 효율적인 사용을 위하여, Drive Stage는 하나의 Differential Pair를 사용하였고, 이의 출력은 두개의 Differential Pair로 구성되는 Power Stage를 구동하도록 하였다. 각 Power Stage의 Drain으로부터 VDD가 입력되는 Virtual Ground까지의 Metal Line은 약 1mm정도로 설계하였다. 이보다 짧아질 경우 회로가 협대역 특성을 가지게 되고, 이보다 길어질 경우 Metal Line의 Parasitic Resistance 성분 및 기판 손

실로 인하여 효율의 저하가 발생함과 동시에 회로의 면적이 증가하는 단점이 있다.

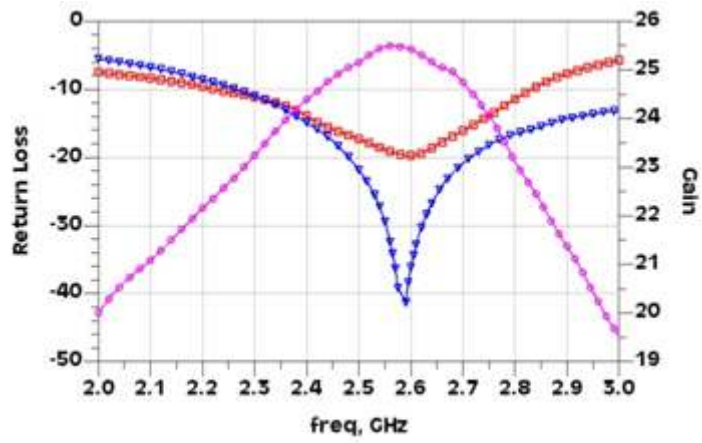


(그림 3-24) Layout of Class AB Power Amplifier

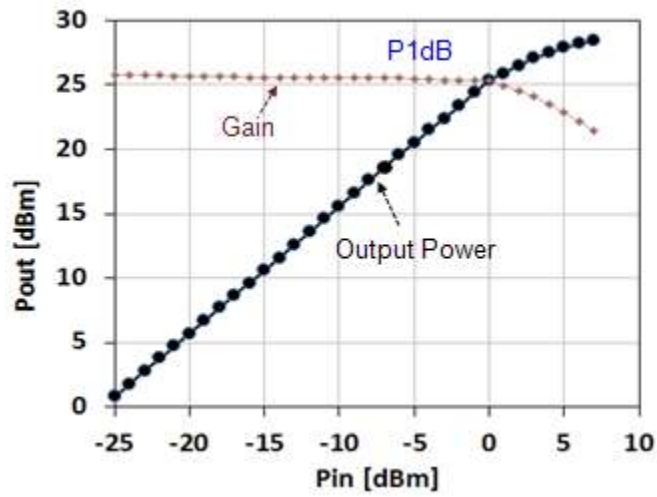
Input Matching Network에 사용된 변압기는 다소 손실이 큰 특성을 가지더라도 전체 효율에는 거의 영향을 주지 못하기 때문에 회로의 면적을 우선적으로 고려하여 Spiral 구조의 변압기를 사용하였다. 이 경우 입력부에 사용된 변압기의 손실은 약 5~6dB정도이다.



(그림 3-25) Chip Photograph of Class AB Power Amplifier



(a) Input/Output Return Loss and Gain



(b) Power Gain and Output Power vs. Input Power

(그림 3-26) Measurement Results of Class AB Power Amplifier

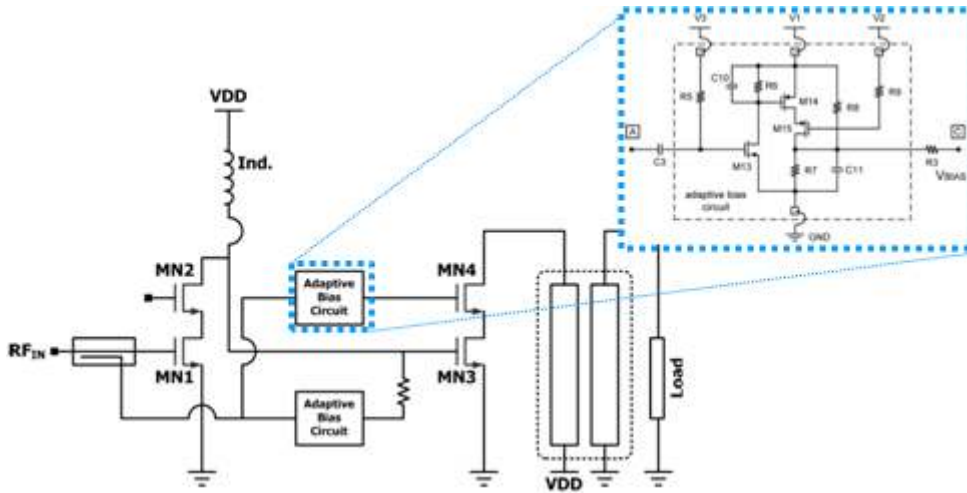
(표 3-8) CMOS PA Measured Performance Summary

	Simulation	Measurement
Gain	42dB	25.5dB
Output P1dB	27.6dBm	25dBm
PAE @P1dB	10%	-
Chip Size	1.2mm x 1.5mm	

CMOS 0.18um 공정을 사용한 Class AB 전력증폭기는 -10dB 이하의 Input/Output Return Loss, 25.5dB의 Power Gain, 25dBm의 1dB Gain Compression Point(P1dB)의 특성을 갖는다.

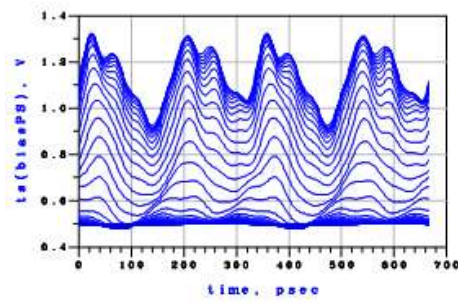
나. Class AB Power Amplifier with Adaptive Bias Circuit

위의 Class AB Power Amplifier의 효율 향상을 위하여 Adaptive Bias Circuit을 적용하였다. Adaptive Bias Circuit의 입력은 Input Matching Network로 사용된 변압기에서 직접 검출된 전력을 사용하였고, Adaptive Bias Circuit는 Power Stage를 구성하고 있는 MN3와 MN4에 각각 사용하였다. Adaptive Bias Circuit의 성능과 효율성을 보기 위하여 모든 Adaptive Bias Circuit은 Disable 할 수 있도록 구성되어 있다. Adaptive Bias Circuit은 입력 전력의 크기가 일정 수준 이상으로 되면 MN3와 MN4의 Bias Voltage를 증가시킬 수 있도록 하였다.

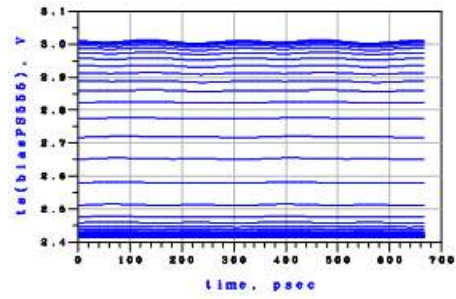


(그림 3-27) Schematic of Class AB PA with Adaptive Bias Circuit

Adaptive Bias Circuit의 M13 및 M9의 바이어스 전압과 저항에 의한 전압 분배를 기본으로 하여 A node에서의 입력 전력의 크기에 따라, C node에서의 출력 전압이 바뀌도록 구성하였다. Adaptive Bias Circuit은 결과적으로 특정한 Threshold Voltage를 가지는 Low Pass Filter의 기능을 수행한다.



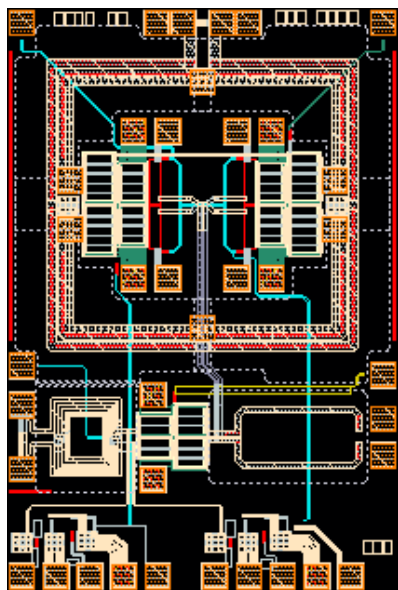
(a)



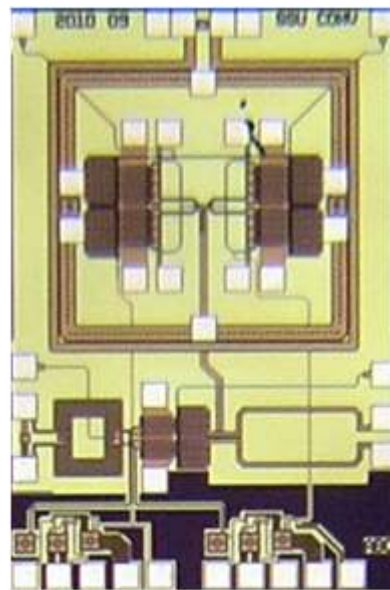
(b)

(그림 3-28) Gate에 인가되는 Bias Voltage (a) MN3, (b) MN4

Adaptive Bias Circuit는 입력 전력의 크기가 증가하면 일정한 Threshold 지점 이상에서부터 출력 전압이 증가하도록 설계되었다.



(a)



(b)

(그림 3-29) Chip Layout and Photograph (a) Layout (b) Photograph

Adaptive Bias Circuit을 적용한 Class AB 전력증폭기는 시뮬레이션 결과 적용하지 않은 Class AB 전력증폭기 보다 약 5.6dB의 P1dB 향상과 23%의 PAE 향상을 보

여준다.

(표 3-9) Performance of Class AB PA with Adaptive Bias Circuit

	Simulation
Gain	31dB
Output P1dB	33.2dBm
PAE @P1dB	33%
Chip Size	1.2mm x 1.8mm

제 4 장 UDMR 테스트 플랫폼

제 4 장 UDMR 테스트 플랫폼

제 1 절 UDMR Transceiver 테스트베드

1. UDMR 기반 RF Transceiver 테스트베드 개요

차세대 IMT-Advanced 시스템 기술 과제에서 ‘SISO UDMR 기반 고효율 송수신 RF 테스트베드 구축 및 자체시험’ 당해년도 연구 내용은 다음과 같다.

- SISO UDMR Receiver 자체 테스트 플랫폼 개발
 - Receiver 기능 제어 모듈 개발
 - SISO UDMR Receiver 자체 테스트 플랫폼 시험
- SISO UDMR 고효율 시스템 개발
 - 고분해능 Fractional-N PLL IP 설계
 - 고분해능 Fractional-N PLL IP 특성 검증
 - SISO UDMR 고효율 시스템 성능 시험

본 장에서는 상기한 각 세부 항목의 연구 결과를 순차적으로 기술하였다.

2. UDMR Receiver 기능 제어 모듈

개발된 UDMR Transceiver의 동작 주파수 대역 및 이득, 채널필터 대역폭 등의 특성은 모두 SPI에 의해 디지털 제어된다. 설계 및 시험 완료된 SPI 블록의 register map table은 다음 표와 같다.

(표 4-1) UDMR Transceiver Control Register Map Table

Addr	Register Name	R/W	Data Bit	Description	Functionality	Default Value	Related Port
RX RF Front-End							
00	RX_RF	W	[7]	Reserved	-	-	
		W	[6]	LNA LB gain mode selection	1: high gain, 0: Low gain mode	1	RX_CT<6>
		W	[5]	LNA HB gain mode selection	1: high gain, 0: Low gain mode	1	RX_CT<5>
		W	[4:3]	LNA High Gain Control	11: 39dB, 10: 32dB, 00: 26dB	11	RX_CT<4:3>

		W	[2:1]	LNA Frequency Compensation	00: 2.9GHz, 01: 2.7GHz, 11: 2.5GHz	00	RX_CT<2:1>
		W	[0]	Frequency Selection	1: 3.9GHz, 0: 2.9GHz	1	RX_CT<0>
RX LPF control							
01	RX_LPF1	W	[7:4]	BW 결정 4bit 신호, 2.25MHz/1bit	1111: 10MHz	1111	RX_RES<3:0>
		W	[3:0]	Tuning 4bit 신호	1000: (2)	1000	RX_SW<3:0>
02	RX_LPF2	W	[7:2]	Reserved	-	-	
		W	[1]	Tuning Enable	1: Enable, 0: Disable	0	RX_TUNE
		W	[0]	Select Chebyshev	1: 2.25MHz BW 에서 Chev 만 사용	0	RX_SEL
03	RX_LPF3	R	[7:4]	Tuning block ouptut	tuning block 동작시 출력되는 code	-	RX_SWO_I<3:0>
		R	[3:0]	Tuning block ouptut	tuning block 동작시 출력되는 code	-	RX_SWO_Q<3:0>
RX VGA Control							
04	RX_VGA1	W	[7]	Reserved	-	-	
		W	[6:5]	DC offset & VGA Bypass	10: DC_Offset=ON, Bypass=Disable	10	DCF<1:0>
		W	[4:0]	VGA1 gain	10000: 12dB, 01000: 6dB, 00100: 0dB, 00010: -6dB, 00001: -12dB	01000	Rx_b1<4:0>
05	RX_VGA2	W	[7:0]	VGA2 gain	"	00001000	Rx_b2<4:0>
06	RX_VGA3	W	[7:0]	VGA3 gain	"	00001000	Rx_b3<4:0>
07	RX_VGA4	W	[7:0]	VGA4 gain	00111111: 6dB, 00011111: 5dB	00111111	Rx_b4<5:0>

TX LPF control							
08	TX_LPF1	W	[7:4]	BW 결정 4bit 신호, 2.25MHz/1bit	1111: 10MHz	1111	TX_LPF_RES<3:0>
		W	[3:0]	Tuning 4bit 신호	1000: (2)	1000	TX_LPF_SW<3:0>
09	TX_LPF2	W	[7:2]	Reserved	-	-	
		W	[1]	Tuning Enable	1: Enable, 0: Disable	0	TX_LPF_TUNE
		W	[0]	Reserved	-	-	
10	TX_LPF3	R	[7:4]	Tuning block ouptut	tuning block 동작시 출력되는 code	-	TX_LPF_SWO_I<3:0>
		R	[3:0]	Tuning block ouptut	tuning block 동작시 출력되는 code	-	TX_LPF_SWO_Q<3:0>

TX VGA Control							
11	TX_VGA1	W	[7:5]	Reserved	-	-	
		W	[4:0]	Reserved	Reserved Register	00000	TX_VGA_B1<4:0>
12	TX_VGA2	W	[7:0]	VGA2 gain	1000: -6dB	00001000	TX_VGA_B2<4:0>
13	TX_VGA3	W	[7:0]	VGA3 gain	0000: -6dB	00000000	TX_VGA_B3<4:0>
14	TX_VGA4	W	[7:0]	VGA4 gain	00111111: 6dB,	00111111	TX_VGA_B4<4:0>
TX RF Front-End							
15	TX_RF	W	[7:4]	Reserved	-	-	
		W	[3:2]	Gain Control	11: Max, 00: Min	01	TX_PRE_CT<3:2>
		W	[1:0]	Frequency Selection	00: 3.9GHz, 10: 3.5GHz, 01: 3.2GHz, 11: 2.9GHz	00	TX_PRE_CT<1:0>
16	REV0				Reserved Register		
17	REV1				Reserved Register		
18	REV2				Reserved Register		

Receiver 기능 제어 모듈에 인가 및 출력되는 SPI 신호의 full-chip 시뮬레이션 결과는 다음 그림과 같으며, 측정 상으로도 동일한 결과를 확인하였다.

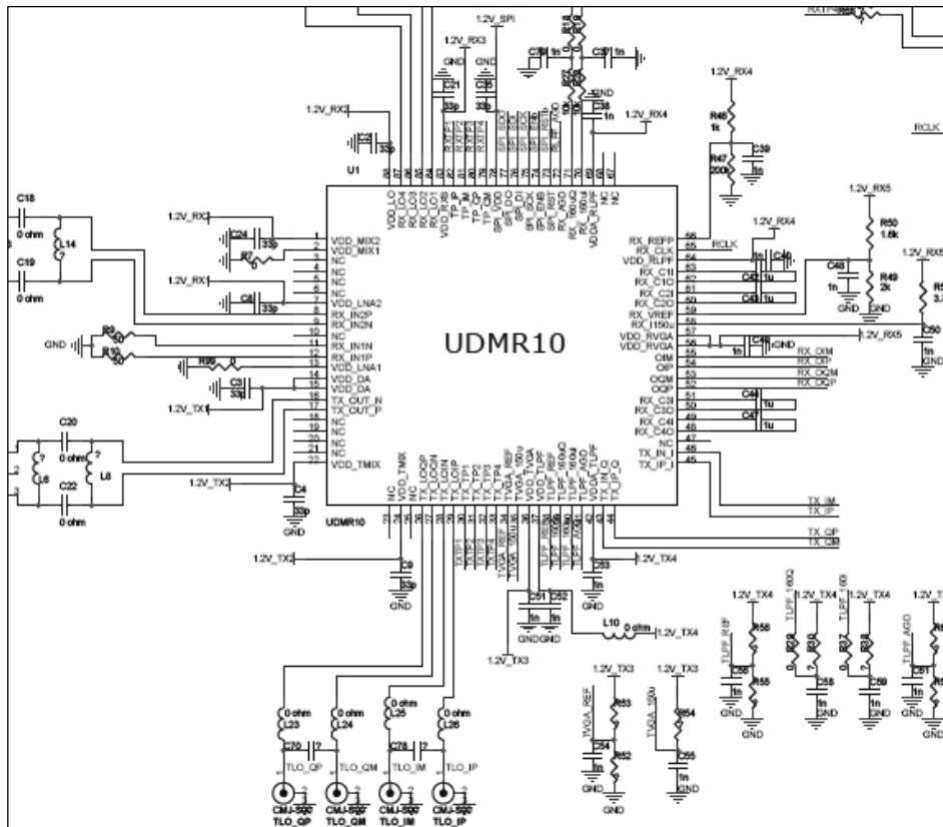


(그림 4-1) UDMR Receiver 기능제어용 SPI 시험 (정상동작 확인)

제 2 절 UDMR Receiver 자체 테스트 플랫폼

1. UDMR Receiver 자체 테스트 플랫폼 구조

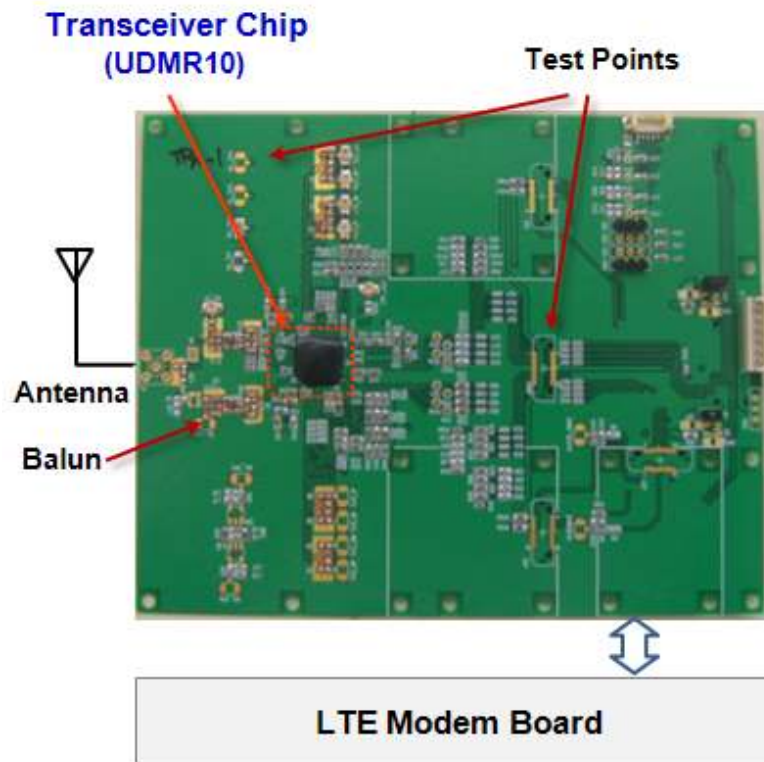
UDMR Receiver 자체 테스트 플랫폼은 제작된 UDMR Transceiver 칩을 mount 하고 balun transformer, regulator 등의 주변 수동 부품을 추가할 수 있도록 구성되어 있다. Transceiver 칩 내에 RF 시스템을 구성하는 모든 회로 요소가 다 집적되어 있으므로 상기한 transformer와 regulator, 바이어스 저항 및 캐패시터 외의 별도 부품은 필요로 하지 않는다. 대신에 디지털 모뎀과의 인터페이스를 위한 모듈이 SMT connector를 통해 쉽게 연결될 수 있도록 구성되어 있다. 자체 테스트 플랫폼의 DUT 주변 회로도에는 다음 그림과 같다.



(그림 4-2) UDMR Receiver 자체 테스트 플랫폼 보드 도면

2. UDMR Receiver 자체 테스트 플랫폼 시험

제작된 UDMR Receiver 자체 테스트 플랫폼 형상은 다음 그림과 같다. 이를 이용한 UDMR Receiver 주요 구성 블록별 성능 시험 측정 결과는 2 장 4 절에 기술되어 있다.

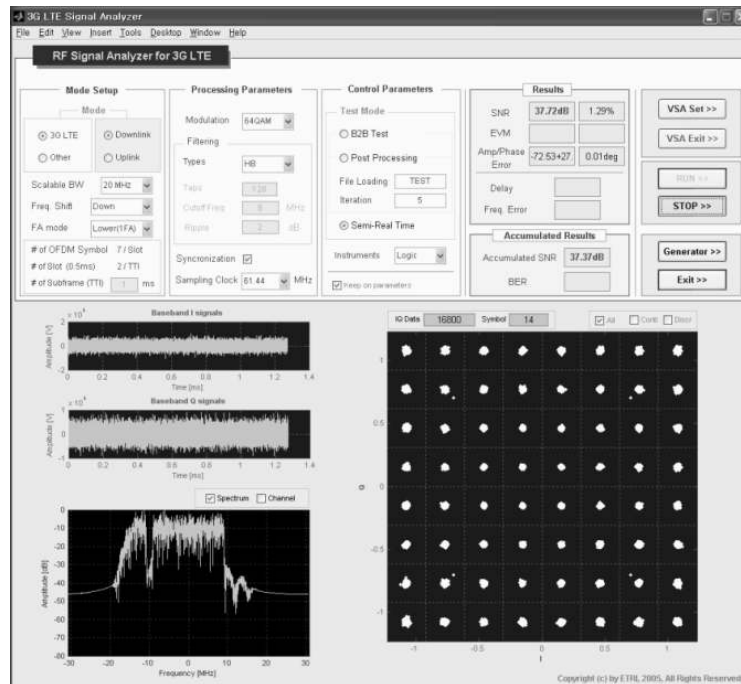


(그림 4-3) UDMR Receiver 자체 테스트 플랫폼

테스트 플랫폼 상에서 LTE DL (Down-link) 신호를 안테나 포트에 인가하고, Transceiver 칩의 receiver 출력에 대한 constellation 및 EVM 분석 결과를 자체 제작된 post-processing signal analyzer 를 통해 분석한 결과의 한 예를 도시하면 다음 그림과 같다.

(표 4-2) UDMR Receiver EVM 성능 기준

변조방식	Spec	측정 결과	측정조건	비고
64-QAM	>35dB		LTE BW 20MHz	



(그림 4-4) UDMR Receiver 자체 테스트 플랫폼 기반 LTE DL 신호 분석

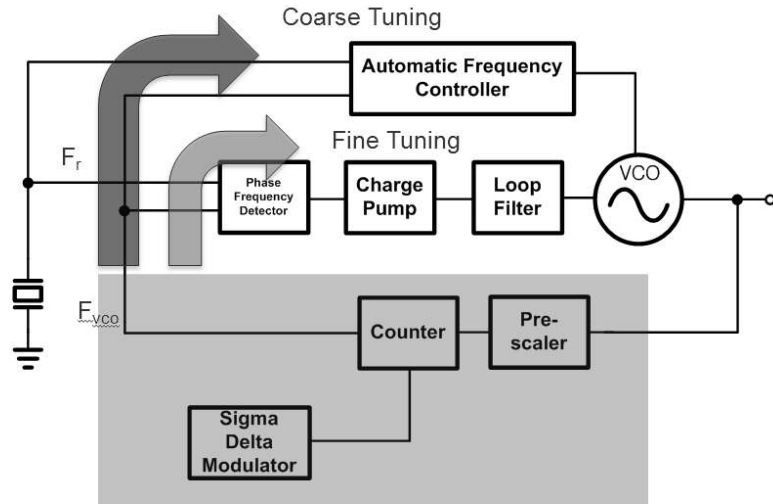
제 3 절 고분해능 Fractional-N PLL IP 설계 및 검증

UDMR 신호발생부의 Fractional-N PLL Synthesizer의 특성을 요약하면 다음 표와 같다.

(표 4-3) Fractional-N PLL IP 특성 요약

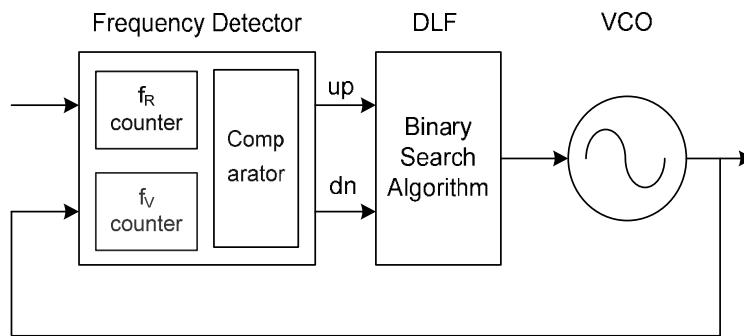
Parameter	Specification		Unit
Target Application	3G-LTE, WiMAX/WiBro		
PLL Type	Fractional-N PLL		
Output Frequency	2300 ~ 2700, 3300 ~ 3800		MHz
Frequency step	50		kHz
Output Power	~ 0		dBm
Phase Noise	-60dBc/Hz @ 100Hz -80dBc/Hz @ 1kHz -85dBc/Hz @ 10kHz -105dBc/Hz @ 100kHz -125dBc/Hz @ 1MHz	-65dBc/Hz @ 100Hz -85dBc/Hz @ 1kHz -90dBc/Hz @ 10kHz -95dBc/Hz @ 100kHz -115dBc/Hz @ 1MHz	
Reference clock	38 ~ 42		MHz
Lock time	< 50		Us
2 nd Harmonic	< -20		dBc
Supply voltage	1.2		V
Output type	I/Q differential		

IMT-Advanced 시스템 구성에 사용된 주파수 합성기는 38.4MHz 의 기준 Crystal 신호와 VCO 의 출력의 2 분주 된 신호를 이용하여 원하는 신호를 합성하는 Block 으로서, Fractional-N PLL 구조를 가지며, Loop Filter 로는 외부 캐패시터 및 저항을 사용하였다.

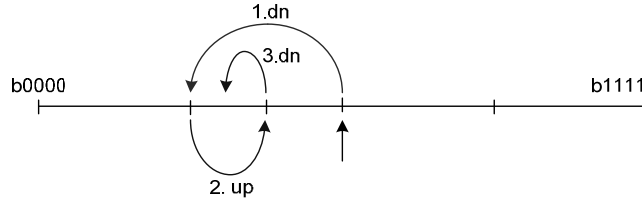


(그림 4-5) Phase Locked Loop Block

PLL의 Tuning은 Course Tuning과 Fine Tuning mode로 나뉘어 있다. Course Tuning은 Automatic Frequency Controller를 통해 원하는 주파수를 생성할 최적의 VCO code를 찾는 mode이다. 4bit의 VCO code를 결정하기 위한 전체 Course Tuning의 시간을 계산하면 3~4 us 정도가 소요된다.



(a) Course Tuning 구조

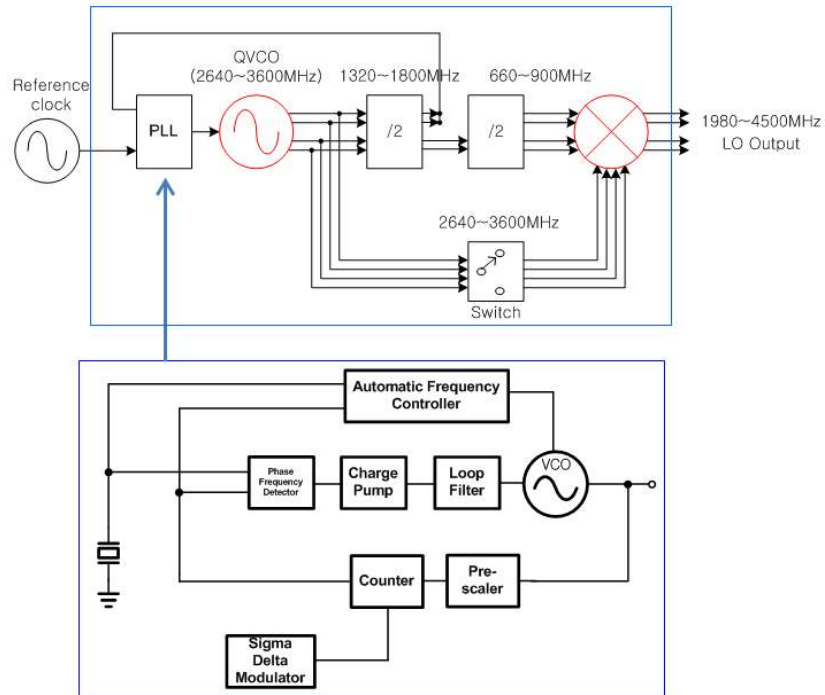


(b) Binary Search Algorithm

(그림 4-6) PLL Course Tuning

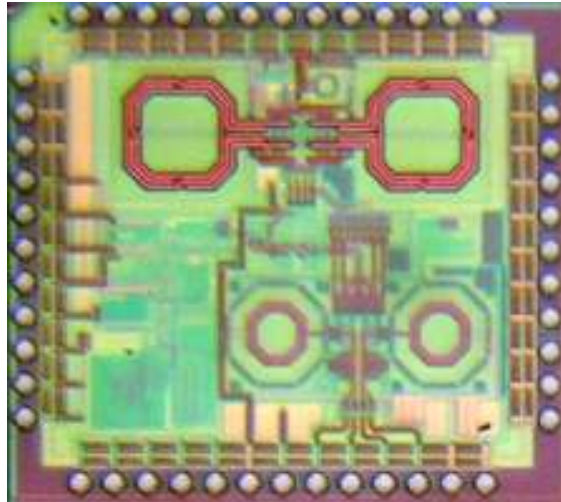
Fine Tuning 은 Loop filter 의 특성에 따라 그 속도가 결정되며 lock 되면 0~1.2V 사이에서 특정 dc 값으로 고정되게 된다. PLL 이 정상 동작을 할 경우 AFC Course tuning 을 완료한 이후 Fine Tuning 이 동작하며 전체 Lock Time 은 15~20 us 정도가 소요된다.

2.3 ~ 3.8GHz 에 이르는 광대역 신호를 단일한 Fractional PLL 로 생성하기 위해, 아래 그림과 같은 Hartley QVCO 와 SSB mixer 를 활용하였다.

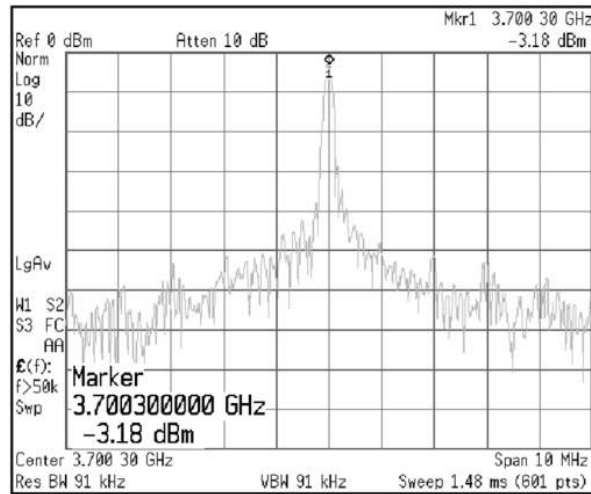


(그림 4-7) Automatic tuning 포함한 광대역 Fractional PLL 구조

IMT-Advanced 시스템용 주파수합성기 요구사항에 따라 제작된 광대역 Fractional-N PLL IP 사진과 LO 출력 측정 결과는 다음 그림과 같다. 패드 포함한 PLL IP 면적은 1.6mm x 1.4mm 이내이며 단일 칩 통합에 적합한 구조로 개발되었다.



(그림 4-8) 광대역 Fractiona-N PLL chip photography

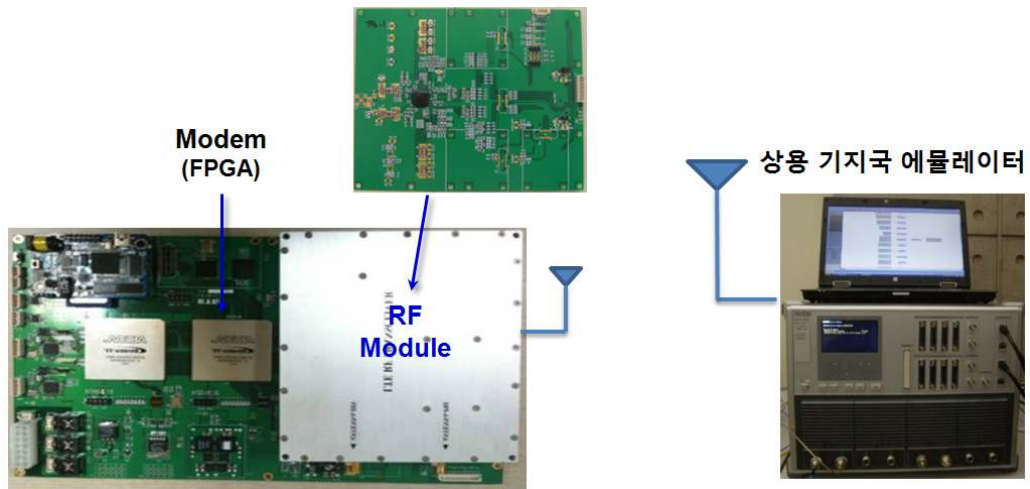


(그림 4-9) Fractional-N PLL LO output spectrum

제 4 절 SISO UDMR 고효율 시스템 성능 시험

1. SISO UDMR 고효율 시스템 구조

디지털 베이스밴드와 RF를 포함한, UDMR 기반 IMT-Advanced system의 전체 형상은 다음 그림과 같다.



(그림 4-10) UDMR 기반 IMT-Advanced 단말 시스템



(그림 4-11) IMT-Advanced 단말 시스템용 RF 인터페이스 보드

본 연구를 통해 개발된 UDMR Transceiver 보드는 기존의 FPGA로 구성된 베이스밴드 모뎀 개발 플랫폼 상에 장착 가능하며, 상용 기지국 에뮬레이터 장비와

4G 이동통신 프로토콜에 따라 통신하며 연동 시험을 할 수 있도록 단말 시험 시스템이 구성된다.

2. SISO UDMR 고효율 시스템 성능 시험 결과

SISO UDMR 고효율 시스템 상에, 개발된 RF Transceiver 칩을 실장하여 기본적인 RF 특성을 시험하였으며, 세부적인 측정 결과는 2장 및 3장에 기술되어 있다. 통합 연동 시험은 진행 중에 있으며, 일부 측정 결과는 기존의 논문 등에 보고된 LTE / LTE-Advanced 또는 WiBro용 RF 칩에 비해 비교적 우수하고 그 결과를 요약하면 다음 표와 같다.

(표 4-4) UDMR Transceiver 성능 시험 요약

Block	Parameters		기존논문 , 상용칩	측정결과
송신부 성능	주파수 대역 (LTE/Wibro용)	GHz	< 2.5	2.3~2.7, 3.3~3.8
	P1dB	dBm	27.7	24
	PAE @ Psat	%	33	
수신부 Front-end	주파수 대역 (LTE/Wibro용)	GHz	< 2.5	2.3~2.7, 3.3~3.8
	Gain (Max/Min)	dB	34 / 2.3	39 / 14
	Noise Figure	dB	3.9	2.0 ~ 2.5
수신부 Analog	VGA Gain Range	dB	50 / -10	66 / -11
	LPF selectivity @ 2fc	dB	50	43 ~ 54
수신부 전체	Process Technology	nm	-	130
	Power Consumption	mW	> 200	134

제 5 장 결 론

제 5 장 결 론

차세대 이동통신 시스템의 국제 표준이 LTE-Advanced 및 WiBro-Evolution을 중심으로 진행됨에 따라, 이의 기반이 되는 LTE 및 WiBro를 지원함은 물론이고 동시에 기존의 2G/3G 모드도 지원할 수 있는 다중 모드 고효율 RF 트랜시버에 대한 수요가 점점증하고 있다. 이러한 기술 수요와 환경 변화에 신속히 대응하기 위해 UDMR(User Defined Multi-Radio) 기반의 시스템이 개발되고 있는데, 이는 다양한 이동통신 환경에서 사용자가 임의의 서비스를 선택할 수 있거나 최적의 서비스 사양을 선택할 수 있도록 가변 RF 중심 주파수, 가변 채널 대역폭(Scalable channel bandwidth), 가변 Duplexing 등을 서비스 환경에 따라 최적화시키는 RF 시스템을 말한다.

이를 구현하기 위해서는 다중 경로 및 다중 대역 신호에 의해 심화되는 신호 간섭 문제에 대응하면서 OFDM 방식에 따른 높은 선형성과 전력소모 문제를 동시에 해결할 수 있는 고효율, 고성능의 RF 트랜시버 집적 기술이 요구된다. 이에 따라 본 연구에서는, 차세대 IMT-Advanced 시스템의 성능 요구사항에 적합한 UDMR 기반 다중대역/다중모드 송수신기 통합 IP 및 시험 검증 플랫폼 개발에 주력하였다.

Efficiency boosting 기법을 Bias modulator에 적용하여 효율을 증대시킨 ET(Envelop Tracking) 구조 전력증폭기 IP 개발을 추진하여, 송신부 최대 출력전력 23dBm 목표를 달성하였다. 또한 LTE-Advanced 후보 규격에 기반하여 다중대역 (2.3~2.7GHz, 3.3~3.8GHz) 가변 채널 밴드폭 특성을 갖는 SISO UDMR Receiver chain IP를 개발하였으며, 제작된 Transceiver 통합 칩의 수신부 특성을 측정하여 77dB 이상의 Dynamic range 성능을 확인하였고, LTE 모델과 연동하여 통합 시험 가능한 SISO UDMR 자체 테스트 플랫폼을 개발하였다.

본 사업을 통해 획득된 당해년도 연구결과물은 2013년 이후에 기존의 WCDMA 및 LTE 시스템 upgrade 수요에 따라 본격적으로 시장이 형성될 LTE-Advanced 시스템 관련 단말기, 기지국, 시험장비 등의 개발에 활용될 수 있으며, 대부분 수입에 의존하는 연간 약 3조6천억원 규모의 이동통신 단말기용 RF Transceiver 칩 시장에 재진입할 수 있는 기반을 제공할 것으로 기대된다. 또한 연

구 성과는 다양한 송수신 RF 분야에 적용 가능하므로, 차세대 융복합 단말기 및 RF 시험용 장비, Femto-cell 등의 초소형 중계기/기지국, 차세대 무선 LAN (802.11ac) 등의 개발에도 적용 가능하다. 최근 국내 기업들도 LTE-Advanced 및 Wibro-Evolution 칩셋 개발에 착수하고 있으나 시험 검증 시스템이 부족한 상황인데, 테스트 플랫폼의 조기 제공을 통해 RF 부품의 신뢰성 및 완성도를 제고하는데도 기여할 것으로 기대된다.

참 고 문 헌

- [1] 3GPP TS 36.101 V9.1.0 (2009-09), 3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (Release 9).
- [2] 3GPP TS 36.104, 3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Evolved Universal Terrestrial Radio Access (E-UTRA); Base Station (BS) radio transmission and reception (Release 8)
- [3] 3GPP TR 36.804, 3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Evolved Universal Terrestrial Radio Access (E-UTRA); Base Station (BS) radio transmission and reception (Release 8)
- [4] 3GPP TR 36.942, 3rd Generation Partnership Project; Technical Specification Group Radio Access Network; Evolved Universal Terrestrial Radio Access (E-UTRA); Radio Frequency (RF) system scenarios; (Release 8).
- [5] ITU-R Recommendation SM.329: "Unwanted emissions in the spurious domain"
- [6] ITU-R Recommendation SM.328: "Spectra and bandwidth of emissions"
- [7] IDC, Worldwide Mobile Phone Vendor Shares, 2010.06.
- [8] A. Matsuzawa, "RF-SoC Expectations and Required Conditions," IEEE-MTT, Vol. 50, No. 1, pp. 245-253, 2002.
- [9] V. Giannini, *et.al.*, "A 2-mm² 0.1-5GHz Software-Defined Radio Receiver in 45-nm Digital CMOS," *IEEE J. Solid-State Circuits*, Vol. 44, No. 12, pp. 3486-3498, 2009.

약어 표

3GPP	3 rd Generation Partnership Project
4G	4 th Generation
ACLR	Adjacent Channel Leakage Ratio
ACS	Adjacent Channel Selectivity
ADC	Analog to Digital Converter
AGC	Automatic Gain Control
AWGN	Additive White Gaussian Noise
BBA	Baseband Analog
BS	Base Station
BW	Band width
CDMA	Code Division Multiple Access
CMOS	Complementary metal-oxide semiconductor
CW	Continuous Wave
DAC	Digital to Analog Converter
DC	Direct Current
DL	Down-Link
DMB	Digital Multimedia Broadcasting
DSM	Direct Sampling Mixer
EDGE	Enhanced Data Rates for GSM Evolution
EER	Envelope Elimination and Reconstruction
ET	Envelope Tracking
E-UTRA	Evolved UTRA
EVM	Error Vector Magnitude
FDD	Frequency Division Duplex
FEM	Front-End Module
GPRS	General Packet Radio Service
GSM	Global System for Mobile Communications
ICS	In-Channel Selectivity
IF	Intermediate Frequency
IIP3	Input 3 rd order Intercept Point

ITU-R	Radiocommunication Sector of the ITU
LNA	Low Noise Amplifier
LO	Local Oscillator
LPF	Low Pass Filter
LTE	Long Term Evolution
LTE-A	Long Term Evolution Advanced
MIMO	Multiple Input Multiple Output
MUX	Multiplexer
NF	Noise Figure
NMOS	N-channel MOSFET
OFDM	Orthogonal Frequency Division Multiplex
OFDMA	Orthogonal Frequency Division Multiple Access
P1dB	1dB compression Point
PA	Power Amplifier
PAPR	Peak to Average Power Ratio
PLL	Phase Locked Loop
PMOS	P-channel MOSFET
QAM	Quadrature Amplitude Modulation
QPSK	Quadrature Phase-Shift Keying
RF	Radio Frequency
RFE	RF Front End
RMS	Root Mean Square (value)
RX	Receiver
RRC	Root Raised Cosine
SISO	Single Input Single Output
SNR	Signal-to-Noise Ratio
SPI	Serial Peripheral Interface
TDD	Time Division Duplex
TIA	Trans-Impedance Amplifier
TX	Transmitter
UDMR	User-Defined Multi-Radio
UE	User Equipment

UL	Up-Link
VCO	Voltage Controlled Oscillator
VGA	Variable Gain Amplifier
WCDMA	Wideband Code Division Multiple Access
WLAN	Wireless Local Area Network

주 의

1. 이 연구보고서는 한국전자통신연구원의 기초연구과제로 수행한 연구결과입니다.
2. 이 보고서의 내용을 발표할 때에는 반드시 한국전자통신연구원에서 수행한 내부연구결과임을 밝혀야 합니다.