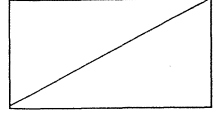


2004년 12월

04ZB1500-01-1205P



# 실리콘 - 게르마늄 양자채널 나노신소자 기술

SiGe-based Quantum-well Channel Nano-device  
Technology



## 인사말씀

지식-정보화 사회로 진입한 세계는 더욱 고도화된 기술을 동원하여 정보의 생활화를 지향하고 있으며, 세계질서가 과학기술로 창출되는 지식기반산업과 경제력에 따라 이루어지고 있습니다. 따라서 세계의 선진국들은 지식-정보화 사회의 확대와 효율적 가동을 위한 각종 인프라를 구축하는데 국력을 집중시키고 있습니다.

지식-정보화 사회를 구축해 나갈 인프라의 기능인 정보의 전송, 저장, 가공 중에서 현재 정보전송을 위한 네트워크가 집중적으로 구성되는 단계에 있습니다. 최근 5년 간에 이루어진 SoC 기술개발은 괄목할 만하여, 이에 근간이 되는 반도체 기술은 Tera-bit라는 대용량의 데이터 전송을 가능케 하여 어디에서나 첨단정보에 접속하는 유비쿼터스라는 새로운 지평을 열어갈 준비를 하고 있습니다.

본 과제는 이러한 환경과 기술의 변화를 선도하려는 의지가 반영하여 시기 적절하게 수행되었다고 보입니다. 기존의 실리콘 반도체의 한계를 극복할 수 있도록 독창적인 고속-저잡음의 SiGe 양자채널 반도체소자를 제안하였으며, 소자 제작을 위한 핵심원천기술을 연구하였습니다. 그리하여 고성능의 SiGe CMOS를 시험 제작하였고 그에 필요한 에피기술, 산화막 기술, 노이즈 분석기술 등의 연구를 성공적으로 수행하였습니다. 연구성과를 국내기업체를 통해 상용화한다면 국내 비메모리 반도체의 국제경쟁력을 높이는 데 기여할 것으로 기대됩니다.

마지막으로 본 과제를 위하여 후원해 주신 여러분들께 깊이 감사 드리며, 본 연구의 목표를 성취하고자 정진한 참여연구원 여러분들의 노고를 진심으로 치하하는 바입니다.

2004년 12 월 31 일

한국전자통신연구원 원장 임 주 환



## 제 출 문

본 연구보고서는 내부연구과제인 “실리콘-게르마늄 나노신소자 연구”의 결과로서,  
본 과제에 참여한 아래의 연구팀이 작성한 것입니다.

2004년 12월 31일

연구 책임자 :	선임연구원	송 영 주 (SiGe 소자팀)
연구 참여자 :	연 구 원	민 봉 기 (SiGe 소자팀)
	연 구 원	김 상 훈 (SiGe 소자팀)



# 요 약 문

## 1. 제 목

실리콘-게르마늄 양자채널 나노신소자 기술

## 2. 연구목적 및 중요성

본 연구는 IT-SoC 산업의 핵심기반인 차세대 반도체 소자기술 확보를 위하여 실리콘-게르마늄 양자채널을 이용한 나노신소자 원천기술을 개발하는 것이다. “NTRM 2002 반도체 나노신소자 기술개요”에서 고성능 SoC의 효과적인 개발을 위해서 고속화, 저전력화, 고밀도화 특성을 갖는 실리콘 기반의 반도체 나노소자 기술이 필수적임이 강조되었다. 그러나 50nm 이하 급 소자기술에서 종래의 실리콘 CMOS (Classical CMOS) 소자로는 동작속도 향상과 소비전력/발열문제의 해결이 불가능할 뿐 아니라 저주파 잡음의 증가도 감당하기 어려운 문제로 알려져 있다. 따라서 기존의 실리콘 CMOS 반도체 소자의 물리적 한계를 극복하기 위한 여러 형태의 Non-Classical CMOS 구조가 제안되고 있는데, 이중 가장 유력한 후보가 실리콘-게르마늄 양자채널을 이용한 CMOS 소자이다. 본 연구는 이 SiGe(C)/Si 양자채널의 물리적 특성, 동작현상의 이해를 통한 나노소자 제작기술개발 및 측정기술 개발을 연구목표로 삼은바 있다. 초고속-저전력 실리콘-게르마늄 양자채널 나노 신소자는 본 연구실이 보유하고 있는 SiGe/Si 에피기술과 저온-라디컬 산화막성장기술 및 저잡음 소자기술을 기반으로 한다. 세계의 실리콘 반도체 기술을 선도하는 인텔의 경우, 실리콘 기반의 200GHz 급 나노소자를 이용하여 12GHz 클럭으로 동작하는 프로세서를 2010년까지 상업화한다고 발표한 바 있으며, 이를 위해 SiGe SFET 기술을 개발 중이다. 본 과제에의 목표는 인텔과 대등하거나 우월한 수준의 고속-저전력 실리콘-게르마늄 양자채널 나노 신소자의 원천특허와 기술력을 달성하는 것이 본 연구의 목적이다.

### 3. 연구내용 및 범위

본 연구실이 확보하고 있는 SiGe 반도체 기술 resource 로 나노 신소자의 기반기술을 개발하여 향후 부딪히게 될 특허분쟁, 기술료 등의 문제를 공략하기 위해 원천기술의 발굴 및 특허확보, 국내외 학계와 산업체와 긴밀한 협조에 의한 연구 저변확대, 독창적 아이디어의 발굴, 실용화 체계강화에 역점을 두어 추진한다.

#### 1. 원천기술 발굴 및 지적재산권 확보

: 기존의 SFET 구조관련 특허의 기능해석, 문제점 분석, 한계특성 해석을 통한 새로운 SFET 구조제안 및 핵심 원천기술개발

- 고이동도 SiGe/Si QW 구조 성장기술( $X_{Ge}=0.2$ )
- SiGe SFET 구조 최적화 연구
- 50nm 급 SFET 소자제작 및 특성분석
- Elevated S/D 및 Solid Phase Diffusion (Shallow Junction) 연구
- 저온 래디컬 게이트 절연막 기술 (RAO)개발
- 1/f 잡음 측정분석 연구

#### 2. 국내연구 실리콘-게르마늄 반도체 기술저변 확대

: 학계(초빙교수), 산업체등과 실리콘-게르마늄 반도체 신소자 기술(가칭) 협의체를 구성

#### 3. 국외정보 수집 및 기술교류 확대

: IQE, Intel, UNAXIS 등의 해외업체 등과 협력관계 유지 및 정보교류

### 4. 연구결과

실리콘-게르마늄 양자채널 나노신소자 제작을 위해 필요한 단위공정으로 SiGe/Si 양자층 및 SiGe 버퍼 에피공정, source/drain 형성, 게이트 산화막



기술이 확보되었으며 소자로는 70nm 급 SiGe SFET 이 제작되었다. 측정 및 분석 기술로는 나노신소자의 신뢰성을 예민하게 분석이 가능한 1/f 잡음 측정기술이 제안되었다. 아래는 주요 연구결과이다.

- 현재 알려진 것 중 가장 얇으면서도 결함밀도가 비교적 작은 SiGe 버퍼 기술개발 ( $X_{Ge}=20\%$ , SiGe 버퍼두께  $\sim 0.5\mu\text{m}$  (기존의 30% 수준), 결함밀도  $\sim 10^4 \text{ cm}^{-2}$ )
- Elevated S/D 과 shallow junction 을 가능하게 하는 선택적 에피기술과 보론 이차원 도핑 공정기술 개발 (SEG 두께  $> 60\text{nm}$ , 보론 도핑농도  $> 10^{19} \text{ cm}^{-3}$ , FWHM  $\sim 5\text{nm}$ )
- 고성능 저온 래디컬 게이트 산화막 장비 개발 (온도  $< 700 \text{ C}$ , 산화막 두께  $< 2\text{nm}$ )
- C-V 나 DLTS 보다 나노소자 산화막 계면 분석이 예민한 1/f 잡음 분석법 제안
- 70nm 급 고성능 SiGe SFET 제작

## 5. 기대성과 및 건의

과제 성격상 원천기술에 속하지만 국내의 실리콘 반도체에 대한 기술력과 인프라를 감안할 때 산업체에 조기 상용화 및 공동연구 등이 가능할 것으로 기대됨. 현재 하이닉스, 동부전자와 공동연구 및 기술이전을 추진 중에 있음



# ABSTRACT

## I. TITLE

SiGe-based quantum-well channel nano-device technology

## II. THE OBJECTIVES

The present research is to develop the basis of the nano-device technology, which is the core of IT-SoC industry, using SiGe quantum-well channels. According to “NTRM 2002 semiconductor nano-device technology overview”, the properties of high-speed, low-power and high-density in Si-based nano-technology were emphasized to develop high-quality SoC. However, for less than 50nm gate-length devices, the conventional Si CMOS devices suffer from the limits of operation speed, power consumption/self heating and low frequency noise. Thus, various designs of non-classical CMOS have been proposed. Among them, the device with a SiGe quantum-well channel is thought to be most promising. The goals of this study are on the developments of nano-device fabrication technology and measurement methods, based on the understanding of physics of SiGe quantum-well channel. The high-speed and low-power SiGe quantum-well channel device technology development is based on ETRI’s technologies such as low-temperature oxide growing method and low-noise property. Intel, the leading semiconductor company, pronounced that they will develop new processor using SiGe technology by 2010, which is operated in 12GHz (200GHz devices). The purpose of this research is to develop a comparable or better SiGe technology than Intel’s.

## III. THE CONTENTS AND SCOPE OF THE STUDY

Using ETRI’s SiGe technology resources, we will develop the basis of the SiGe nano-device fundamentals, thus prepare the patent disputes in the future. We will proceed the project

with a creative ideas, commercial concepts and cooperation with industry.

1. Basic technology development and Patent

: Through understanding of existing patent, problems, and limits, we create new SFET structure and new technologies.

- High-mobility SiGe/Si structure growing technology (XGe=0.2)
- SiGe SFET design optimization
- 50nm SFET fabrication and characterization
- Elevated S/D and solid-phase diffusion
- Low-temp. radical insulator
- 1/f noise measurement

2. Domestic SiGe institution-industry-university union

: university(invited professor), industry, SiGe technology union workshop

3. International activities

: Cooperation with IQE, Intel, and UNAXIS

## IV. RESULTS

As unit processes for SiGe quantum-well channel devices, SiGe/Si Epi and buffer, S/D engineering, and gate-insulator technologies were developed and then down to 70nm devices were fabricated. As measurement techniques, 1/f noise technique was developed. The below is the primary research result.

- Very thin and low-defect SiGe relaxed buffer  
(XGe=20%, thick~0.5um, DD~1E4 cm<sup>-2</sup>)
- Elevated S/D & 2-D modulation doping techniques  
(SEG thick~60nm, boron doping~1E19 cm<sup>-3</sup>, FWHM~5nm)

- High-quality low-temp. radical oxidation set-up (Temp<700C, thick<2nm)
- 1/f noise measurement set-up and software development
- 70nm SiGe SFET fabrication

## V. EXPECTED RESULTS & PROPOSITION

Even though the research is on fundamentals, the cooperation with industries is expected shortly because of the domestic potential in Si-based CMOS capability. At present, the cooperation with Hynix and Dongbu semiconductor companies is going on.



# CONTENTS

Chapter 1	Introduction .....	25
Section 1	Goal of the Research .....	27
Section 2	Necessity of the Research.....	27
Chapter 2	Main Subject (I).....	31
Section 1	International Trends.....	33
Section 2	Domestic Trends.....	35
Chapter 3	Main Subject (II) .....	38
Section 1	Approach and Method .....	40
Section 2	Research Contents .....	40
1.	Basis and Patent Development .....	41
2.	Domestic SiGe Semiconductor Union.....	43
3.	International Technology Trend.....	43
Section 3	Research Results.....	44
1.	High-mobility SiGe/Si Epi .....	44
2.	SiGe Design Optimization.....	50
3.	50nm SiGe SFET Unit Processes .....	52
4.	1/f Noise Measurement .....	61
5.	50nm SiGe Fabrication.....	62
Chapter 4	Conclusions .....	65
Section 1	Contributions.....	67
Section 2	Plans for Application .....	68
Abbreviation.....		69
Appendix.....		73





## FIGURES

Figure 1-1-1	Cross-section view of SiGe SFET .....	25
Figure 3-3-1	TDR process flow.....	425
Figure 3-3-2	TDR temperature properies .....	425
Figure 3-3-3	AFM results.....	46
Figure 3-3-4	XRD results .....	47
Figure 3-3-5	SIMS results .....	47
Figure 3-3-6	TEM/SEM images.....	47
Figure 3-3-7	Cross-section view of SiGe SFET in this study .....	48
Figure 3-3-8	SiGe SFET DC properties .....	49
Figure 3-3-9	SiGe SFET RF properties.....	49
Figure 3-3-10	SiGe SFET 2D modulation-doping simulation.....	50
Figure 3-3-11	DC & RF properties of modulation-doped SiGe SFET .....	51
Figure 3-3-12	SEG growth process flow .....	52
Figure 3-3-13	SEG growth SEM images.....	53
Figure 3-3-14	Boron 2D doing process flow.....	54
Figure 3-3-15	SIMS results .....	54
Figure 3-3-16	E-S/D & 2D doped S/D process example.....	55
Figure 3-3-17	Ozone generator diagram .....	56
Figure 3-3-18	RAO oxidation conditions.....	57
Figure 3-3-19	1.4nm-thick oxide reliability test .....	57
Figure 3-3-20	DC characteristics of RAO oxide devices .....	58
Figure 3-3-21	RAO oxide device reliability.....	59
Figure 3-3-22	SiGe SFET with RAO oxides.....	60
Figure 3-3-23	DC characteristics under stress.....	61
Figure 3-3-24	1/f noise under stress .....	62
Figure 3-3-25	70nm gate-length SFET image .....	63
Figure 3-3-26	DC characteristics of 70nm device.....	64



## TABLES

Table 1-1-1	Market of the SiGe semiconductors.....	29
Table 2-1-1	Semiconductor development for nations.....	33
Table 2-1-2	High-quality semiconductor commercialization.....	34
Table 2-2-1	ETRI's SiGe research.....	36
Table 3-2-1	Core technologies of SiGe quantum-well channel devices.....	43
Table 3-3-1	ETRI's SFET Gm, Id results.....	51
Table 3-3-2	RAO SiGe SFET properties.....	60



# 목 차

제 1 장 서론.....	25
제 1 절 사업목적.....	27
제 2 절 사업의 필요성.....	27
제 2 장 본론(I).....	31
제 1 절 세계 기술현황.....	33
제 2 절 국내 기술현황.....	35
제 3 장 본론(II).....	38
제 1 절 이론적 실험적 접근방법.....	40
제 2 절 연구내용.....	40
1. 원천기술 발굴 및 지적재산권 확보.....	41
2. 국내연구 실리콘-게르마늄 반도체 기술저변확대.....	43
3. 국외정보수집 및 기술교류 확대.....	43
제 3 절 연구결과.....	44
1. 고이동도 SiGe/Si QW 구조성장기술.....	44
2. SiGe SFET 구조최적화.....	50
3. 50nm급 SiGe SFET 소자제작을 위한 핵심기반연구.....	52
4. 1/f 잡음특성 연구.....	61
5. SiGe 나노신소자 제작 및 특성분석.....	62
제 4 장 결론.....	65
제 1 절 관련분야 기여도.....	67
제 2 절 결과활용계획.....	68
약어표.....	69
부록.....	73



## 그림 목차

그림 1-1-1	SiGe SFET 단면도.....	25
그림 3-3-1	TDR 공정 흐름도.....	42
그림 3-3-2	TDR 온도별 특성.....	42
그림 3-3-3	AFM 분석결과.....	46
그림 3-3-4	XRD 분석결과.....	47
그림 3-3-5	SIMS 분석결과.....	47
그림 3-3-6	TEM/SEM 이미지.....	47
그림 3-3-7	SiGe SFET 단면도.....	48
그림 3-3-8	SiGe SFET DC 특성.....	49
그림 3-3-9	SiGe SFET RF 특성.....	49
그림 3-3-10	SiGe SFETdml 이차원 보론도핑 시뮬레이션 결과.....	50
그림 3-3-11	Modulation-doped SiGe SFET의 DC/RF 특성.....	51
그림 3-3-12	SEG 성장 공정 흐름도.....	52
그림 3-3-13	SEG 성장 SEM 이미지.....	53
그림 3-3-14	보론 이차원도핑 샘플공정 흐름도.....	54
그림 3-3-15	SIMS 분석비교.....	54
그림 3-3-16	E-S/D과 이차원도핑을 이용한 나노신소자 S/D 공정예.....	55
그림 3-3-17	오존발생기 구조.....	56
그림 3-3-18	RAO 산화막 성장조건.....	57
그림 3-3-19	1.4nm 산화막의 신뢰성 특성비교.....	57
그림 3-3-20	DC 전고특성 비교.....	58
그림 3-3-21	신뢰성특성.....	59
그림 3-3-22	SiGe SFET 단면도.....	60
그림 3-3-23	스트레스 전후 DC 특성비교.....	61
그림 3-3-24	스트레스 전후 1/f 잡음특성비교.....	62
그림 3-3-25	70nm 게이트 패턴 SEM 이미지.....	63
그림 3-3-26	제작된 SiGe SFET 소자의 DC 특성.....	64





## 표 목 차

표 1-1-1	실리콘-게르마늄 반도체소자의 연도별 시장규모 .....	29
표 2-1-1	국가별 반도체 연구개발 현황 .....	33
표 2-1-2	주요기관별 실리콘-게르마늄 고성능 반도체 상품화 현황.....	34
표 2-2-1	본 연구팀의 연구실적 요약 .....	36
표 3-2-1	실리콘-게르마늄 양자채널 나노신소자 구현을 위한 핵심기술.....	43
표 3-3-1	제작된 소자의 Gm, Id 특송비교 .....	51
표 3-3-2	RAO SiGe SFET 소자특성.....	60



## 제 1 장 서론



## 제 1 장 서론

### 제 1 절 사업목적

Non-classical CMOS 나노신소자의 핵심기술로는 SOI (Silicon on Insulator), FinFET, Dual-Gate FET, SFET 등이 있는데 극미세 패터닝 기술개발을 통하여 2010 년대에 50nm 이하 소자를 실용화한다는 목표를 잡고 있다. 그러나 현재 반도체 동작원리나 양산성 측면에서 볼 때 가장 실현가능한 소자구조는 SFET (Strained-Si Field Effect Transistor)로 널리 인정되고 있다. 이에 본 연구실은 그동안 본 연구실에서 수년간 축적해온 실리콘-게르마늄 양자채널 에피기술을 기반으로 양자채널의 신소자와 새로운 나노급 회로의 기초를 마련하고자 사업을 수행하였다. 이를 통해 수백 GHz 에서 동작하는 실리콘-게르마늄 양자소자를 구현하여 Terabit 초고집적메모리회로와 10GHz 클럭의 고속논리회로의 시대를 여는데 기반이 될 원천기술을 선도하게 될 것으로 기대된다.

실리콘-게르마늄 반도체는 고속-저잡음 특성때문에 초고속-저전력 마이크로프로세서, ASIC, 그리고 GaAs 계 화합물반도체의 영역으로 분류되는 RFIC(Radio Frequency Integrated Circuit), MMIC(Monolithic Microwave Integrated Circuit) 기술까지 응용분야가 점차 확대되고 있다. 상술된 바와 같이 미래의 마이크로프로세서에서 고속-병렬연산을 위해 나노 신소자의 고속동작, 저전력, 저잡음 특능을 가장 필요로 한다(P. Beckett, ACSAC2002, "Towards Nanocomputer Architecture"). 초고속 실리콘-게르마늄 양자소자의 제작에 필요한 핵심기술은 실리콘-게르마늄 양자채널 에피성장, 저온 선택성장(LT-SEG), 수 원자층의 이차원 불순물 도핑, 저저항/고신뢰성 SiGe-salicide 기술, SiGeC/SOI 기술, elevated S/D, solid phase diffusion 기술 및 저온-래디컬 산화막 기술 등이 포함된다. 고품질 에피성장은 고성능 소자제작에 필요한 가장 중요한 기술이며 저온 래디컬 산화막 기술은 SiGe 의 열적 불완성에 의한 소자특성 열화를 방지할 수 있는 핵심 기술이다. solid phase diffusion 기술은 나노소자의 가장 중요한 기술 중의 하나인 shallow junction 을 구현하기 위해 제안된 기술이다. Channel confinement 를 구현하는 SiGe(C)/Si 층으로 subthreshold-slope 을 줄이고, SiGeC/SOI 기술로  $I_{on}/I_{off}$  를 높여 열문제를

격감시킬 수 있을 것으로 기대된다. 특히, 본 연구실이 보유하고 있는 1/f 잡음 측정기술은 자로 발전하면서 문제가 되는 신뢰성분석을 포함한 전반적인 소자특성분석의 어려움을 해결할 것이다. 최종적으로 실리콘-게르마늄 양자채널을 이용한 50nm 급 고성능 SFET 제작 및 나노소자 분석 기반기술은 국내의 반도체 기술을 세계수준의 경쟁력 있는 기술로 발전시킬 수 있는 밑거름이 될 것이다. 그림 1-1-1은 본 사업에서 수행한 SiGe SFET의 단면도이다.

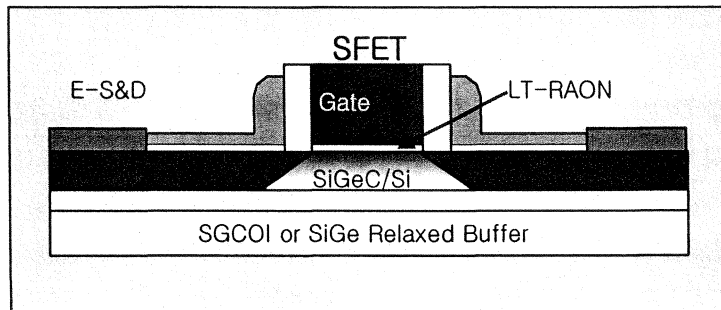


그림 1-1-1. SiGe SFET 단면도

## 제 2 절 사업의 필요성

선진국에서는 인텔과 IBM을 포함한 거의 모든 반도체회사가 실리콘-게르마늄 반도체 기술개발에 많은 투자를 하고 있으며(IEDM 2003) 이를 통한 프로세서-임베디드 SoC의 산업화를 추구하고 있다. 그러나 국내 회사들의 SiGe 반도체관련 연구진행은 전무한 실정인 상태이며, 이를 극복하고 산업체가 하루빨리 실리콘-게르마늄 반도체기술을 갖추도록 지원하기 위해 본 사업을 수행하게 되었다. SFET은 인텔 등에 의해 수년 내에 상용화가 시작될 것으로 예상되는데 이러한 소자기술은 15년 이상의 집중적인 SiGe 에피기술을 통해 이룩된 결과이다. 앞으로 실리콘-게르마늄 양자채널 나노 신소자를 기반으로 하는 고성능 회로 제품은 실리콘 반도체산업의 발전에 필수적인 요소로 자리 잡을 전망이다.

그리고 반도체 나노 신소자 기술은 반도체 장비, 소재 부품, 화공 등 관련산업과 바이오, 의학, 생명, 에너지, 환경, 문화 등 주변 산업에도 큰 영향을 미치는 기술이므로 이것의 확보는 국가경제의 원동력이 될 것으로 기대된다(NTRM2002, p.296). 특히 유비쿼터스 21C 멀티미디어 정보화 사회를 앞두고 방송, 통신, 컴퓨터, 그리고 가전부분의 융합이 가속화 되면서 여러 가지 형태의 상품과 서비스가 속속 출현하고 있다. 이런 가운데 다양한 서비스를 제공하는 프로세서와 메모리가 임베디드된 IT-SoC 및 응용제품이 차세대 (4G 및 5G) 통신서비스의 이동성을 최대한 보장하고, 사람-사람, 사람-사물, 사물-사물의 네트워크로 정보통신사회의 변혁을 유도할 것이다.

실리콘-게르마늄 양자채널을 이용한 나노신소자 제작기술 도입은 국내의 미진한 기술성숙도와 해외기업의 기술보호로 인하여 현실적으로 거의 불가능하다. 만일 기술도입이 되는 경우를 가정한다면, 2010 년 SiGe 반도체시장(Strategies Unlimited) 60 조원에 점유율 10%와 기술료 4%를 추정하여 적용하면, 연간 2,400 억원의 로열티를 지급해야 한다는 결론이 나온다. 결국 국가적으로 자체 기술개발에 의한 경쟁력 확보방안이 기술도입보다 경제성에 있어서 비교할 수 없을 정도로 높다. 표 1-1-1 과 같이 실리콘-게르마늄 반도체 세계시장의 규모가 2005 년에는 18 억불로 성장할 것으로 Strategies Unlimited (1999)사에 의해 예측되었다. 2007 년도 세계시장 규모는 33 억불, 국내 (세계시장 7% 적용) 시장창출규모는 277 억불에 달할 것이다.

표 1-1-1. 실리콘-게르마늄 반도체소자의 연도별 시장규모 (단위: 1,000\$)

시장	분야	2001년	2002년	2003년	2004년	2005년	CAGR
세계시장	통신용	182,545	350,495	636,458	993,221	1,506,773	179%
	민생용	7,262	20,547	23,618	39,197	44,925	30%
	컴퓨터	77,471	71,200	135,026	153,336	208,793	51%
	산업용	1,966	5,650	10,098	11,465	13,850	35%
	군사용	174	1,040	1,069	1,069	1,069	37%
	합계	269,418	448,933	806,269	1,198,289	<b>1,775,409</b>	177%
국내시장		18,859	31,425	56,439	83,880	124,279	177%

(출처: 세계시장은 Technology Status and Applications Analysis, Strategies Unlimited, 1998 국내시장은 세계시장의 7% 적용.)

상술된 바와 같이 기술을 확보하지 못함으로써 외국의 Foundry 를 이용하여 첨단 통신기술의 핵심 IC 를 제작하는 경우에는 모든 설계기술이 외국회사에 노출되고, 연구결과가 노출되는 약점을 면할 수 없으며, 기술적인 종속관계를 면하지 못할 것이다. 또한, 실리콘-게르마늄 양자채널 SFET 은 범용 프로세서나 40Gbps 이상의 테라비트 광통신용과 같이 H/W dedicated 된 디지털 프로세서 핵심부품의 막대한 시장을 점유할 것이다.



## 제 2 장 본론(I)



## 제 2 장 본론(I)

### 제 1 절 세계 기술현황

SiGe 반도체의 기술개발은 HBT 소자를 선두로 진행되었다. 1987 년도에 IBM 의 Meyerson 박사가 최초로 HBT 소자를 구현하였고, 1998 년부터 상품화를 발표하였다. 현재는 HBT 의 성능을 300GHz 대에서 더욱 높이는 기술개발을 추진하고 있으며, CMOS 를 대체할 SFET 와 RTD, PD 같은 기능성 소자의 기술개발로 연계되고 있다.

미국은 CPU, DSP, 통신칩 등과 같은 고부가가치 비메모리 생산에 주력하여 2001년 세계반도체 시장의 52.5%를 점유하고 있으며, 표 2-1-1 과 같이 선행공정과 장비개발을 위해 민관공동으로 프로젝트를 추진하고 있다. 일본의 MIRAI, 유럽의 IMEC(Esprit), 대만의 ERSO 와 같은 프로젝트에서 SiGe 반도체의 기술개발 프로그램을 가동시키고 있다. 인텔과 IBM 을 위시하여 대만의 TSMC, UMC 까지 SiGe 반도체 기술경쟁이 매우 치열하게 이어지고 있다.

표 2-1-1. 국가별 반도체 연구개발 현황 (NTRM2002, p.304)

	미국	일본		유럽	대만
사업명/기관	SEMATECH	ASUKA	MIRAI	IMEC	ERSO
목표	공정/장비 기술개발	100-70nm 공정기술 개발	70-50nm SoC 기술개발	설계공정 기술개발	산업계 필요기술 개발
사업기간	1996-	2001- 2006	2001-2008	1984-	1994-
사업예산	140 만불('00 년)	760 억엔	38 억엔('01 년)	130 백만유로	487 백만불

표 2-1-2 에 정리된 실리콘-게르마늄 반도체의 상품화 현황에 따르면 세계적으로 SiGe HBT 를 근간으로 한 BiCMOS 기술은 상품화가 대거 진행되었음을

알 수 있다. 최근의 발표에서 인텔의 펜티엄 4 프로세서는 SiGe SFET 의 52Mbits SRAM(IEDM Dec. 2002 에서 발표)를 채택할 계획임을 밝혔다. 인텔은 90nm SFET 로 통신용 IC 로 기가비트 이더넷, 광 네트워크, 무선통신 IC 를 공급하게 될 것이라고 한다.

한편, IBM 도 가장 앞서서 실리콘 양자소자기술을 선도하고 있다. HBT 의 양산화 공정기술을 갖춘 IBM 을 중심으로 10 개 이상의 회사와 연구기관이 Consortium 을 구성하여 다양한 상용제품을 출시하였다. IBM 은 Combo SFET/SOI SRAM 을 개발(IEDM Dec. 2002 에서 발표)하여 고성능 마이크로프로세서용으로 적용하고자 한다. IBM 은 350GHz 까지 가능하고, SoC 의 설계에 없어서는 안되는 기술이 될 것이라고 예측한다.

**표 2-1-2. 주요기관별 실리콘-게르마늄 고성능 반도체 상품화 현황**

회사명(국가)	제품명(Remarks & Year)*
인텔(미)	52Mbits SRAM 펜티엄 IV 서버 프로세서
IBM(미)	VCO,PA(GSM, 1998), 40Gbps SONET, DSP(2002), 프로세서/FPGA(개발중)
Atmel's TEMIC(독)	Tx/Rx(Cellular, 1998), Power Amp(GSM, 1999), DECT Chip Set(2000)
Maxim(미)	LNA, Mixer(0.4-2.5GHz, 2001), Power HBT(1998), Dual band LNA
CommQuest(미)	Tri-band LNA, Power Amp, Phone-on-a Chip(2001)
Intersil(미)	WLNA Adaptor(Power Amp,IF/RF Converter,BB 프로세서, 2.4GHz, 1999)
Hitachi(일)	Optical Coupler(10Gbps~40Gbps, 1999), AGC Amp(10Gbps~40Gbps, 2000)
NEC(일)	Limiting Amp, Mux, Demux (10Gbps~40Gbps, 2000)
Qualcomm(미)	LNA, Mixer, Freq. Syn., VCO, IF Amp, CDMA 통신 프로세서
SThompson(프&이)	LNA,Mixer, PLL, Attenuator (CDMA, BiCMOS, 2001)

IMEC 을 통하여 독일, 일본, 프랑스의 반도체 업체들도 앞다투어 SiGe 기술을 개발하고 있으며, TSMC 와 UMC 도 기술도입을 진행하고 있다. 최근 IMEC 은

Stanford, Intel, ST 등과 Consortium 을 결성하여 45nm 급 이하에 적용할 목적으로 Ge MOSFET 에 대한 연구를 시작하였다. 그리고 고성능 (FET+RTD)와 (HBT+RTD) 회로는 DARPA 의 지원을 받아서 MIT 링컨랩의 고속아날로그연구실에서 HRL 과 버지니아대학과 공동연구하고 있다. 미시건대에서는 TRD 의 NDR 을 Si FET 과 복합회로로 적용하여 고속-저전력 ULSI 에 응용하는 가능성을 열기 위한 시도로서 FET+RTD 회로의 기초적인 시뮬레이션을 수행하였다.

인텔과 IBM 을 위시하여 SiGe 반도체 기술경쟁이 매우 치열하게 이어질 것이며, 90nm 와 65nm 급은 SFET 과 Classical CMOS 가 사용되고, 45nm 급 이하에서 SGOI, SOI 에 신소자를 제작하는 기술도입이 증가할 것이며, 10nm 이하에서는 Fin-FET, DG-FET, Ge-FET 등과 같이 고도의 기술이 요구되게 될 것이다. 본 연구결과는 45nm~10nm 급에서 회로에 적용될 가능성이 높고, 동시에 15nm 이하의 극미소 전자소자 분야에서 미래 기술에 대한 가능성을 탐구하는데 의미가 있다.

## 제 2 절 국내기술 현황

국내에서 SiGe HBT 와 SFET 소자의 기술개발은 본 연구실에서 유일하게 진행되어 왔다. 상압/감압화학기상증착법으로 성장된 SiGe 에피를 사용하여 77~84GHz 에서 동작하는 SiGe HBT 기술이 최초로 개발되었고, 이를 이용한 10Gbps 광전송 전치증폭기, 2.4GHz WLL 용 VCO, 840MHz/1.7GHz Cellular/PCS 기지국용 전력증폭기, 1.5GHz 의 5.8GHz 대역의 LNA, Mixer, VCO MMIC 를 개발하는 성과가 있었다. 그리고 현재는 HBT 소자를 CMOS 와 집적화한 BiCMOS 기술로 1-10GHz Cell Library 개발이 진행되고 있다. 본 연구팀이 연구개발한 1998 년 이후 5 년간의 결과를 표 2-2-1 에 요약하였다.

SiGe HBT 기술은 현재까지 2 회에 걸쳐서 국내 반도체회사에 전수되고 있어 상품화에 진입하고 있다. 최근에 무선통신단말기와 관련된 다수의 사업체들이 IMT-2000 에 적용할 칩들을 IBM, ST, Qualcomm 등으로부터 수입하거나 Foundry 서비스를 받고 있고, 이에 따라 외국기관은 한국의 시장으로 급속히 기술침투하고 있다. 또한, 삼성전자, 하이닉스, KEC 을 방문하여 의견을 수렴한 결과 국내의 SiGe HBT 기술을 실현할 여건은 우수하며 실용화를 위해 부분적으로 노력을 기울이고 있다. 특히 삼성전자는 300nm BiCMOS 의 개발을 진행하고 있다. 이러한

국내의 상황과 반도체산업에 있어서 Time-to-Market 의 중요성을 고려할 때, 수 년 사이에 국내의 반도체 산업도 세계적 경쟁력을 갖추어야만 실리콘기반의 초고속 양자소자분야 선도대열에 들어설 수 있다.

표2-2-1. 본 연구팀의 연구실적요약 (1998년 이후)

기술분류	연구실적	비고
HBT& BiCMOS 소자 및 핵심공정 기술	<ul style="list-style-type: none"> <li>o SiGe HBT 소자 및 공정기술</li> <li>- 비자기정렬구조 HBT 기술 (<math>f_t/f_{max}</math>:70GHz/80GHz)</li> <li>- SiGe HBT 자기정렬구조기술: BiCMOS compatible)</li> <li>o HBT RFIC Library 구축</li> <li>- 병렬분기형 인덕터(특허)</li> <li>- SiGe HBT 및 수동소자 Library 구축</li> <li>o SiGe BiCMOS 소자공정 (진행중)</li> <li>- BiCMOS, SFET, 능/수동소자 개발</li> </ul>	<p>독자기술: SiGe RF 반도체 기술이전 (2002, 텍소)</p> <p>독자기술: HBT 기술이전 (2000, 광전자)</p>
회로설계 및 제작기술	<ul style="list-style-type: none"> <li>o 1 ~ 10GHz SiGe HBT Core Cell Library 설계</li> <li>- 용도: Cellular, PCS, IMT-2000, GPS, WLL/WLAN, ITS-DSRC</li> <li>- 주파수대: 0.9GHz, 1.8GHz, 2.4GHz, 5.8GHz</li> <li>o SiGe BiCMOS RF 및 IF 통합 MMIC</li> <li>- BiCMOS RFIC 응용회로 개발</li> <li>o 2.5GHz 급 광수신용 IC 설계 및 제작</li> <li>- Pre Amp 및 Limiting Amp 설계 및 제작</li> <li>- SiGe/Si MQW PD(<math>f_{3dB}</math>=1.9GHz, 980 nm)</li> <li>소자제작</li> </ul>	<p>국내논문 35 편</p> <p>국제논문 15 편 (SCI 14 편)</p> <p>국제발표 16 건</p> <p>특허출원 (국내 27 건, 국제 12 편)</p> <p>특허등록 (국내 7 건, 국제 2 편)</p>
선행기술	<ul style="list-style-type: none"> <li>o 실리콘기반의 p-type SFET 고속소자 원천기술 창출</li> <li>- 1/f 잡음특성이 탁월한 SiGe p-SFET 소자기술</li> </ul>	

국내대학의 경우 전북대의 SS-MBE 를 이용한 SiGe 양자구조연구, 연세대의 SiGe 다결정 게이트 CMOS 연구, 서울대의 GS-MBE 를 이용한 SiGe 금속접합에 대한 연구가 진행되고 있다. 최근 이 기술분야에 대한 국내 연구개발 투자를 보면,

정보통신부의 주관하에 1993 년 이래로 매년 3 억원 이상을 투자하여 기술개발을 추진할 수 있었다. 최근 ETRI 의 기술을 전수 받은 광전자가 대략 10 억원 이상을 투자하여 제품개발에 몰두하고 있다. 그리고 DRAM 의 다결정 SiGe 게이트 증착에 관한 선행기술연구를 하이닉스와 주성엔지니어링이 수행하고 있다. 현재 삼성전자와 하이닉스 뿐만 아니고, KEC 가 ETRI 의 기술지원을 통하여 SiGe 반도체기술의 도입을 검토하고 있다. 벤처업체로 ASB 와 FCI 는 SiGe 전력증폭기 제품을 출하하고 있다.

국제적으로 SiGe HBT, SFET 에 대한 기술개발의 경쟁이 치열하지만 국내의 연구기반은 미약하다(NTRM2002, p.312). 반도체 나노소자의 기반연구로서 21 세기 프론티어사업의 테라급 나노 기능소자 사업단을 중심으로 SET, Nano-CMOS, Tbps 집적회로 연구를 수행하고 있으며, SET 회로(충북대), Fin-FET(경북대)의 기술개발이 이루어지고 있다. 산자부의 시스템 IC2010 에서는 차세대 나노공정 기술로 50nm 급 SoC 의 신제조기술, 멀티미디어용 256M FeRAM 등이 추진되고 있다(시스템 IC2010 2 단계기획).





## 제 3 장 본론(II)



## 제 3 장 본론(II)

### 제 1 절 이론적 실험적 접근방법

본 연구사업의 접근방법은 향후 경쟁이 치열해질 것으로 예상되는 실리콘-게르마늄 양자채널 나노 신소자 분야의 핵심기술을 개발하여 개발된 기술을 확산시키기 위한 근본적인 국가 기술경쟁력을 확보하는데 둔다. 본 연구실은 기존의 연구개발과 기술적 차별성 및 상호 보완하는 관계를 가지고 아래와 같이 추진한바 있다.

- 원천기술 확보에 주력: SiGe SFET 의 특성을 최대한 활용하는 새로운 구조개발에 초점을 두고 고성능 SFET 개별소자기술 개발을 진행하면서, 실리콘-게르마늄 실용화를 가능하게 하는 원천기술과 특허를 확보하고, 나노 신소자를 시험제작하여 응용가능성 확인
- 연구개발 방법의 차별화: 본 사업 제안자는 고이동도 채널구조의 실리콘-게르마늄 양자채널 소자의 SiGeC/Si 에피기술을 새로이 개발하여 밴드갭 엔지니어링에 의한 고속전송 특성, 저전력 소모 S-slope 를 조절할 수 있는 소자구조로 연구개발 추진
- 창의적 Idea 수렴 체계 강화: 본 사업의 특성상 본 연구실은 실리콘 양자구조소자 기술분야의 선도적 역할을 수행해야하는 만큼, 국내연구인력 (초빙교수, 산업체)을 최대한 활용, 1 단계에서 핵심요소기술의 개발에 창의적인 아이디어를 구체화하여 검증하고, 2 단계에는 소자의 구조 및 단위공정 기술 등을 제공하여 산학연 연구체계 운용

### 제 2 절 연구내용

본 사업에서 수행했던 연구내용은 프로세서용 나노신소자 SiGe(C) 양자채널 SFET 제작을 위한 단위공정기술, 측정기술 등의 원천기술의 개발이었으며 최종적으로는 50 nm 급 소자를 제작해 특성을 검증하는 것이다. 그외 국내 산업체나 연구소와 기술교류를 통해 실리콘-게르마늄 반도체의 저변을 확대해

나가며 해외업체 방문과 기술교류를 통해 최신의 정보를 습득하여 기술경쟁력을 키우는 일들도 포함되었다.

1. 원천기술 발굴 및 지적재산권 확보

: 새로운 SFET 구조제안 및 핵심요소 기술개발 중점

가. 고이동도 SiGe/Si QW 구조 성장기술

: ETRI 가 보유하고 있는 RPCVD/APCVD (ASM Epsilon 1) 장비를 이용하여 다음과 같은 에피층 성장기술을 중점 개발

- 얇고 ( $<1 \text{ um}$ ), defect 밀도가 작은 ( $<10^4 \text{ cm}^2$ ) 고품질의 SiGe ( $X_{\text{Ge}}=0.2$ ) relaxed buffer 성장기술 확보
- 고이동도 channel (Si 대비 이동도 증가율 10 - 50%)을 위한 strained-Si/SiGe 에피층 (SQW) 성장기술 확보

나. SFET 소자 모델링 및 구조설계

: 최적의 성능을 위해 Silvaco 소자 시뮬레이션을 실행하고 그 결과에 따라 SiGe SFET 을 직접 제작하여 소자구조 최적화

- 이차원 boron modulation doping 영향 시뮬레이션 및 소자제작
- Si-cap 층 두께 최적화를 통한 소자구조 최적화 실시

다. 50nm 급 SiGe 나노신소자 기초실험 및 제작

: 50nm 소자제작을 위해서 필요한 단위공정 (source/drain engineering, 저온 초박막 산화막 성장기술) 및 측정기술의 연구가 요구됨

1) Elevated S/D 및 Solid Phase Diffusion (Shallow Junction) 연구

: 나노신소자 구현을 위한 핵심사항인 source/drain engineering 을 SiGe 기술을 이용하여 contact 및 series 저항을 줄이기 위한

elevated S/D 구조와 SiGe 과 Si 간의 boron diffusivity 차이를 이용하여 shallow junction 을 구현하는 단위공정기술 연구

- RPCVD in-situ Boron 이차원 도핑기술 (FWHM < 10 nm) 기술연구
- Elevated S/D 을 위한 selective epitaxy 기술연구

## 2) 저온 래디컬 게이트 산화막 기술(RAO) 개발

: 저온 산화막 공정이 절대적으로 요구되는 SiGe 소자제작을 위해 오존 래디컬 산화막 성장장비를 구축하고 전기적 특성 및 소자특성까지 검증

- Ozone source 관련 원천특허 확보 및 반응챔버 디자인 연구
- 장비제작 및 공정조건 확립을 위한 기초실험
- 산화막 전기적 특성검증 및 소자 적용 후 분석

## 3) 1/f 잡음특성 연구

: 1/f 잡음 측정을 위한 분석장비 시스템을 구축하고 이를 이용 나노신소자의 새로운 분석방법을 개발

- 1/f 잡음 측정시스템 구축 및 기초 테스트
- 소자분석(신뢰성) 및 물성분석 원리 원천기술 연구

## 4) SiGe 나노신소자 제작 및 특성분석

: 개발된 에피성장등의 단위공정 기술 및 소자구조 시뮬레이션, 마스크 제작을 거쳐 50 nm 급 SiGe SFET 소자의 직접제작 및 분석

- Silvaco 를 이용한 SiGe SFET 나노신소자 구조 최적화 연구
- PR descum, e-beam lithography 및 side-wall 방식을 포함한 Mask 제작
- Single-quantum well 구조 연구 및 시뮬레이션
- 50 nm 급 SiGe (Ge=20%) SFET 제작 및 운반자 특성연구

표 3-2-1. 실리콘-게르마늄 양자채널 나노신소자 구현을 위한 핵심기술

50nm SFET 핵심 기술 목록	목표기술	세부기술 내용	목표치	개선사항
고이동도 (저전압) 기술 ( $m/m_{Si} > 1.5$ )	SiGe(C)/Si Strained Channel Engineering 기술	Thin SiGe 버퍼 형성 SiGe(C)/Si 채널 Epi Retrograde 구조 형성 Modulation doping 기술	SiGe 버퍼 두께 < 1 $\mu$ m SiGe 버퍼 Ge % > 15 % 이동도 증가비 ( $m/m_{Si} > 1.5$ )	동작전압 (Vdd) 동작속도 (fmax) 단채널효과
S/D 형성 기술 ( $X_j < 37$ nm)	Elevated & Solid Phase Diffusion S/D 형성기술	CVD 에 의한 S/D In- Situ 텔타도핑 on Si/SiGe(C) S/D 영역 선택적 Epi 성장 (SEG)	Junction Depth ( $X_j < 40$ nm) E-S/D 두께 > 50 nm Ge-free Silicidation S/D 저항 < 50 %	단채널효과 Junction 누설전류 동작전압 (Vdd)
게이트 절연막 기술 ( $Tox < 1.2$ nm)	저온 Radical- Assisted Oxide (RAO) 게이트 절연막 기술	UV 조사형 래디컬 소스 (O <sub>3</sub> /NO) 설계 및 제작 저압력 RTP 챔버 제작 Non-plasma (고청정)	성장 온도 < 700 C 래디컬 농도 > 400 ppm 절연막 두께 < 1.0 nm Dit < 10 <sup>11</sup> cm <sup>-2</sup> eV <sup>-1</sup>	단채널효과 게이트 누설전류 1/f 잡음 열비용 (응력유지)
고정밀 소자특성 분석기술	나노급 CMOS 1/f 잡음 분석기술	Dual 채널 1/f 잡음 측정 장비 구축 트랩밀도 분석프로그램 개발	Sub-1.5 nm 급 게이트 절연막 소자의 고정밀 분석도구로서의 타당성 검증 (Up-conversion/ 신뢰성 측면)	기존의 C-V, DLTS, TDDB 등 분석 Tool 대체

2. 국내연구 실리콘-게르마늄 반도체 기술저변 확대

: 국내 연구인력의 활용: 초빙교수, 위촉연구원, Post-Doc 제도 적극 활용 및  
실리콘-게르마늄 반도체 신소자 기술(가칭) 협의체 구성

3. 국외정보 수집 및 기술교류 확대

- : 미국(IQE, MIT), 유럽(유네식스, ASM, 엑시트론)등 반도체업체와 방문/기술교류
- 유네식스, IQE SiGe buffer wafer 교환 및 분석결과 공동연구

### 제 3 절 연구결과

#### 1. 고이동도 SiGe/Si QW 구조 성장기술

가. TDR (temperature-drive relaxation)을 이용한 얇은 (< 1um) SiGe (Ge=20%) relaxed buffer 성장기술 개발

##### 1) 목표대비 실적

- 당초목표:  $X_{Ge} > 15\%$ , 두께 < 1 um, 결함밀도 <  $10^4 \text{ cm}^{-2}$
- 연구성과:  $X_{Ge} = 20\%$ , 두께 < 0.5 um, 결함밀도  $\sim 10^4 \text{ cm}^{-2}$
- 본 연구를 통해 얻어진 결과는 관련분야 최고 업체인 IQE(미국)와 샘플 교환을 통한 비교분석결과 결함밀도는 비슷하고 두께는 30%에 불과한 것으로 판명됨.

##### 2) 성장방법

- SiGe 층의 응력완화에 의한 dislocation 발생 층을 얼마나 얇게 조절할 수 있는가가 연구의 핵심임
- 이것을 위해 사용한 방법이 in-situ 열처리(TDR) 이며 온도에 따라 표면 roughness 가 심하게 변하므로 온도를 최적화하는 작업이 필요함.
- 그림 3-3-1 은 Ge 조성을 높이기 위해 점진적으로 그리고 반복적으로 SiGe 에피성장과 TDR 처리를 반복한 것을 보여줌.
- 그림 3-3-2 는 TDR 온도 변화에 따른 표면 roughness 변화를 보여주고 있는데 원가절감 측면에서 CMP (chemical-mechanical polishing) 공정을 배제하기 위하여 roughness 조절은 필수적으로 요구됨.

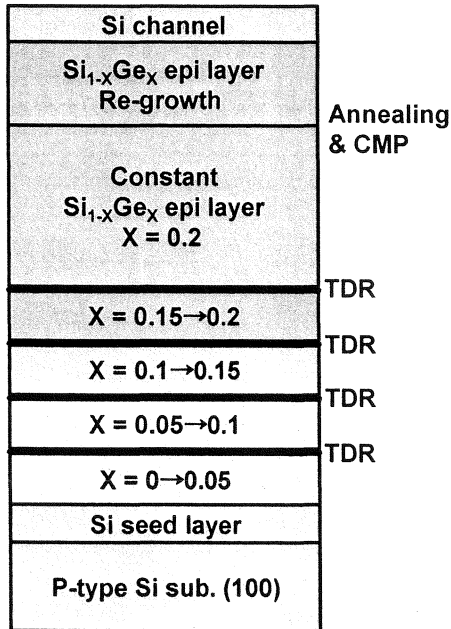


그림 3-3-1. TDR 공정흐름

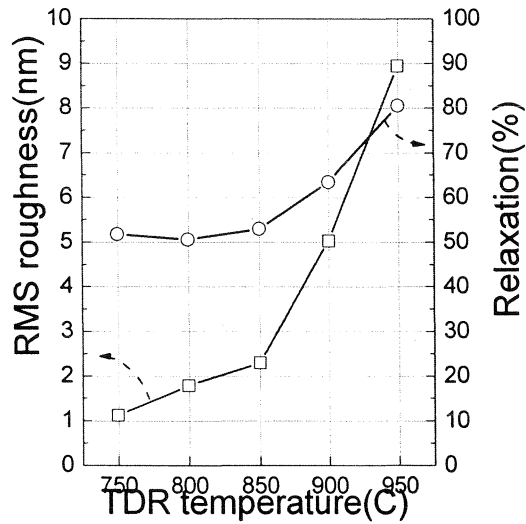


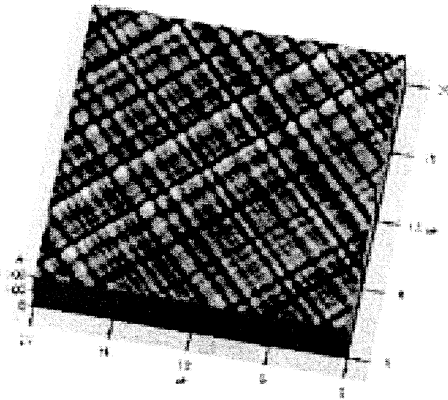
그림 3-3-2. TDR 온도별 특성



### 3) 샘플분석

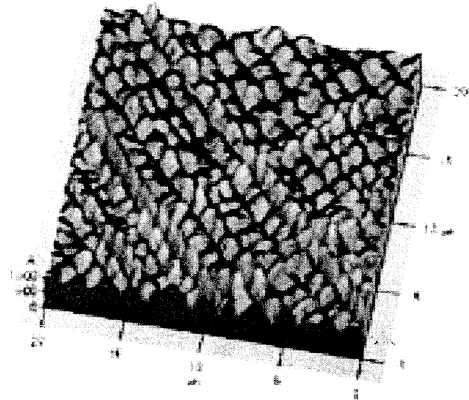
- 사용된 분석방법은 AFM, XRD, SIMS, TEM, SEM 등의 전반적인 물성분석 방법이 사용됨.
- 이중 AFM 은 나노스케일의 보다 정확한 표면 roughness 분석(그림 3-3-3)을 위해 사용되었고, XRD 는 relaxation 정도 (그림 3-3-4), SIMS 는 조성분포 (그림 3-3-5), TEM 과 SEM 은 defect 분포분석 (그림 3-3-6)을 위해 사용됨.
- 결함밀도의 분석은 Secco 식각법을 이용하여 측정됨.

TDR temp. = 750 °C



RMS = 1.12nm  
Relaxation = 51.7%

TDR temp. = 950 °C



RMS = 8.94nm  
Relaxation = 80.5%

그림 3-3-3. AFM 분석결과

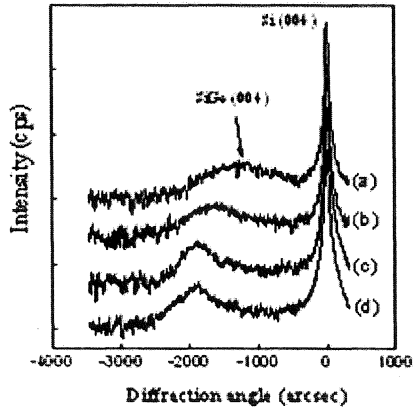


그림 3-3-4. XRD 분석결과

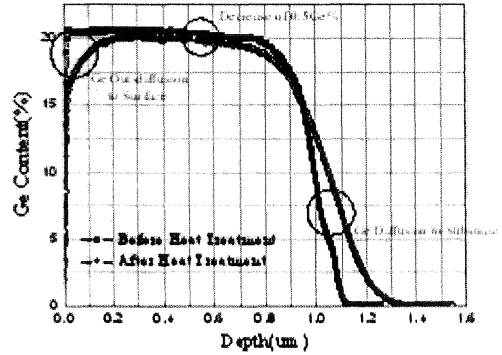


그림 3-3-5. SIMS 분석결과

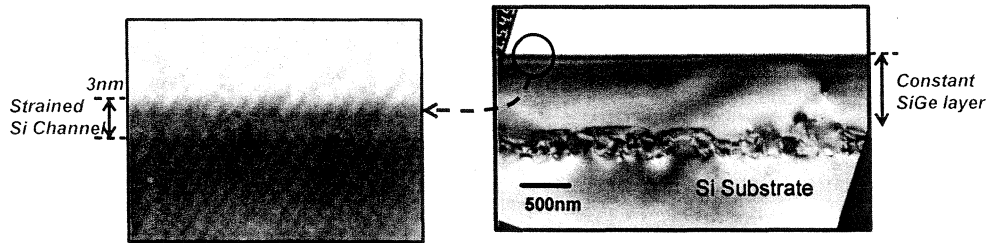


그림 3-3-6. TEM/SEM 이미지

4) 결론

- RPCVD 장비의 특성인 in-situ 열기능(TDR)을 이용하여 기존의 상용화 제품대비 얇고 결함밀도가 작은 SiGe relaxed buffer (Ge=20%)을 개발함.
- 여기서 사용된 TDR 법은 본 연구에서 행해진 독특한 방법으로서 가격경쟁력이나 제품의 품질 면에서도 매우 우수한 방법임

- XRD 결과 응력완화 정도는 거의 100%f 나타났으며 CMP 공정과 병행유무에 관계없이 매우 우수한 SiGe relaxed buffer 를 생산 할 수 있을 것으로 기대됨.

나. 고이동도 channel 을 위한 strained-Si/SiGe 에피 (single quantum well) 성장기술

1) 목표대비 실적

- 당초목표: 순수한 실리콘 대비 이동도 증가율 = 50%
- 연구성과: 순수한 실리콘 대비 이동도 증가율 = 55%

2) 성장 및 실험방법

- RPCVD 를 이용 Si(5nm)/SiGe(10nm)/Si 기판 구조를 형성한 후 0.5um 실리콘 공정을 이용 CMOS 소자를 제작.
- 기존의 실리콘 CMOS 소자와 이동도를 비교 검증.
- 그림 3-3-7 은 사용된 소자의 단면도를 나타냄.

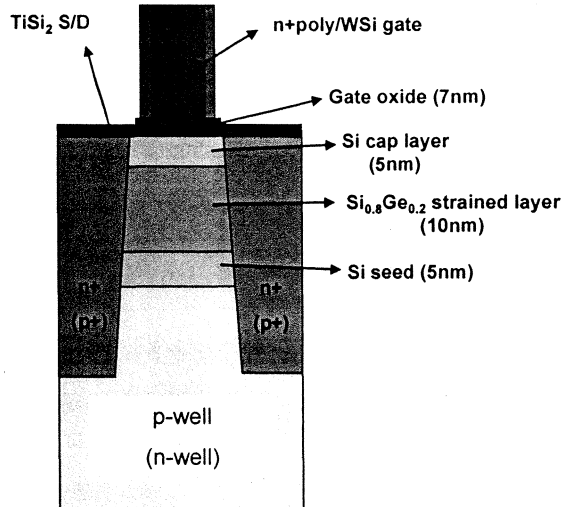


그림 3-3-7. SiGe SFET 소자 단면도

### 3) 측정결과

- Si/SiGe/Si single quantum well 층의 이동도 향상을 분석하기 위해 DC, RF 측정이 행해짐.
- 그림 3-3-8 은 제작된 소자의 DC 특성을 보여주며 그림 3-3-9 은 소자의 RF 특성을 보여줌.

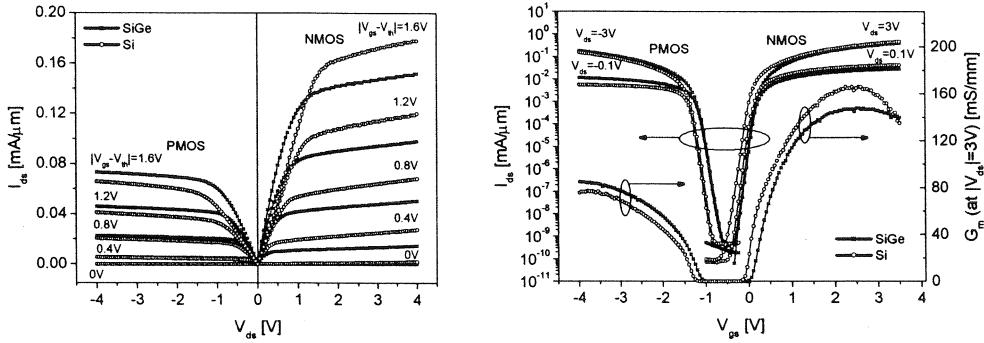


그림 3-3-8. SiGe SFET DC 특성

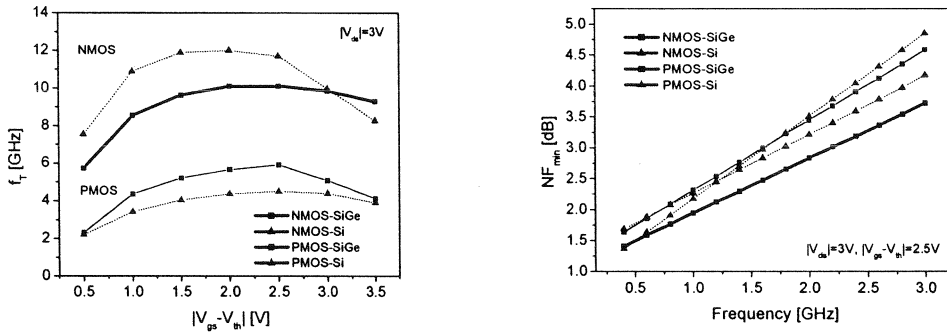


그림 3-3-9. SiGe SFET RF 특성

### 4) 결론

- NMOS 의 경우 Si-cap 에 대부분의 channel 이 형성되는 관계로 SiGe SQW 의 이동도 측정에 적합지 않음.

- PMOS의 경우 소자상의 Gm 증가는 8.6% 였으나 Si-cap 층에 의한 Cox-eff 감소분을 고려할 때 이동도 향상은 45% 임.
- 결론적으로 본 연구에서 성장된 Si/SiGe/Si 는 이동도 측면에서 Si 대비 크게 향상된 것임이 입증됨.

## 2. SiGe SFET 구조 최적화 연구

### 가. 보론 이차원 도핑을 이용한 SiGe pMOSFET의 구조 최적화

#### 1) 시뮬레이션과 실제소자 성능비교

- 이차원 도핑에 의한 band-bending 효과 시뮬레이션 및 소자특성 검증.
- 보론 이차원 도핑을 통해 Si surface channel 형성을 억제시켜 Gm/mobility 를 15%까지 증가시킴.
- 그림 3-3-10 는 이차원 도핑에 따른 시뮬레이션 결과와 소자구조이며 표 3-3-1 은 각소자의 Gm 과 drain 전류를 나타냄
- 그림 3-3-11 은 제작된 소자의 DC/RF 특성곡선임.

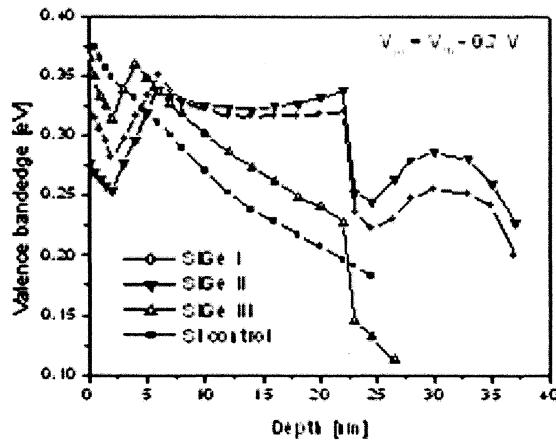


그림 3-3-10. SiGe SFET의 이차원 보론도핑 시뮬레이션 결과

표 3-3-1. 제작된 소자의 Gm, Id 특성 비교

sample	이차원 도핑 [cm-2]	Gm [mS/mm]	in saturation region (Vds=-3V)
SiGe I	1e12	96.4	1.76x10-4
SiGe II	5e12	92.7	1.70x10-4
SiGe III	no	91.2	1.68x10-4
Si control	-	82.4	1.55x10-4

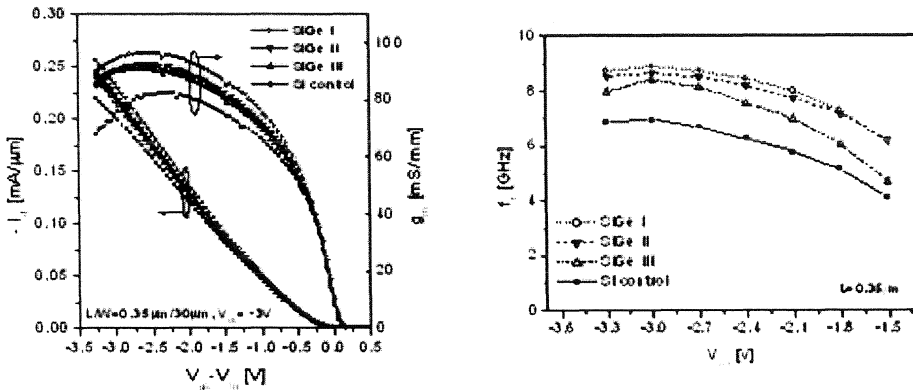


그림 3-3-11. Modulation-doped SiGe SFET 의 DC/RF 특성

2) 결론

- 보론의 이차원 modulation doping (FWHM ~ 5nm) 에 의해 SiGe pMOSFET 의 Gm, Id,  $f_T$  특성이 15-20% 향상됨.
- SiGe pMOSFET 의 Si-cap 층에 의한 Cox 의 손실은 보론 이차원 도핑에 의해 최소화 될 수 있음.

### 3. 50nm 급 SiGe SFET 소자 제작을 위한 핵심 기반연구

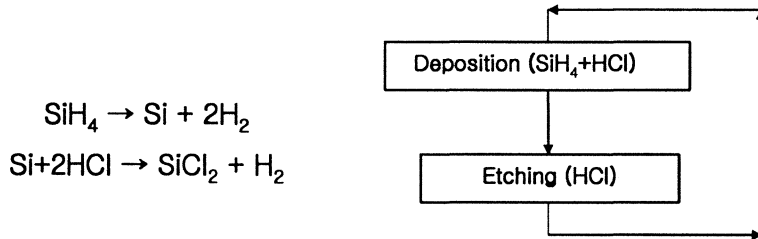
#### 가. Elevated S/D 을 위한 selective epitaxial growth 공정개발

##### 1) 목표대비 실적

- 당초목표: RPCVD 를 이용하여 Si 을 50nm 두께이상 선택적 성장 (SEG)
- 연구성과: 60nm 이상 두께 Si SEG 성장 공정개발

##### 2) 성장방법 및 실험결과

- RPCVD 의 SiH<sub>4</sub> 및 HCl 을 이용하여 incubation time 을 조절하고 etching 과 성장을 반복함으로 선택적 성장.
- 그림 3-3-12 은 선택적 성장에 사용된 공정 흐름도이고 그림 3-3-12 는 개발된 공정을 통해 active 영역에 선택적으로 성장된 SEM 단면도임.



	HT-SEG	LT-SEG (Cyclic Growth)	
Deposition	SiH <sub>2</sub> Cl <sub>2</sub> (40~40 sccm) HCl (40 sccm) H <sub>2</sub> (20 SLPM)	SiH <sub>4</sub> (20~80 sccm) HCl (20~160 sccm) H <sub>2</sub> (20 SLPM)	100~160 sec
Etch	-	HCl (20~180 sccm)	100~600 sec
Temperature	800~950 °C	600~800 °C	
Pressure	40 torr	30 torr	
Growth rate	16~300 nm/min	20~45 nm/10 cycles	
Mask	LTO, LOCOS, PE-SiN	LTO, LOCOS	

그림 3-3-12. SEG 성장 공정흐름도

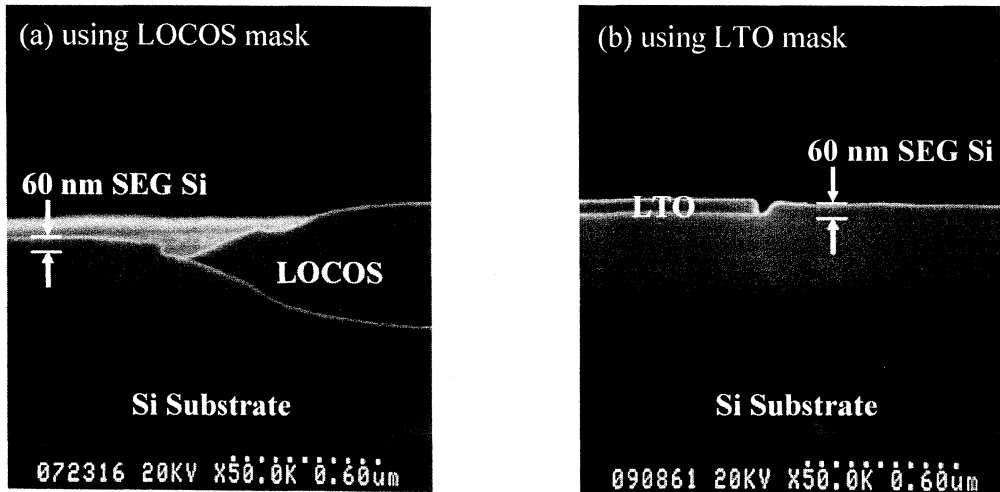


그림 3-3-13. SEG 성장 SEM 이미지

### 3) 결론

- SiGe 양자채널 나노신소자 제작을 위한 핵심 단위공정 중의 하나인 SEG를 RPCVD를 이용하여 성장함.
- SEG 성장 가능두께는 60nm 이상이며 이두께는 elevated S/D 형성에 충분한 두께임.
- 본 단위공정 기술은 추후 SiGe SFET 나노신소자 제작에 적용 예정임.

### 나. Shallow Junction 구현을 위한 Solid Phase Diffusion 연구

#### 1) 목표대비 실적

- 당초목표: RPCVD를 이용하여 FWHM 10nm 이하의 boron 이차원 도핑 형성기술 개발
- 연구성과: FWHM ~ 5nm 급의 in-situ boron 이차원 도핑층 공정조건 확립

#### 2) 실험조건 및 결과



- 기본적으로 반도체의 성장이 없는 상태에서 B2H6 가스의 유량, 주입시간, 탈착시간, 온도를 파라미터로 이용해 공정 조건을 확립.
- 그림 3-3-14 은 샘플성장을 위한 공정조건을 나타내며 그림 3-3-15 는 성장된 샘플의 SIMS 결과임.
- 낮은 도핑, 중간 도핑, 높은 도핑 모두에 대해서 FWHM 이 10nm 이하로 조절됨을 보여줌.

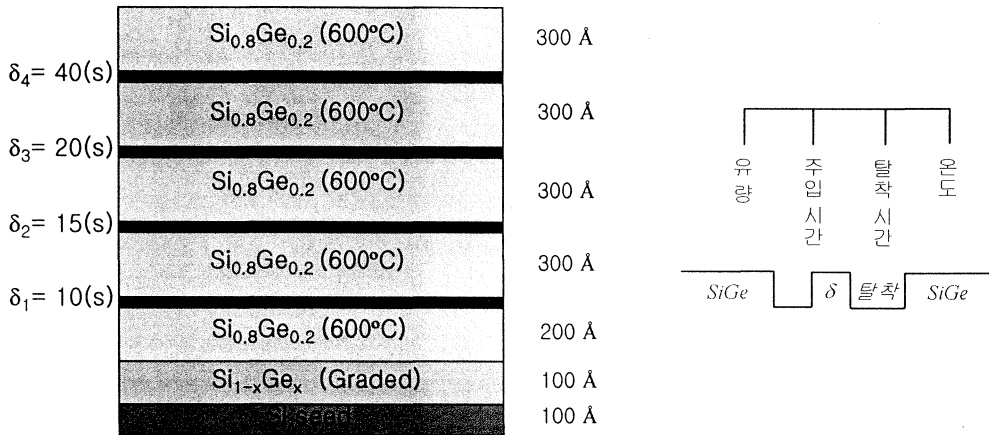


그림 3-3-14. 보론 이차원도핑 샘플공정 흐름도

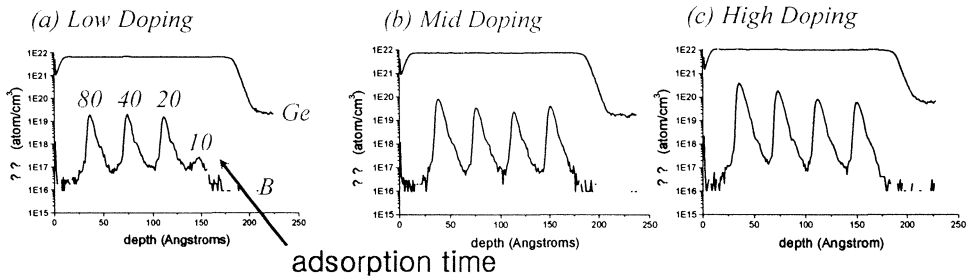


그림 3-3-15. SIMS 분석 비교

### 3) 결론

- RPCVD 를 이용 Boron 이차원 도핑을 FWHM 기준 10nm 이하로 구현함.
- 본 이차원 도핑기술은 나노 CMOS 에서 요구되는 junction depth 40nm 이하를 구현하는데 가장 적합한 기술로 생각됨
- 그림 3-3-16 는 elevated S/D 과 이차원 도핑을 이용한 shallow junction 기술의 적용 예를 보여줌

### □ Process Flow

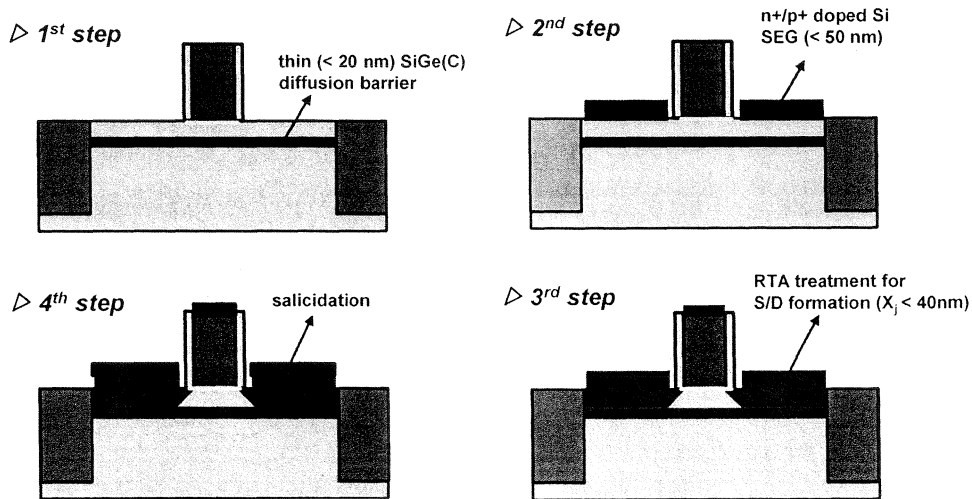


그림 3-3-16. E-S/D 과 이차원도핑을 이용한 나노신소자 S/D 공정 예

### 나. Ozone source 모듈 장비구축 및 기초실험 결과

#### 1) Ozone 생성기 제작 개요

- 기존의 arc 나 plasma 를 이용한 방법은 오존 발생률은 높지만 불순물이 많은 관계로 고청정이 요구되는 게이트 산화막 용으로 적합하지 않음.
- UV 를 이용한 방법 중에 챔버 내에서 기판에 직접 조사하는 방법은 오히려 Si 계면의 weak bond 를 깨서 결함밀도가 증가할 위험성이 있음.

- 나노신소자에 쓰이는 게이트 산화막은 초박막이므로 (1.5 nm 이하급) 오존발생률 보다는 고정정이 더욱 요구됨.
- 그림 3-3-17 은 본 연구에서 제작된 오존 발생기의 구조를 나타냄.

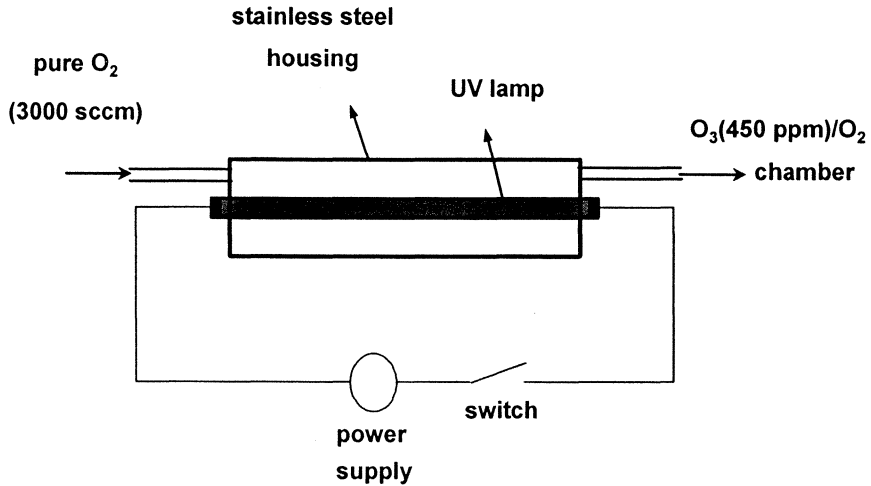


그림 3-3-17. 오존 발생기 구조

- 2) 오존생성기를 이용한 저온성장 산화막의 전기적 특성 검증
- 원하는 두께인 1-2nm 영역에 해당하는 산화막을 얻기 위해서는 공정압력을 4.7 Torr 까지 낮춰야 함.
  - 오존을 사용하면 사용하지 않았을 경우대비 저온 환경 하에 성장률도 빨라지고 전기적특성 (누설전류, 항복전압)이 매우 크게 향상되는 것이 관찰됨.
  - 그림 3-3-18 은 산화막 성장 조건을 그림 3-3-19 은 성장된 1.4nm 두께 산화막의 전기적 특성을 나타냄.

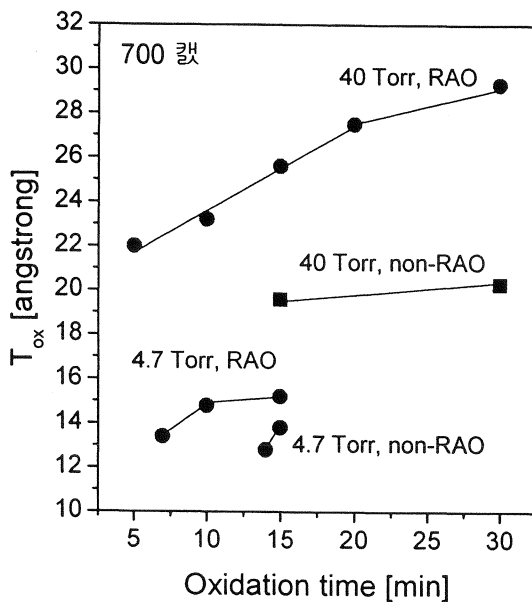


그림 3-3-18. RAO 산화막 성장조건

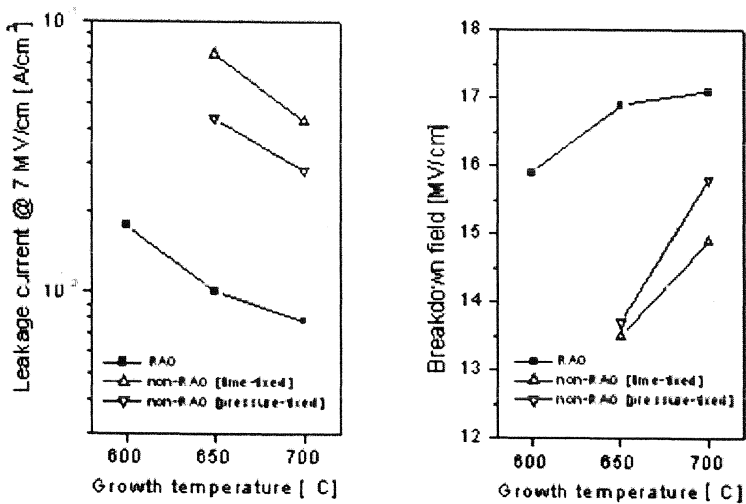


그림 3-3-19. 1.4nm 산화막의 신뢰성 특성비교

### 3) 결론

- 제작된 오존 생성기는 청정도면에서 우수할 뿐 아니라 산화막 두께 및 전기적 특성 측면에서도 매우 우수함.
- 본 연구에서 개발된 저온 래디컬 산화막 기술은 SiGe 소자의 문제인 고열비용으로 인한 응력완화, Ge 편석 등의 문제를 해결할 수 있을 것으로 기대됨.

다. 저온 래디컬 산화막 공정의 SiGe HFET 적용 실험결과

#### 1) 소자 샘플구조

- 순수히 산화막 특성검증을 위해 0.5 $\mu$ m 급 Si NMOS 소자가 제작되었음
- 기존의 전기로 산화막과의 비교검증과 두께별 검증을 시도함.

#### 2) 소자 DC 특성 및 산화막 신뢰성 검증결과

- RAO 산화막을 사용한 경우 두께에 관계없이 기존의 산화막 대비  $G_m$  이 27-67% 가량 향상됨.
- 신뢰성 측면에서도 전기적 스트레스에 의한 문턱전압 및  $G_m$  변화율이 매우 낮은 것으로 판명됨.
- 그림 3-3-20 는 DC 특성을 그림 3-3-21 은 신뢰성 비교특성을 보여줌.

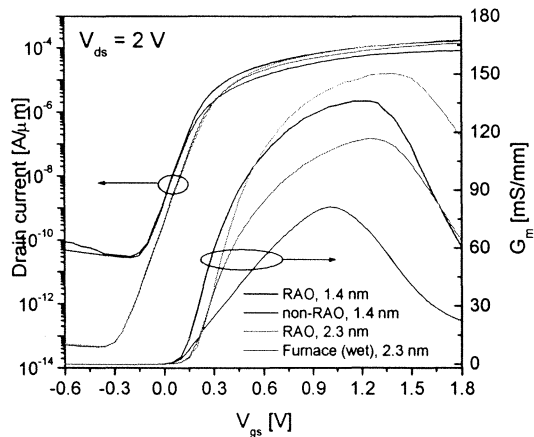


그림 3-3-20. DC 전도특성

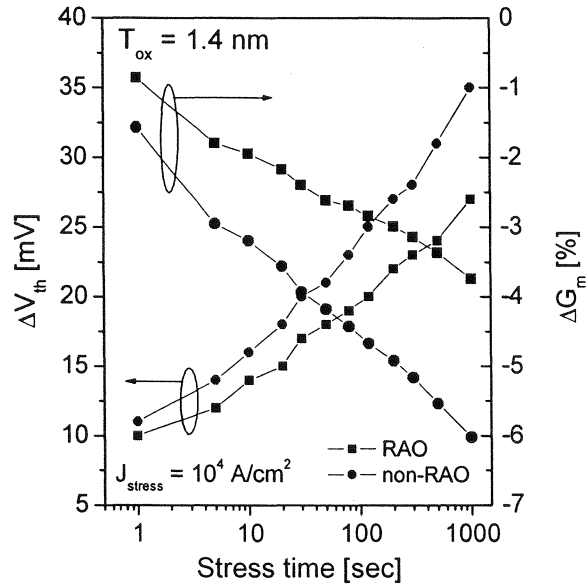


그림 3-3-21. 신뢰성 특성

### 3) RAO 산화막의 SiGe SFET 에로의 적용

- 궁극적인 목적인 SiGe PMOS 에의 RAO 산화막 적용을 위해 소자가 제작됨.
- 기존의 고온 전기로 산화막과 비교함으로써 RAO 산화막 성장기술의 필요성을 검증함.
- 비교결과 RAO 공정은 Si-cap 층을 Ge 편석없이 산화시킬 수 있음이 증명됨.
- 결국 SiGe SFET 에 RAO 공정이 적용되면 subthreshold 특성이나 on 특성까지도 향상시켜 고성능 소자를 구현할 수 있음이 검증됨.
- 그림 3-3-22 은 제작된 SiGe PMOS 구조를 나타내며 표 3-3-2 는 제작된 샘플의 DC 비교 특성을 나타냄.

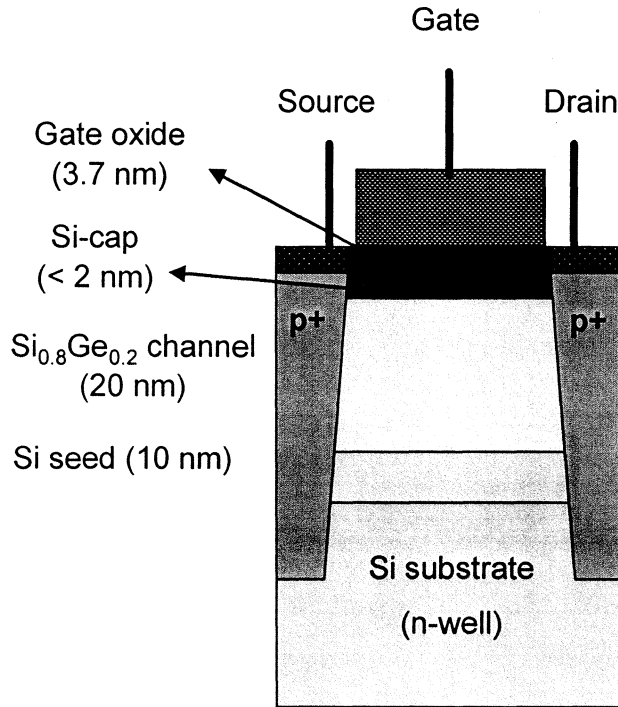


그림 3-3-22. SiGe SFET 단면도

표 3-3-2. RAO SiGe SFET 소자특성

Sample	Ebreak [MV/cm]	Id [A/mm] (Vgs-Vth= -0.5 V)	Ioff [A/mm] (Vgs-Vth= 0.5 V)	Maximum Gm [mS/mm]	SS [mV/dec]
RAO Si0.8Ge0.2	15.2	6.30E-6	3.21E-14	17.2	73.5
Furnace Si0.8Ge0.2	14.6	5.68E-6	1.89E-12	13.6	90.1
Furnace Si-control	15.6	5.28E-6	1.27E-14	13.4	73.1

#### 4) 결론

- 본 과제에서 개발된 RAO 산화막 기술은 저온공정이 필수적인 SiGe SFET 에 매우 효과적으로 사용될 수 있음.
- 동일 산화막질 기준으로 최소 100 도씨 이상 온도절감 효과를 낼 수 있었으며 신뢰성 측면에서도 기존의 고온 전기로 산화막 대비 우수한 특성을 보임.

#### 4. 1/f 잡음특성 연구

가. 나노소자의 산화막특성 분석방법으로서의 1/f 잡음특성 분석결과

##### 1) 산화막트랩 분석도구로서의 가능성 검증결과

- DC-IV 나 C-V 로는 감지가 불가능한 미세한 산화막 트랩밀도를 매우 민감하게 감지함.
- 현재까지 알려지지 않았던 산화막 트랩분포를 에너지와 공간(산화막 깊이) 3 차원 그래프를 얻는 것이 가능함.
- RAO 와 non-RAO 샘플소자의 비교분석결과 전기적 스트레스 전후 RAO 의 트랩분포가 상대적으로 변화가 적은 것이 관찰됨.
- 그림 3-3-23 은 샘플소자의 스트레스 전후 DC 특성이며 그림 3-3-24 는 동일한 샘플의 1/f 잡음 특성비교인데 DC 와는 달리 고전류에서 매우 상이한 특성을 보임을 알 수 있음.

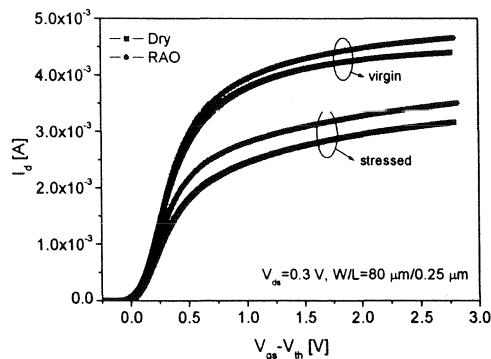


그림 3-3-23. 스트레스 전후 DC 특성비교



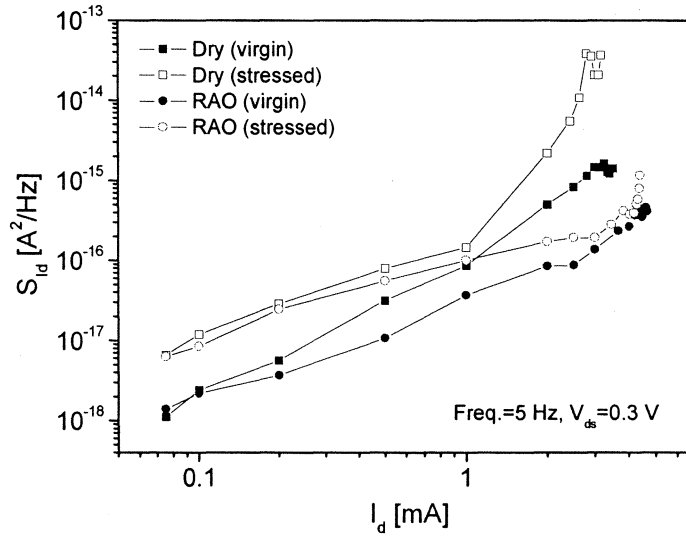


그림 3-3-24. 스트레스 전후 1/f 잡음특성비교

2) 결론

- 1/f 잡음 분석도구는 측정이 용이하지 않은 나노소자의 신뢰성을 비교적 정확히 예측할 수 있는 방법으로 추정됨.
- 산화막 트랩과 소자전류간의 모델링을 통해 트랩의 3 차원 분포를 알아낼 수 있는 매우 잠재력이 큰 측정도구임.

5. SiGe 나노신소자 제작 및 특성분석

1) 목표대비 실적

- 당초목표: 50nm 급의 SiGe SFET 제작 및 특성검증
- 연구성과: 게이트 폭기준 70nm SiGe SFET 제작완료

2) 접근 방법

- 0.5um 공정라인에서 50nm 급 소자제작을 위해 sidewall, e-beam litho, PR descum 방법을 혼용할 수 있는 mask 를 제작함.
- 소자구조는 Si/SiGe(Ge=20%)/Si SQW 을 이용한 SFET 이며 SEG 가 적용됨.
- 산화막 두께는 2nm 가 사용되었으며 70nm 게이트 폭은 PR descum 시간의 조절로 구현됨 (그림 3-3-25 는 70nm 을 나타내는 SEM 사진임).
- 초기단계의 소자제작인 만큼 일단 게이트폭 감소를 위한 단위공정에 중점을 둠.

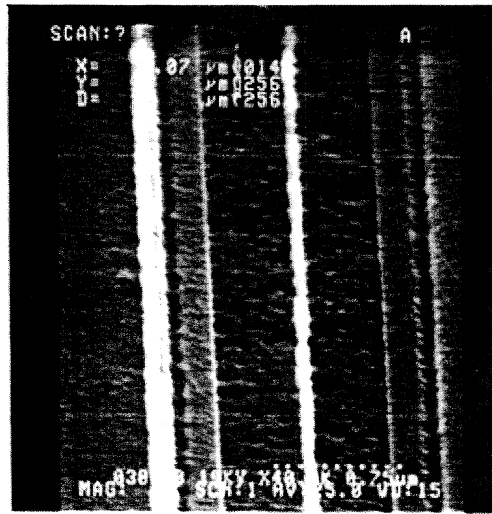


그림 3-3-25. 70nm 게이트패턴 SEM 이미지

### 3) 소자 특성검증

- Gm (335 mS/mm), subthreshold (85 mV/dec)특성 등의 측면에서 고성능 소자임이 증명됨.
- 그림 3-3-26 은 제작된 소자의 transfer 및 output 특성을 나타냄.

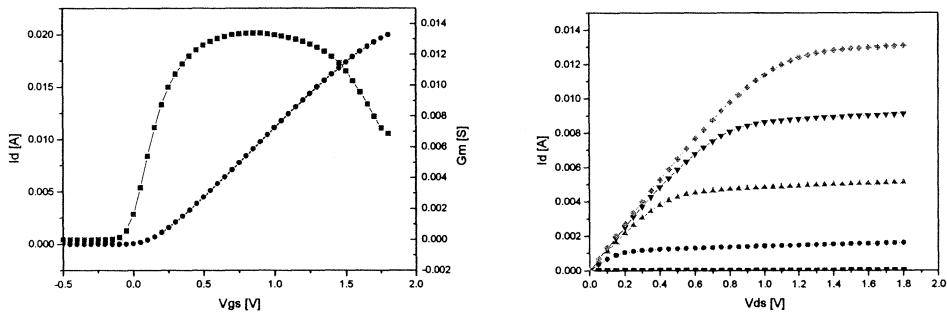


그림 3-3-26. 제작된 SiGe SFET 소자의 DC 특성 ( $W=40\mu\text{m}$ )

#### 4) 결론

- 일차적으로 70nm 급 SiGe SFET 제작에 성공하였음.
- 지속적인 단위공정 연구와 소자구조의 최적화를 통하여 기존의 실리콘 소자의 문제점을 보완하는 고성능의 50nm 급 SiGe SFET 을 제작할 수 있을 것을 기대됨.



## 제 4 장 결론



## 제 4 장 결론

### 제 1 절 관련분야 기여도

고성능 실리콘-게르마늄 양자채널 나노신소자 원천기술의 확보는 개인 휴대용 단말기, 전화망을 이용한 데이터, 음성, 그래픽 자료 등의 다양한 정보의 송수신이 가능하게 하는 멀티미디어 시대를 조기에 정착시킬 뿐 아니라 멀티미디어용 부품, 프로세서 및 시스템 시장을 선점하게 할 것으로 기대된다. 또한 50nm 급 양자소자의 제작 공정을 자체기술로 개발함으로써 미래의 국내 정보통신 및 반도체 산업분야의 국제 경쟁력에도 큰 기여를 할 것으로 보인다. 반도체 소자 및 회로의 세계시장 규모는 1990 년도에 450 억 달러에서 2000 년도에는 3500 억 달러(약 420 조원)로 경이적인 성장을 지속하고 있으며, 이 가운데 총 시장 규모의 97%는 실리콘 반도체가 점유하고 있다. 이에 기존의 실리콘 반도체기술을 기반으로 하고 있는 실리콘-게르마늄 양자채널 기술은 앞으로 큰 부가가치를 창출할 것이 확실하다. 특히, 이 기술은 DRAM, CPU, ASIC 기술을 개량시키면서 기억소자, 정보처리, 무선통신, 컴퓨터 통신 등의 반도체 시장의 90%이상을 계속해서 주도할 것으로 보인다. 그리고 프로세서를 중심으로 하는 비메모리 반도체의 비중은 2005 년도에 77% 이상으로 증대되고, 부가가치가 가장 높은 SoC 제품군 생산이 가능할 것이다.

현재의 국내 반도체기술은 주로 메모리나 디스플레이에 집중되어 있으므로, 세계반도체 시장의 70% 해당하는 고 부가가치의 비메모리 시장으로 기술전환을 하는 것이 국가경쟁력 확보를 위해 필수적이다. SoC 기반의 DSP 는 기지국 네트워크, 교환기 및 이동통신단말기, 개인휴대단말기 등 각종 통신기기에 없어서는 안 될 핵심 부품으로 2003 년 기준 세계시장 규모 130-140 억 달러에 이른다. 이에 기존의 실리콘 반도체에 비해 동작속도, 전력소모, 잡음 특성을 향상시킨 실리콘-게르마늄 양자채널 SFET 은 다양한 통신용 회로를 구현시키는 것은 물론 다양한 형태의 SoC 를 실현할 수 있을 것으로 기대된다.

## 제 2 절 결과 활용계획

원천기술 개발인 관계로 추후 기술개발이 추가되어야 하는 점이 있으나 SiGe 반도체의 잠재력을 감안할 때 산업체와의 공동연구 등이 바람직 한 추진 방향이며, 현재 하이닉스반도체, 동부아남 반도체등이 SiGe SFET 기술의 필요성을 깨닫고 사업추진 기관인 ETRI 에 MOU 및 기술이전을 의뢰하여 검토 중에 있으며 2004 년 중으로 하이닉스 반도체와도 공동연구 등의 협력을 추진할 예정이다. SiGe 나노 CMOS 기술을 하이닉스, 동부 반도체 생산라인에 이식하여 일단 CMOS Image Sensor 를 시작으로 비메모리 반도체 위주의 제품에 적용할 계획이다. 아직 원천기술 개발의 여지가 남아 있으므로 추가적인 원천기술의 확보를 통해 기존의 국내 실리콘 반도체 생산의 20%이상을 대체하도록 지속적인 기술개발을 추진할 예정이다.



## 약어표



## 약어 표

ASIC	Analog / Digital
APCVD	Atmospheric Pressure Chemical Vapor Deposition
BJT	Bipolar Junction Transistor
BSIM	Berkeley Short-channel IGFET Model
CMOS	Complementary Metal Oxide Semiconductor
Cox	Capacitance of Silicon Dioxide
CVD	Chemical Vapor Deposition
$F_{\max}$	Maximum Oscillation Frequency
$F_T$	Cut-off Frequency
HBT	Heterojunction Bipolar Transistor
ID	Drain Current
IDSAT	Drain Saturation Current
LDD	Lightly Doped Drain
LO	Local Oscillator
LOCOS	Localized Oxidation of Silicon
MIM	Metal-insulator-metal
MMIC	Microwave Monolithic Integrated Circuit
MOS	Metal Oxide Semiconductor
MPU	Micro Processing Unit
MQW	Multi Quantum Well
NF	Noise Figure
NMOS	N-channel Metal Oxide Semiconductor
PLL	Phase Locked Loop
RF	Radio Frequency
RFIC	Radio Frequency Integrated Circuits
RPCVD	Reduced Pressure Chemical Vapor Deposition
SFET	Strained Field Effect Transistor
SIMS	Secondary Ion Mass Spectrometry
SPICE	Simulation Program with Integrated Circuit Emphasis

UTMOST	Universal Transistor Modeling Software
VA	Early Voltage
VDS	Drain Voltage
VG	Gate Voltage
VT	Threshold Voltage
W	Gate Width

## 부 록



## 부 록

### 국외 전문 학술지(SCI)

총 4건

순번	구분 (등급)	제목	게재/발표 학술지	저자
1	국외 (1)	DC and RF characteristics of RPCVD grown modulation-doped SiGe pMOSFETs	Solid State Electronics Vol.48, p.315 (2004)	송영주, 김상훈
2	국외 (1)	A low-temperature and high-quality radical-assisted oxidation process utilizing remote UV ozone source for high performance SiGe/Si MOSFETs	Semiconductor Science and Technology Vol. 19, p.792 (2004)	송영주, 민봉기, 김상훈
3	국외 (1)	Improved quality and reliability of ultrathin gate-oxides by radical assisted oxidation utilizing a remote UV ozone source	J. Vacuum Science and Tech. B Vol. 22, p.1206 (2004)	송영주, 민봉기, 김상훈
4	국외 (1)	Low-leakage and high performance of nMOSFET using SiGe layer as a diffusion barrier	Material Science in Semiconductor Processing Vol.7, p. 375 (2004)	민봉기, 송영주

## 지적 재산권

총 4 (국내: 3건, 국제: 1건)

순번	구분	출원/등록번호	제목	국가	발명자
1	출원	03-96041	서로 다른 실리콘 캡층 두께를 적용한 실리콘-게르마늄 / 실리콘 트랜지스터의 제조방법	한국	송영주, 김상훈
2	출원	03-86660	저압-RAO 기술을 이용한 고속-저잡음 SiGe-HCMOS 소자의 제작방법	한국	심규환, 송영주
3	출원	03-97050	UV 조사를 이용한 옥시나이트라이드 게이트 절연막 형성법	한국 미국	송영주, 민봉기



## 주 의

1. 이 연구보고서는 한국전자통신연구원의 기초연구과제로 수행한 연구결과입니다.
2. 이 연구보고서의 내용을 발표할 때에는 반드시 한국전자통신에서 수행한 내부연구결과임을 밝혀야 합니다.

